

UNIVERSIDAD NACIONAL DE INGENIERIA

**PROGRAMA ACADÉMICO DE INGENIERIA
MECANICA Y ELECTRICA**



**Diseño de un Sistema de Evaluación con
Procesamiento Lógico Digital**

TESIS DE GRADO

**PARA OPTAR EL TITULO DE
Ingeniero Mecánico Electricista**

Luis Rafael Wong Campos

PROMOCION - 1973 . I

LIMA - PERU

1974

DISEÑO DE UN SISTEMA DE EVALUACION CON
PROCESAMIENTO LOGICO DIGITAL

Tesis de Grado
Programa Académico de Ingeniería Mecánica y Eléctric
Departamento de Electricidad y Electrónica

Luis Rafael Wong Campos
680292-E
Enero de 1974

C O N T E N I D O

INTRODUCCION	1
I MODULO BASICO:PRINCIPIO DE OPERACION. . .	2
1.1 Requerimientos del Módulo Básico	3
1.2 Principio de Operación del Módulo Básico	
1.3 Etapas del Módulo Básico	7
II DISEÑO DE LAS ETAPAS	8
2.1 Reloj	9
2.2 Sincronizador	18
2.3 Compuerta	19
2.4 Conversor Negativo-Cero	23
2.5 Unidad de Decisión Lógica	
2.6 Monoestable	31
2.7 Duplicador	34

2.8	Salida	37
2.9	Fuentes de Alimentación	46
III	RESULTADOS	48
3.1	Pruebas	49
IV	MODIFICACIONES DEL MODULO BASICO PARA MULTIPLE MODULO	51
4.1	OR Exclusivo	52
4.2	Entrada de Datos con Memoria	
4.21	Entrada para Alumnos	
4.22	Entrada de Profesor	61
4.3	Contadores	68
4.4	Aumento de Capacidad de Procesamiento	71
4.5	Carpeta del Alumno	75
4.6	Consola del Profesor	77
	CONCLUSIONES	80

APENDICE A	83
N7400	84
N7402	85
N7404	86
N7413	87
N7441	88
N7447	88
N7490	88
HEP581	89
APENDICE B	91
Circuito Impreso del UDL	92
Circuito Impreso del Reloj	92
Circuito Impreso de la Salida	93
APENDICE C	94
Vista Superior de la Etapa del Reloj	95

Vista Superior de la Etapa del Monoestable . . .	96
Vista Superior de la Etapa del Duplicador . . .	97
Vista Superior de la Etapa del Conversor Negativo - Cero	98
Vista Superior de la Etapa Compuerta	99
Vista Superior de la Etapa de Unidad de Decisión Lógica	100
Vista Superior de la Etapa de Salida	101
APENDICE D	102
Relación de Componentes	103
BIBLIOGRAFIA	107

I L U S T R A C I O N E S

FIGURA		PAGINA
1a	Disposición del Salón Automático	4
1b	Diagrama de Bloques del SEPLD	6
2	Diagrama de Bloque de Etapas.....	7
3	Diagrama de Bloques del Reloj	10
4	Diagrama interno del N7413 con conexiones externas	12
5	Diagrama Simbólico (N7413)	12
6	Formas de Onda de Voltajes del N7413	13
7	Diagrama de Bloques del $\frac{0}{0} 6$	14
8	Diagrama de Tiempo del $\frac{0}{0} 6$	14
9	Conexiones Externas del $\frac{0}{0} 6$	16
10	Diagrama Lógico del Reloj	17
11	Conexiones externas del Sincronizador	18
12	Diagrama Lógico de la Compuerta	19
13	Diagrama Circuitual de la Compuerta	20
14	Ubicación de la Compuerta en el Sistema	22
15	Voltaje de entrada y de salida del Conversor	23

16	Diagrama Circuital del Conversor	24
17	Tabla de Verdad del UDL	27
18	Diagrama Lógico de la Unidad de Decisión Lógica (UDL)	27
19	Diagrama Final del UDL	28
20	Diagrama de Conexiones del UDL	29
21	Señales Requeridas en el Monoestable y el Duplicador	31
22	Diagrama Lógico del Monoestable	32
23	Circuito del Monoestable	32
24	Voltajes del Monoestable	33
25	El Monoestable en el Sistema	33
26	Diagrama Lógico del Duplicador	34
27	Diagrama de tiempo del Duplicador	35
28	El Duplicador en el Sistema	36
29a	Diagrama de Bloques de la Salida	37
29b	Puesta a Cero del Contador de la Etapa de Salida	38
29c	Diagrama de tiempo de la Etapa de Salida	41
29d	Circuito del Excitador del Tubo Visua- lizador	44

29e	Fuente de Alimentación (2 v.)	46
29f	Fuente de Alimentación (5 v.)	47
30	Diagrama de tiempo de los Resultados Obtenidos	50
31	Tabla de Verdad del OR Exclusivo	53
32	Diagrama de Veitch y Función Minimizada del OR Exclusivo	53
33	Diagrama Lógico del OR Exclusivo	
34	Inclusión del OR Exclusivo en el Sistema	54
35	Diagrama y Tabla de Verdad del Cerrojo	56
36	Efecto del Rebote	56
37	Memoria para Entrada de Datos de un Alumno	59
38	Diagrama de tiempo de Entrada de Alumno con Memoria	59
39	Diagrama de la Memoria de Entrada de datos del Profesor	62
40	Diagrama de tiempo. Entrada de datos a Memoria (Profesor)	66
41	Diagrama de tiempo. Salida de datos de Me- moria (Profesor)	66
2	Memoria-Entrada de Datos-Profesor en el Sistema	

43	Diseño con Contadores	
44	Aumento de Capacidad del Sistema	72
45	Sustitutos de los N74150 para Aumento de Capacidad	73
46	Carpeta del Alumno	76
47	Consola del Profesor	78

TERMINOLOGIA

Bl	-Blanking-blanqueo
Clear	-Limpiador, limpio, puesta en "0"
Chip	-Módulo
Display	-Visualizador
Driver	-Exitador
Fan In	-Abanico de entrada, entradas a una compuerta lógica.
Fan Out	-No de circuitos subsiguientes a que conduce una compuerta lógica
Gate	-Compuerta
IC	-Circuito Integrado
IN	-Entrada
Lam Test	-Probador
Latch	-Cerrojo
Out	-Salida
Pin	-Patilla
RBI	-Blanqueo de entrada
RBO	-Blanqueo de salida
R ₀	-Puesta en cero
R ₉	-Puesta en nueve
Set	-Puesta en "1"

I N T R O D U C C I O N

El presente trabajo es un diseño de un sistema de evaluación. Básicamente consiste en un comparador de datos. Puede ser usado en muchas formas : desde un sistema para corregir exámenes a alumnos universitarios hasta para enseñar a niños a sumar o leer.

El diseño consiste en un Módulo Básico con sus modificaciones para convertirlo en Múltiple Módulo. El Módulo Básico ha sido construido en su totalidad y las fotos de sus etapas se muestran en el apéndice. Las modificaciones para Múltiple Módulo y etapas adicionales han quedado en diseño.

El Módulo Básico procesa 60 slumnos por segundo y en su construcción se han empleado tarjetas de circuitos impresos y Circuitos Integrados (TTL y RTL). El tiempo de procesamiento y la capacidad pueden variar haciendo pequeños cambios en el sistema.

I

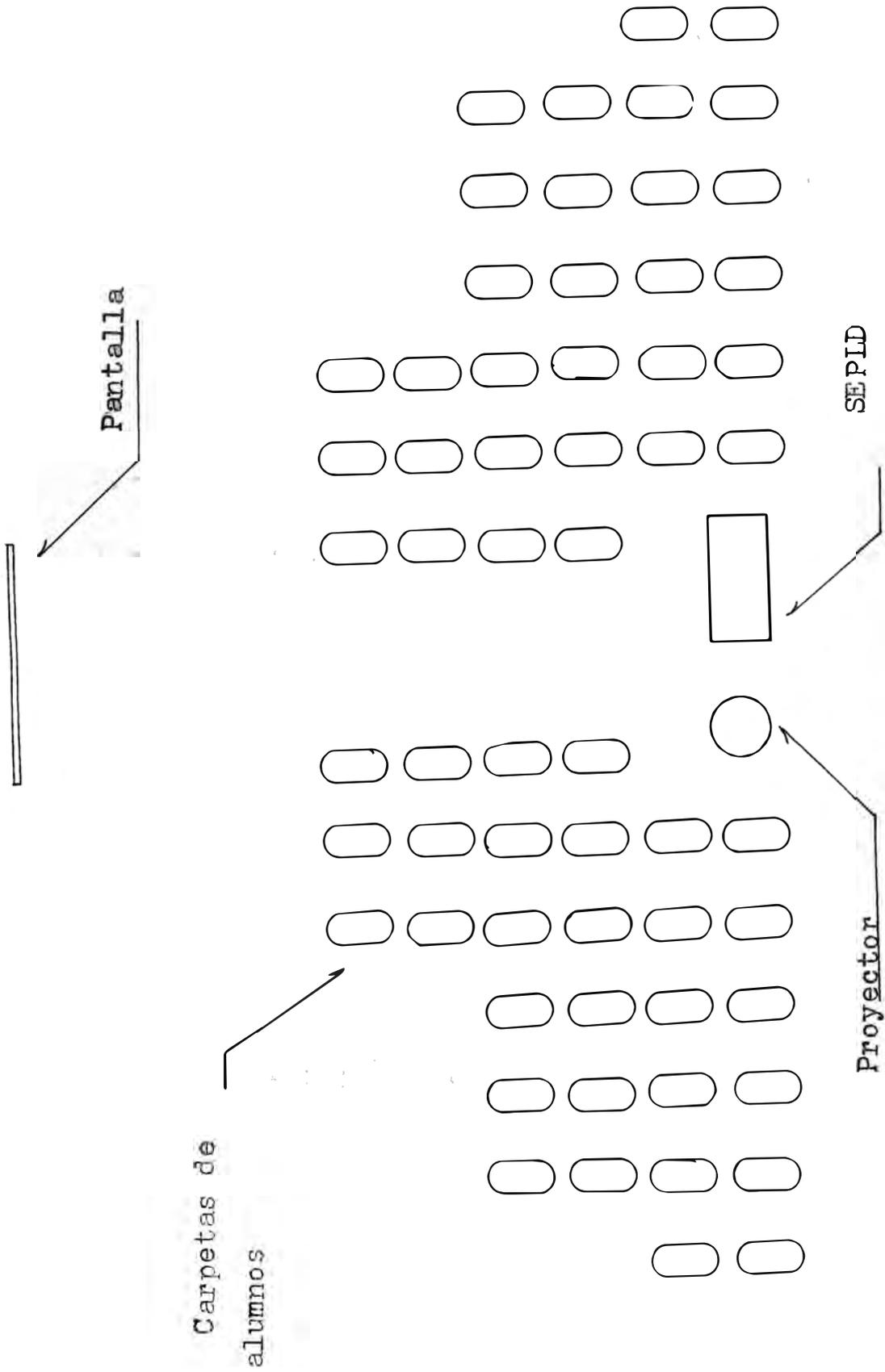
MODULO BASICO :

PRINCIPIO DE OPERACION

1.1 Requerimientos del Módulo Básico.-

Se busca un aparato cuya función será el de procesar datos a una velocidad requerida capaz de ser sincronizado con periféricos en forma secuencial. Específicamente, el módulo a diseñarse evaluará los datos de entrada comparándolos con información introducida previamente. Su aplicación inmediata será de tipo educacional y consistirá en corregir respuestas sincronizado con preguntas proyectadas sobre una pantalla por medio de diapositivas.

La disposición del Sistema de Evaluación con Procesamiento Lógico Digital (SEPLD), el proyector de diapositivas, la pantalla y las carpetas de los alumnos se muestra en la figura 1a.



Disposición del Salón Automático
FIGURA (1a)

1.2 Principio de Operación del Módulo Básico.-

La secuencia de trabajo es la siguiente :

- 1.- Se introduce la información del profesor (respuesta a la pregunta a proyectarse en la pantalla)
- 2.- Se proyecta la pregunta en la pantalla
- 3.- El alumno tendrá cierto tiempo para contestar.
El inicio y el término de este tiempo lo indicará el zumbador en forma audible.
- 4.- Al término de éste tiempo, la Unidad de Decisión Lógica (ver fig. 1b) procesará secuencialmente las respuestas de los alumnos.
- 5.- Cada respuesta es evaluada con su correspondiente puntaje pasando luego a la etapa de salida.

Todos estos pasos son controlados secuencialmente por el sincronizador. El diagrama de bloques se muestra en la figura 1b .

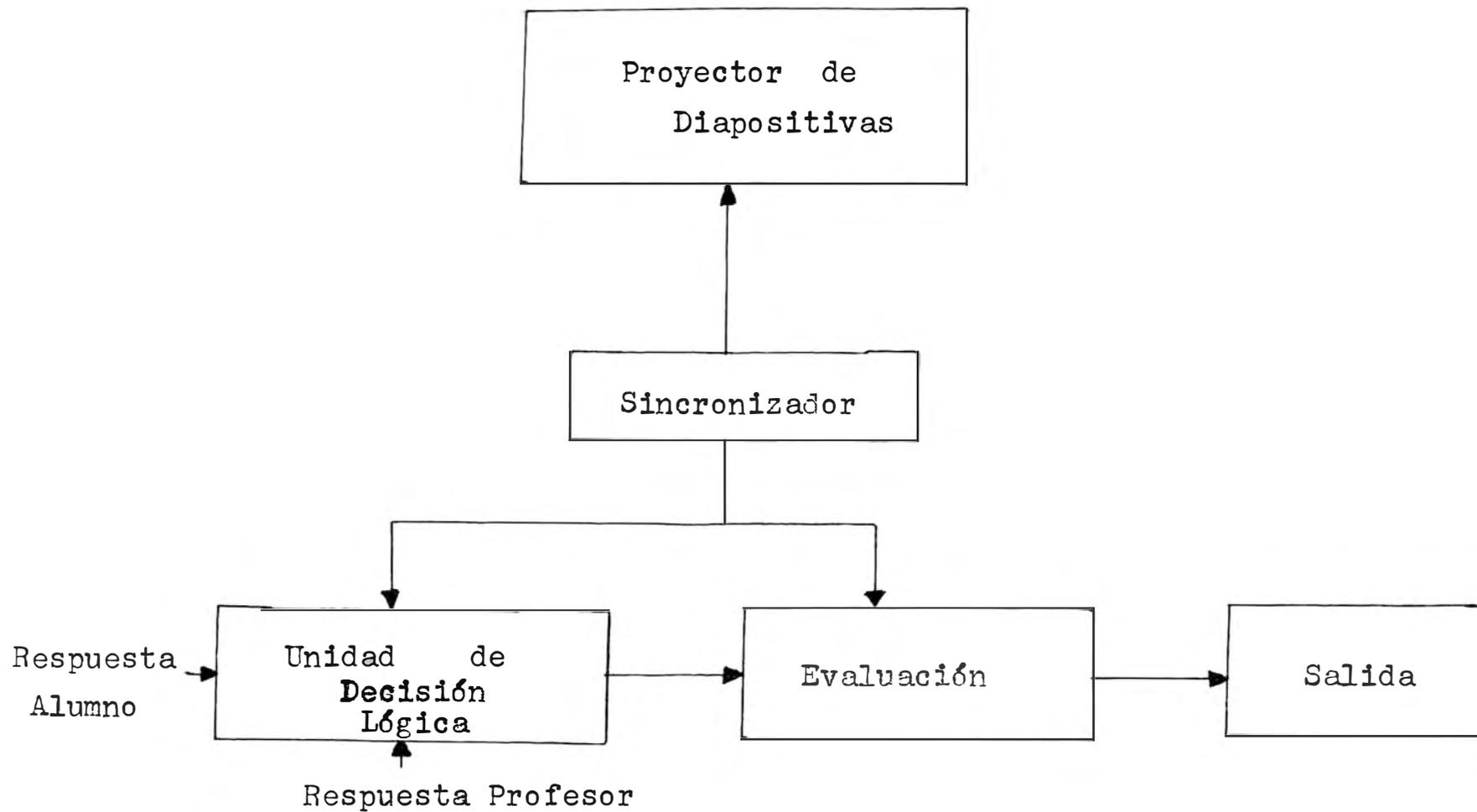


Diagrama de Bloques del SEPLD
FIGURA (1b)

1.3 Etapas del Módulo Básico.-

El Módulo Básico está constituido por las siguientes etapas :

- 1.- Reloj
- 2.- Sincronizador
- 3.- Compuerta
- 4,- Conversor Negativo-Cero
- 5.- Unidad de Decisión Lógica
- 6.- Monoestable
- 7.- Duplicador
- 8.- Contador y Salida.

El diagrama de bloques se muestra en la figura(2)

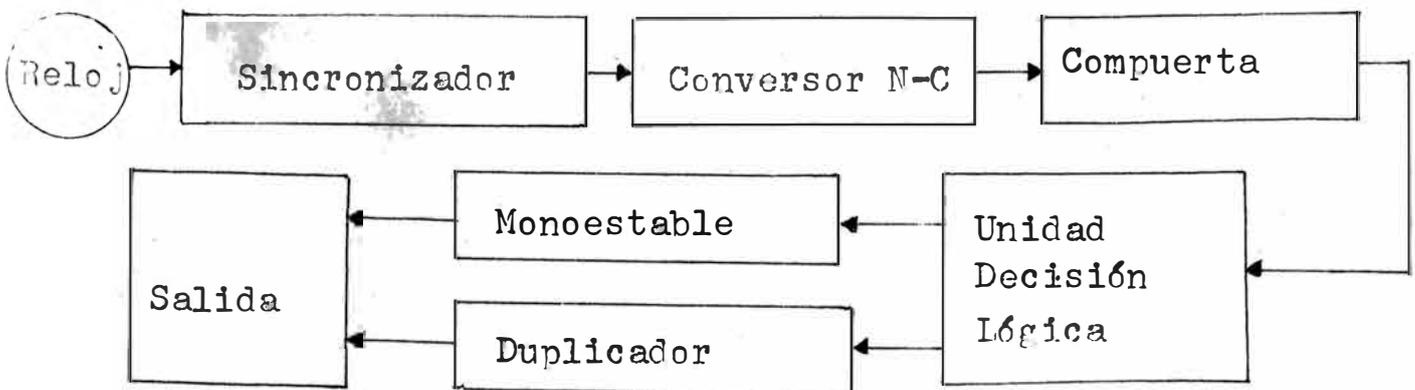


Diagrama de Bloque de Etapas

FIGURA (2)

II

D I S E Ñ O D E L A S E T A P A S

2.1 Reloj.-

Teniendo la necesidad de una fuente que proporcione señales a una frecuencia estable y de bajo costo, se utilizó la señal de la red de alimentación por su fácil acceso y por reunir las condiciones arriba mencionadas. Para ello se diseñó un reloj conformado por :

- a.- Dos transformadores : 220 - 110V. y 117 - 6.3 V.
y un divisor de tensión.
- b.- Schmitt Trigger
- c.- Divisor entre 6
- d.- Tres divisores entre 10

El diagrama de bloques se muestra en la figura (3) ;

El Schmitt Trigger usado es un circuito integrado (IC) tipo N7413. El N7413 se dispara con señales de bajo voltaje, por ello se usó, debido a la disponibilidad un transformador de 117 V, a 6.3 V. cuyas características son :

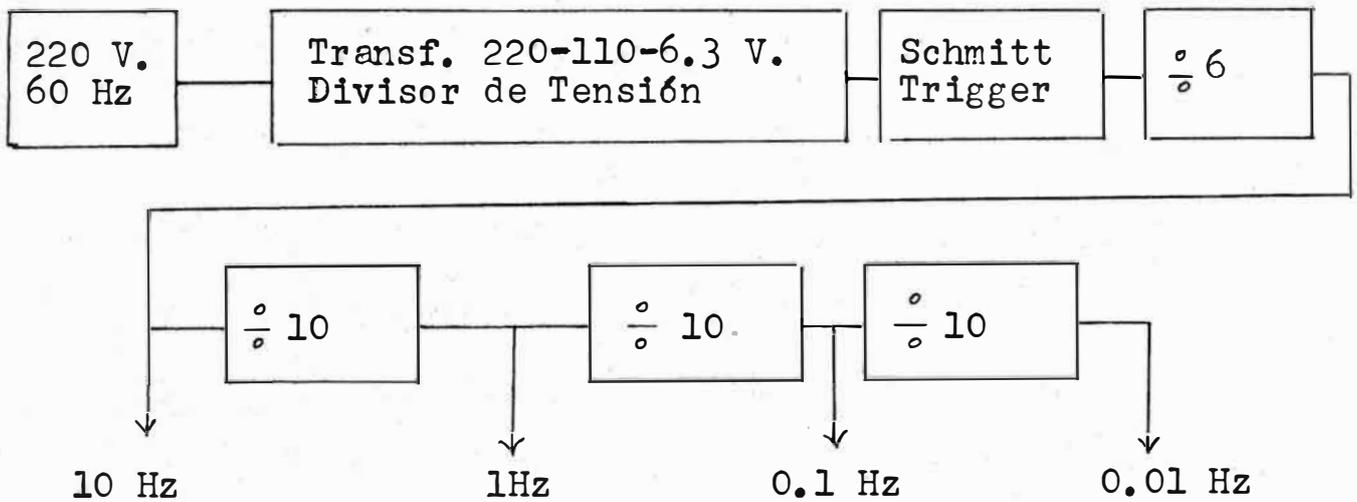


Diagrama de Bloques del Reloj

FIGURA (3)

$$F = 60 \text{ Hz}$$

$$V \text{ primario } = 117 \text{ V.}$$

$$V \text{ secundario } = 6.3 \text{ V.}$$

$$I \text{ secundario } = 1.2 \text{ Amp.}$$

Para usarlo con la red de alimentación se tuvo que utilizar otro transformador de 220 V. a 110 V. Las características del Schmitt Trigger N7413 se muestran a continuación :

(1)

$V =$ V. positivo de subida $=$ de 1.5 a 2.0 V.

$V^- =$ V. positivo de bajada $=$ de 0.6 a 1.1 V.

$V_H =$ V. de histéresis $=$ de 0.4 a 0.8 V.

$I_1 =$ I. de entrada a V. max $=$ 1 mA. max

$I_{1H} =$ I. de entrada a V. alto $=$ 40 uA. max.

$V_1 =$ V. de entrada del enclavador $=$ -1.5 V. max.

Es por ello que se usó un divisor de tensión para suministrar la corriente necesaria sin que alcance el valor máximo. Se usó R_1 y R_2 , 2K y 3K ohms ($\frac{1}{2}$ watt), conectando la entrada del N7413 al de 3k (Ver figura 4)

El IC N7413 soporta como máximo negativo una tensión de -1.5 v. por ello se usa el diodo D1 de la fig.(4). D1, colocado a la entrada del IC N7413 lo protege y rectifica la onda de entrada. Como consecuencia a tensión negativa la conducción es a travez del diodo y no por el IC N7413. En la figura (6) se muestran las formas de onda a la salida del transformador (V_A) , a la entrada del IC N7413 (V_B) y

1. Signetics, "Digital Linear Mos IC," (California : Signetics Corporation, 1972), p.2-26.

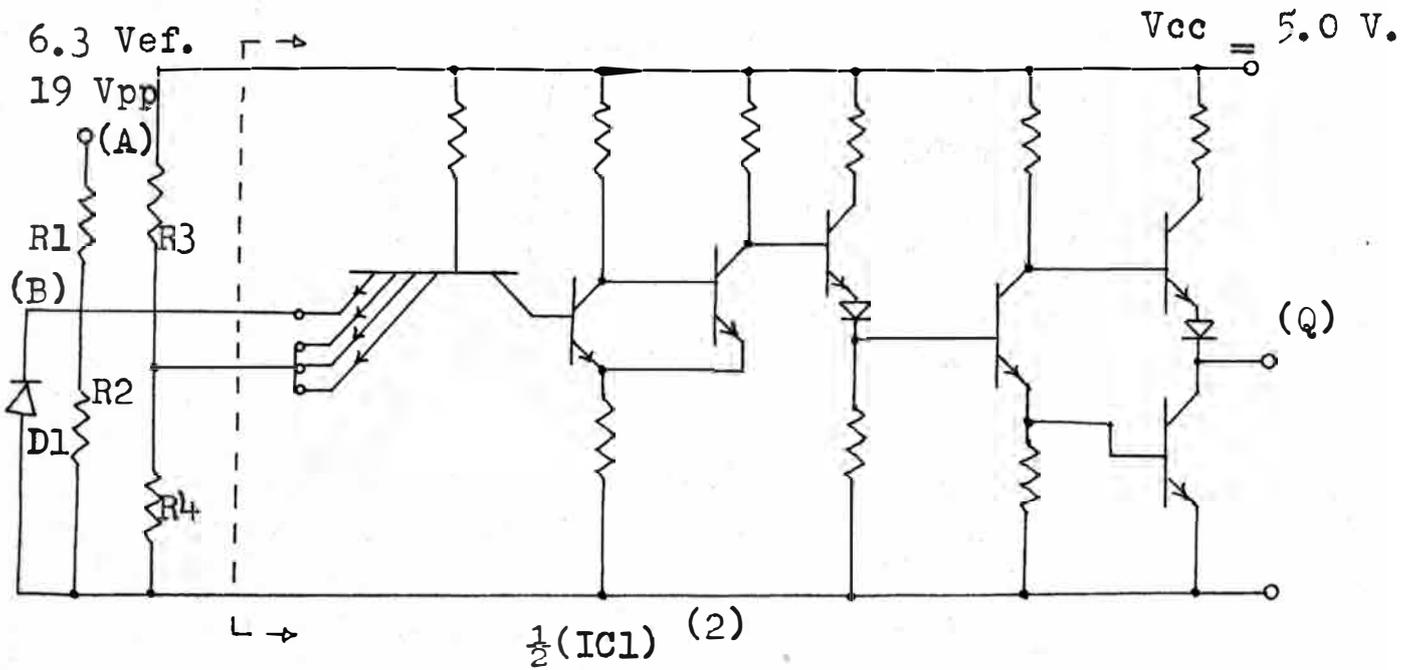


Diagrama interno del IC N7413 (Dual 4-Input Schmitt Trigger positive Nand gate) con conexiones externas

FIGURA (4)

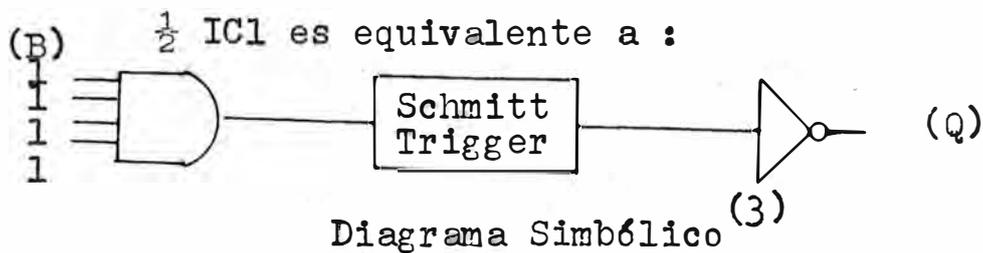
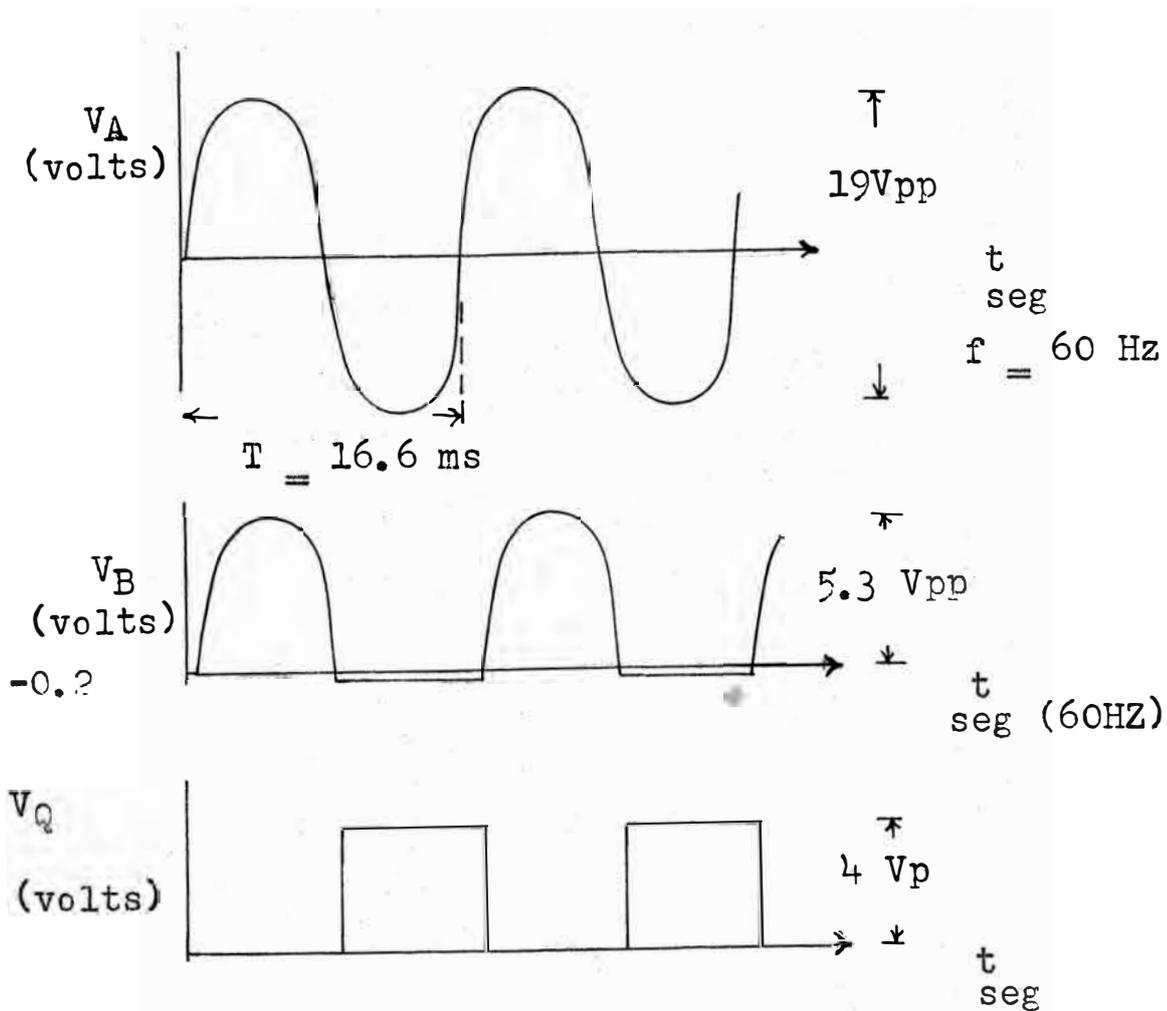


FIGURA (5)

2. Philips, "Digital Integrated Circuits," Semiconductors and Integrated Circuits, VI (March, 1972), FJL131 pg.2.

3. Signetics, op. cit., p. 2-26.



Formas de Onda de Voltajes del N7413

FIGURA (6)

a la salida de éste (V_Q) . R_3 y R_4 forman un divisor de tensión para proporcionar el "1" lógico a las tres entradas estantes no utilizadas. Con ello evitamos que se introduzca el ruido.

Como divisor entre 6 se utilizó una combinación de un IC N7490 con IC N7441 como se muestra en la figura(7) y su correspondiente diagrama de tiempo en la figura (8)

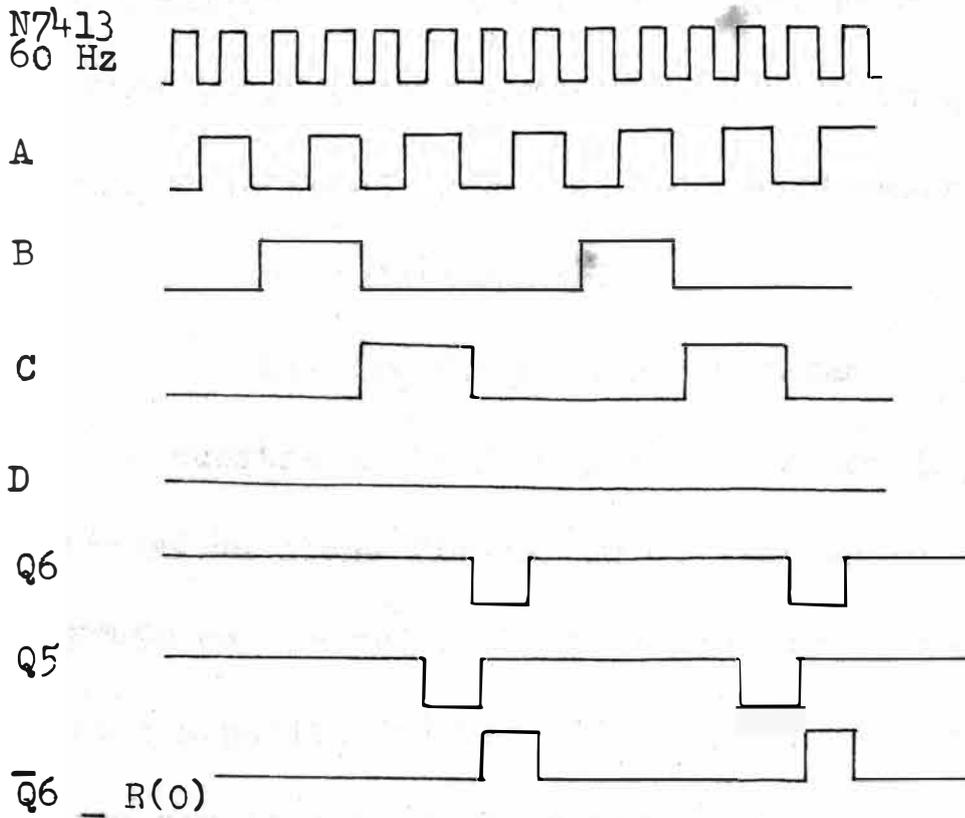
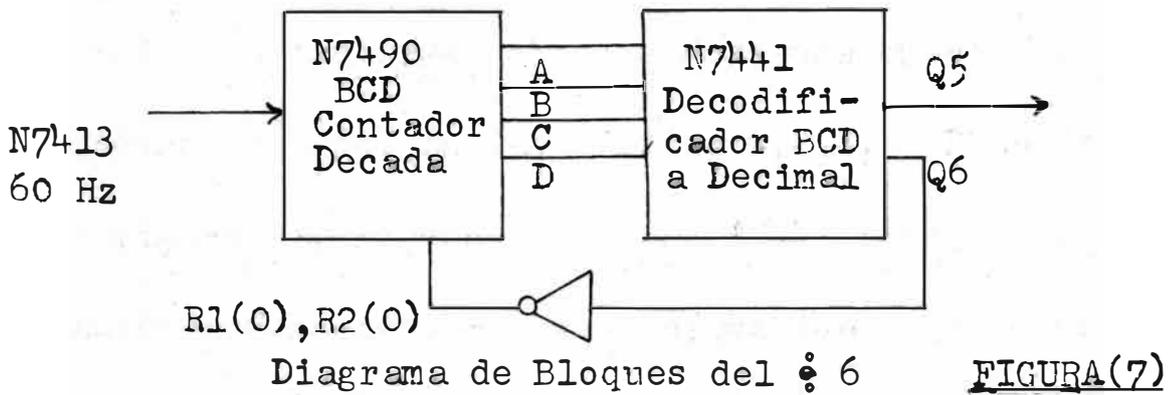
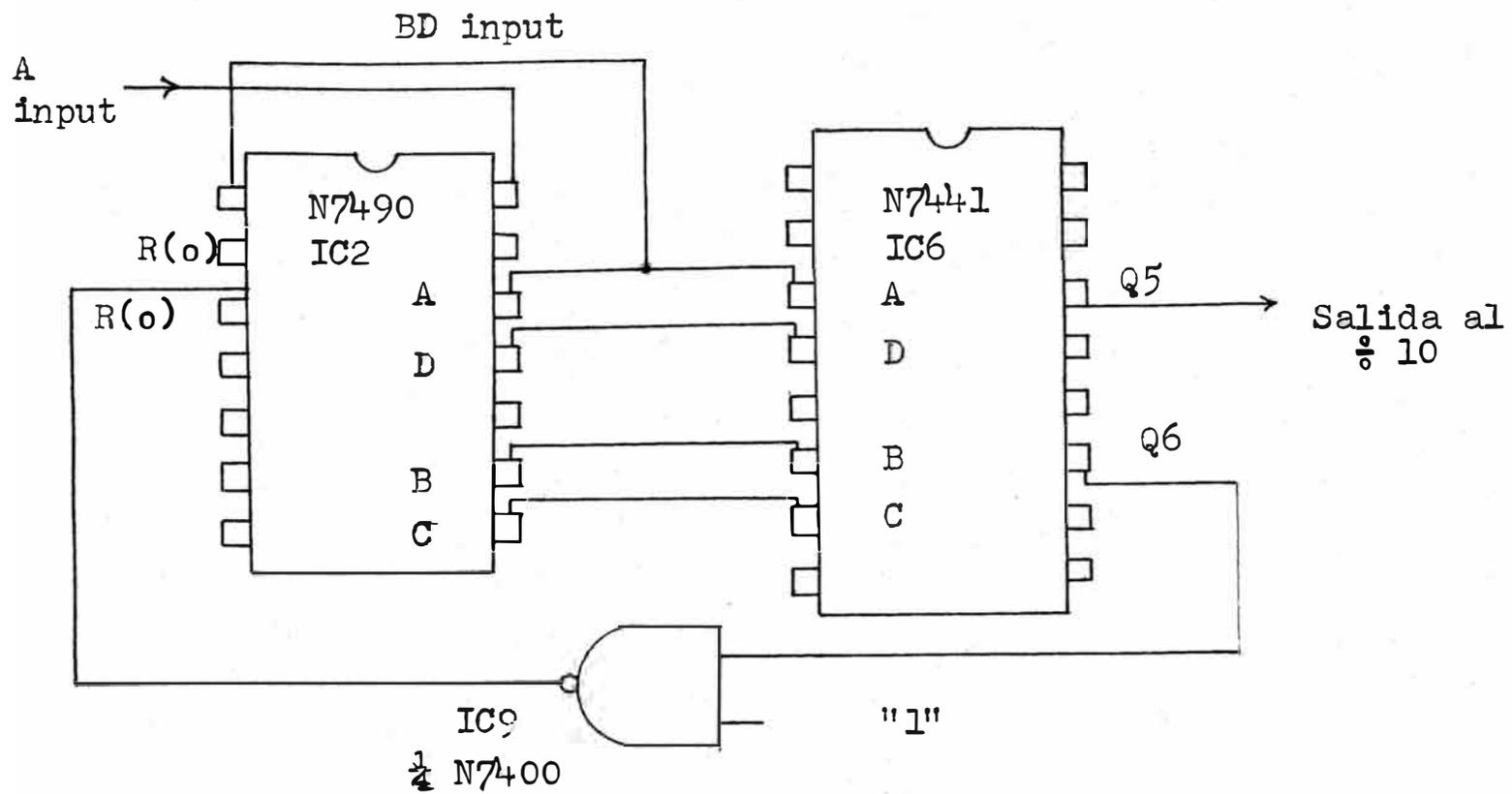


Diagrama de tiempo del $\frac{1}{6}$ FIGURA(8)

Como se muestra en la fig. (7) el N° 90

se usó como un contador de década de código binario. Para ello se conectó externamente la entrada BD(patita#1) con la salida A(patita#12). (Ver Apéndice A). La entrada A recibe los pulsos a contarse, obteniéndose una cuenta de secuencia de código binario, en las salidas A,B,C, y D(patitas#12,9,8,11) (Ver figura 9). El decodificador N7441 tiene sus entradas conectadas respectivamente a las salidas del N7490(fig 9) Cada 6 pulsos, la señal en Q6 es invertida e introducida al N7490 para ponerlo en "cero" (reset). De Q5 obtenemos pulsos de 10 Hz de frecuencia (se pudo haber usado cualquier otra salida indistintamente).

Los divisores entre 10 están en cascada como se muestra en la figura(3) y nos dan las frecuencias mostradas en dicha figura. Un divisor entre 10 consiste en un N7490 con la salida D conectada externamente a la entrada A(patita#14) (Ver Apéndice A). Los pulsos a contarse entran por la entrada BD(patita#1) y la onda cuadrada dividida entre 10 se obtiene de la salida A (patita 12) (fig 10)



Conexiones externas del $\div 6$
 (Ver Apéndice A)

FIGURA(9)

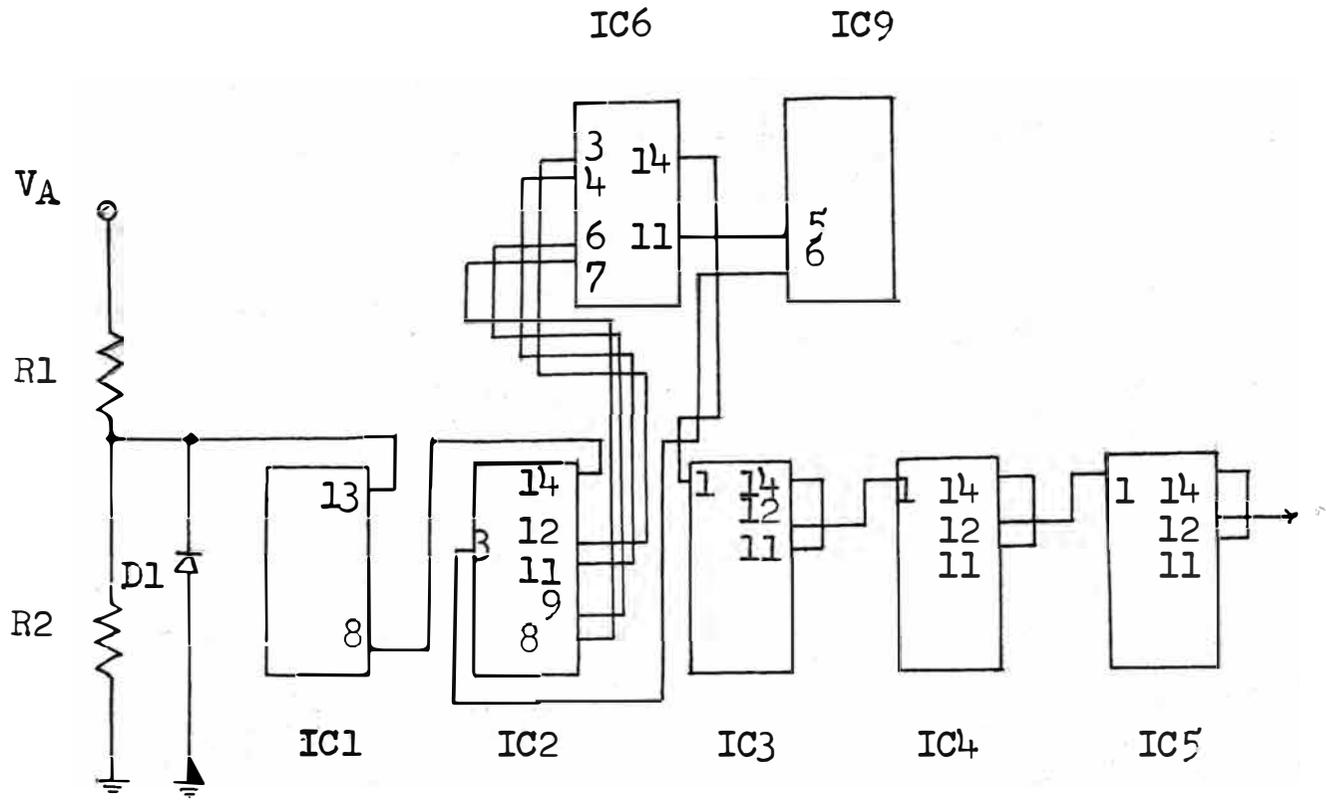
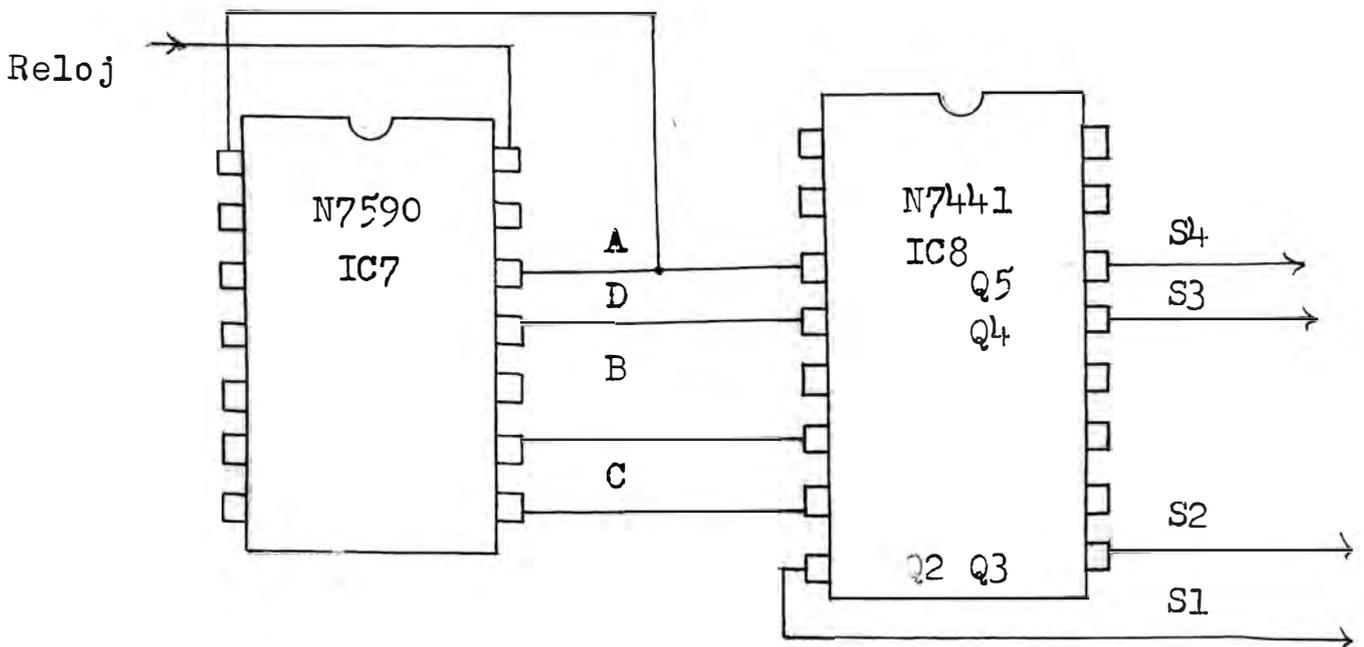


Diagrama Lógico del Reloj
FIGURA (10)

2.2 Sincronizador.-

Una fácil solución para el problema de generar señales secuenciales es usar un contador de década(N7490) con un decodificador decimal (N7441). Las conexiones externas son las mismas del divisor entre 6, a excepción del inversor (fig. 9) y las salidas (fig. 11)



Conexiones externas del Sincronizador
FIGURA (11)

2.3 Compuerta.-

Se requiere introducir datos en forma secuencial a la Unidad de Decisión Lógica. Los datos son proporcionados por los alumnos y la secuencia por el Sincronizador. Para ello necesitamos un conversor paralelo-serie de grupos de datos. El diagrama lógico se muestra a continuación.

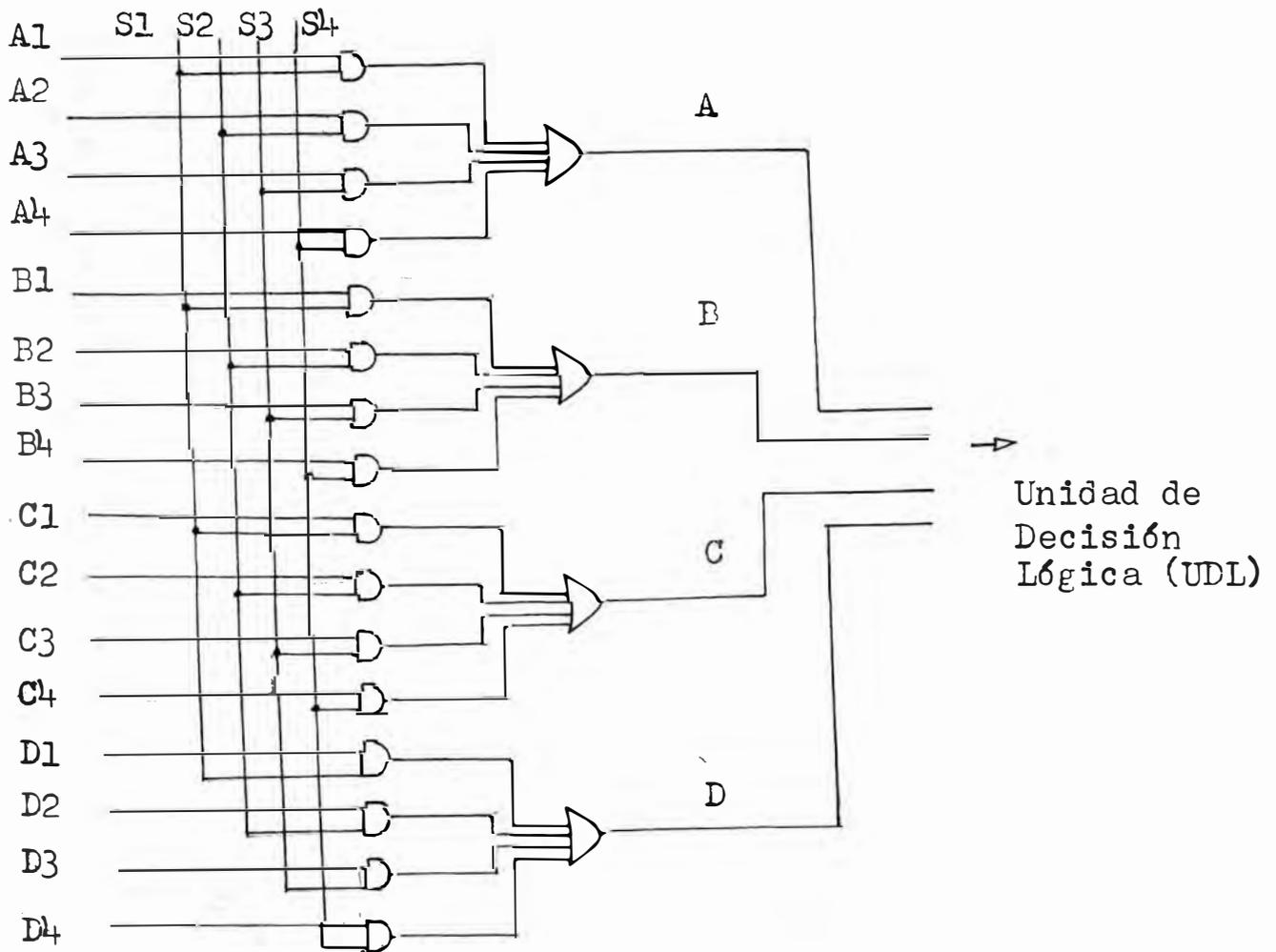


Diagrama Lógico de la Compuerta
FIGURA (12)

Una solución del problema sería usar "ANDs" de colector abierto (Open Colector N7409), usando el método del "bus". A falta de dichos IC (Circuitos Integrados) se acondicionaron tarjetas de circuitos impresos cuyo diagrama de muestra a continuación :

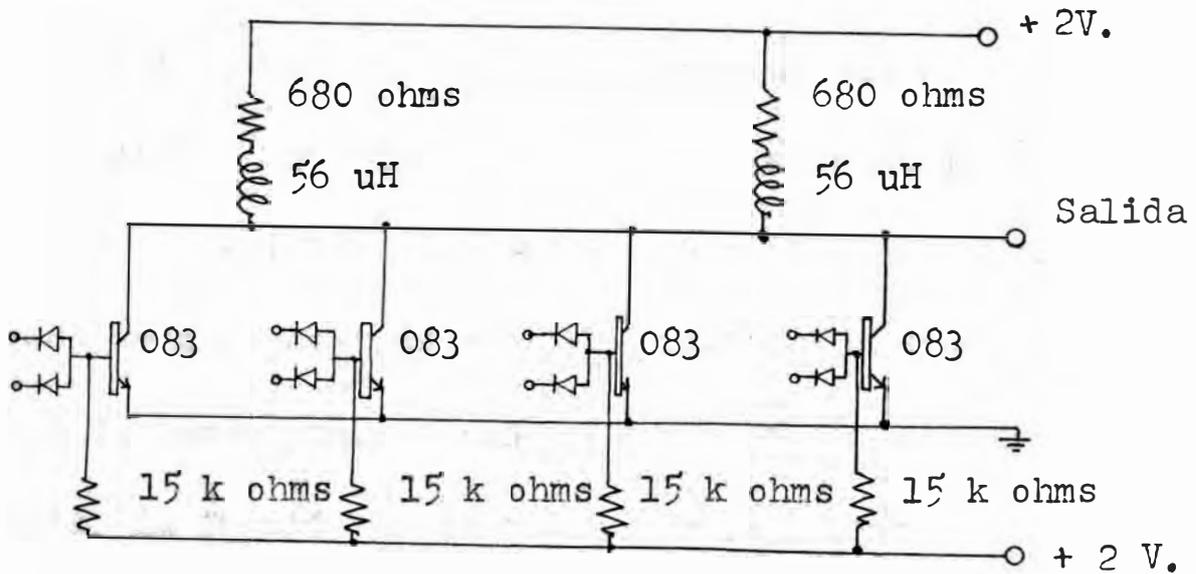


Diagrama Circuitual de la Compuerta
FIGURA (13)

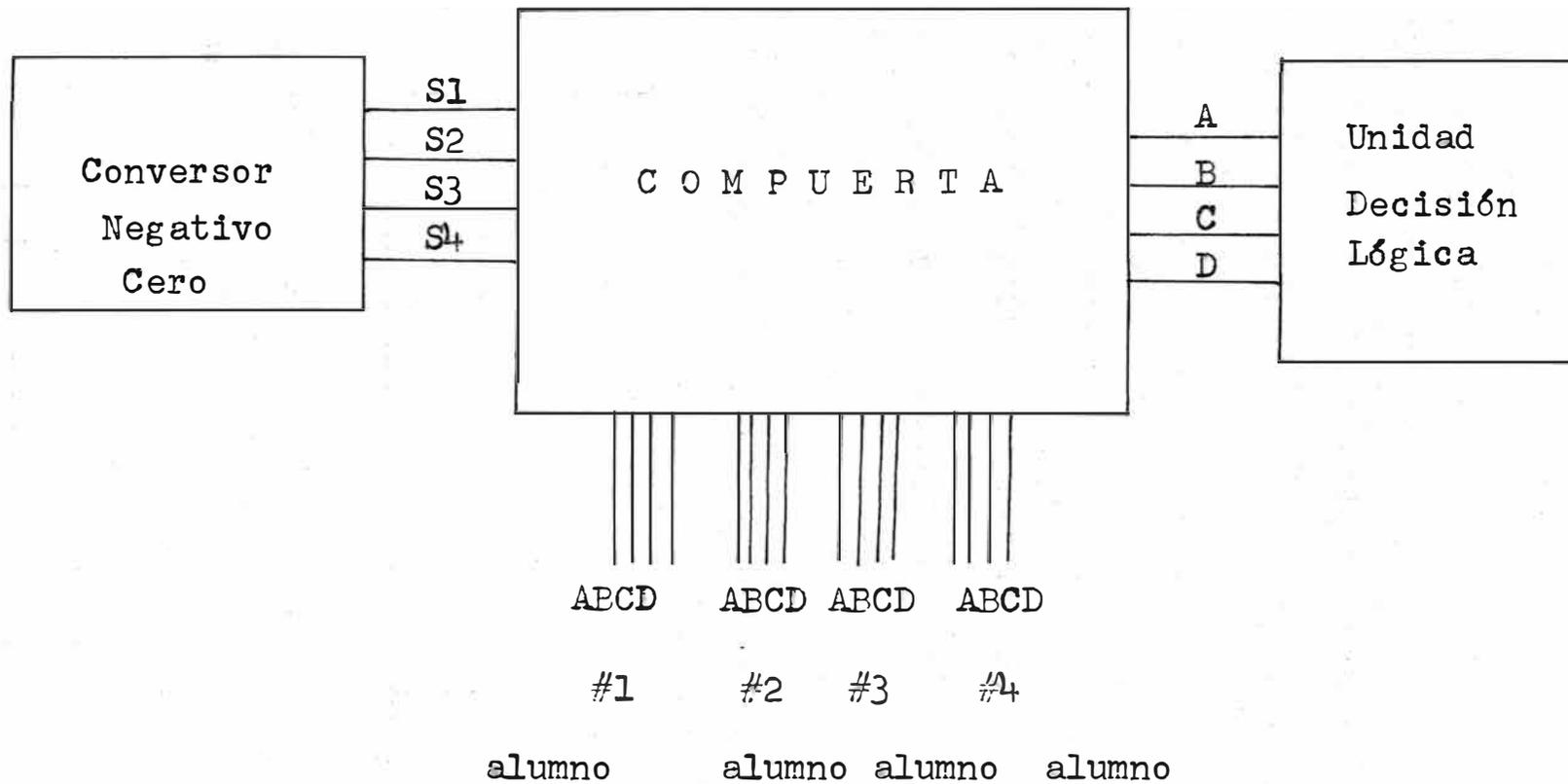
La caída de tensión entre base y emisor es de $V_{BE} = 0.24$ volts (con los diodos sin ninguna conexión externa). Este voltaje satura el transistor y la salida es un "0" lógico. Al hacer $V_{BE} = 0$, el transistor entra en estado de corte y la salida es un "1" lógico.

La caída de tensión en el diodo en polarización directa es de $V_D = 0.2$ volts. Esto evita el uso de los valores de "1" y "0" lógico convencionales que son :

$$V(1) = \text{"1" lógico} = 2 \text{ volts como mínimo}$$

$$V(0) = \text{"0" lógico} = 0.8 \text{ volts como máximo}$$

El "0" lógico (puesta a tierra) puesta en el diodo no era capaz de poner en corte el transistor. Por ello para la compuerta, se usó como "0" lógico un valor de -2.0 volts. La función de la bobina es la de integrar la señal de salida. En la figura 14 se muestra la ubicación de la compuerta en el sistema y su correspondiente conexión con las etapas contiguas .



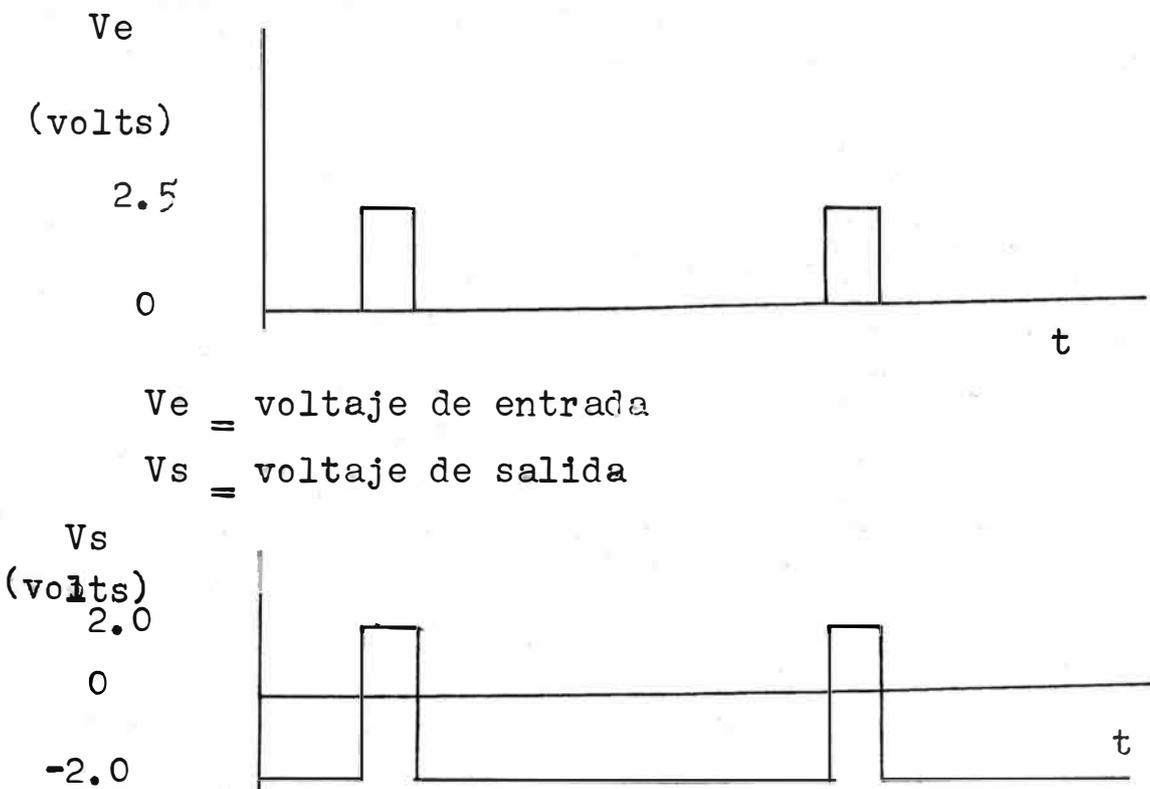
Ubicación de la Compuerta en el Sistema

FIGURA (14)

2.4 Convertor Negativo-Cero

El problema originado por la caída de tensión $V_D = 0.2$ volts del diodo en la compuerta se soluciona usando voltajes negativos mayores cuyos valores absolutos sean mayores a 0.2 volts.

Es necesario construir un convertor para cada salida del sincronizador pues estas salidas dan las secuencias de trabajo de la compuerta. La figura 15 muestra el diagrama de tiempo de la señal de entrada y la de salida.



Voltaje de Entrada y de Salida del Convertor
FIGURA (15)

En el diseño del circuito requerido se buscaron valores de voltaje y componentes adecuados para que el conversor pueda trabajar a la frecuencia deseada sin introducir errores. El circuito diseñado se muestra en la figura 16. Los valores de resistencias se escogieron por su disponibilidad y para que proporcionen suficiente voltaje para poner los transistores en corte y suficiente corriente para ponerlos en saturación. La resistencia de 15k ohms en la base se usa como protección contra altos valores de corriente.

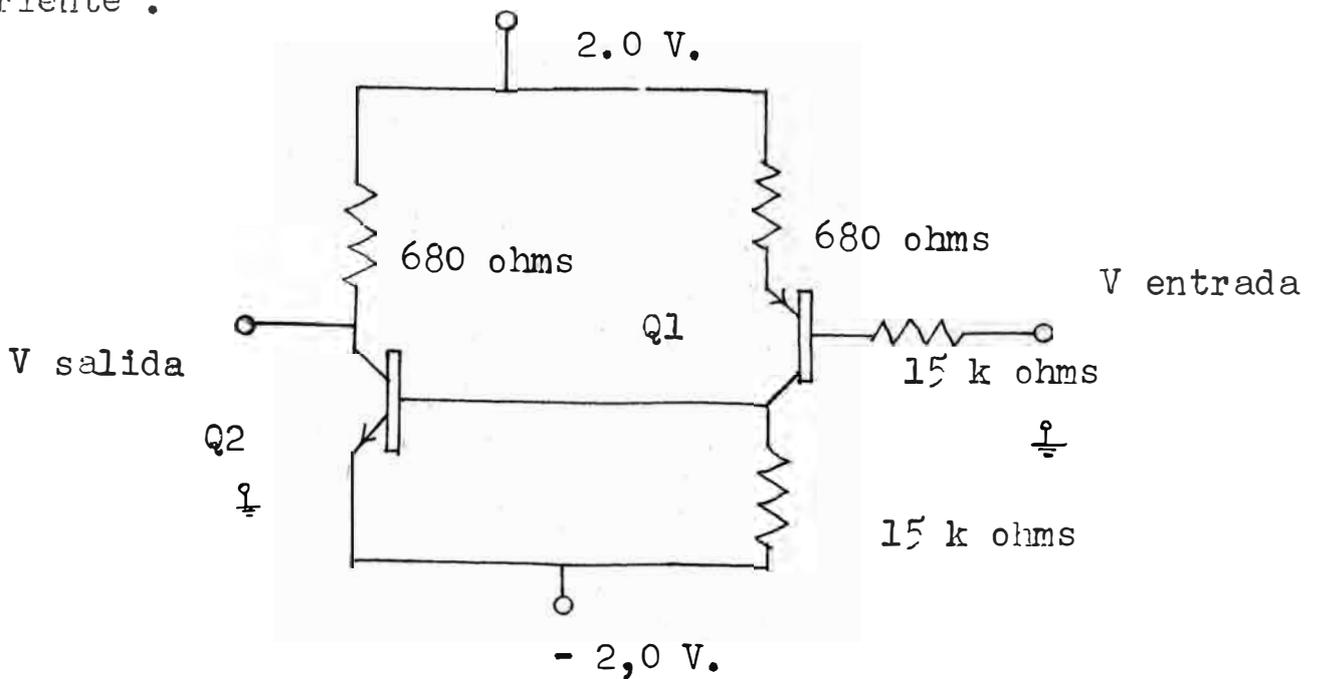


Diagrama Circuitual del Conversor

FIGURA (16)

Debido a que la señal del sincronizador (Ventrada) es de 2.5 volts se usó como fuente un valor de $V_{cc} = 2.0v$. para que al estar Ventrada en "1" lógico $= 2.5$ volts, el tiempo de subida sea mínimo. Si esto no se cumple habría ambigüedad en la entrada de los Circuitos Integrados de la Unidad de Decisión Lógica produciendo ruido al no cumplir los requisitos del tiempo de puesta.

Cuando V entrada está en "1" lógico, Q1 está en corte y a su vez hace que Q2 esté en corte y $V_{salida} = 2.0v$. Al cambiar V entrada a "0" lógico, Q1 y Q2 se saturan y $V_{salida} = -2.0 v$.

2.5 Unidad de Decisión Lógica

Se requiere que la información del alumno sea comparada con la información proporcionada por el profesor y que el puntaje sea el siguiente :

- 1 punto por la pregunta no contestada
- 2 puntos por la pregunta contestada correctamente
- 0 puntos por la pregunta contestada incorrectamente

En la figura 17 se muestra la tabla de verdad de lo requerido. Las letras E,F,G,H, corresponden a la información proporcionada por el profesor y A,B,C,D, las respuestas del alumno. "1" lógico en Q2 representa dos puntos y la salida va conectada al Duplicador. "1" lógico en Q1 representa un punto y la salida va conectada al Monoestable. La pregunta contestada incorrectamente no tiene puntaje por lo tanto no tiene salida(fig18). La tabla de la figura (17) es para E = 1 ; si el "1" corresponde a cualquiera de las otras letras (F,G,H) sólo habría que intercambiar la columna de la A con su correspondiente letra (E-A,F-B,G-C,H-D)

<u>Respuesta del alumno</u>				<u>Informacion Profesor</u>				<u>Resultado</u>	
A	B	C	D	E	F	G	H	Q2	Q1
1	X	X	X	1	0	0	0	1	0
0	1	X	X	1	0	0	0	0	0
0	X	L	X	1	0	0	0	0	0
0	X	X	1	1	0	0	0	0	0
0	0	0	0	1	0	0	0	0	1

X = "1" o "0" lógico pueden estar presentes.

Figura (17)

De la tabla de la figura (17) se obtienen las siguientes funciones lógicas :

$$Q2 = (AE + BF + CG + DH)(A + B + C + D)$$

$$Q1 = (AE + BF + CG + DH)(A + P + C + D)$$

Estas funciones en lógica combinacional se

traduce a :

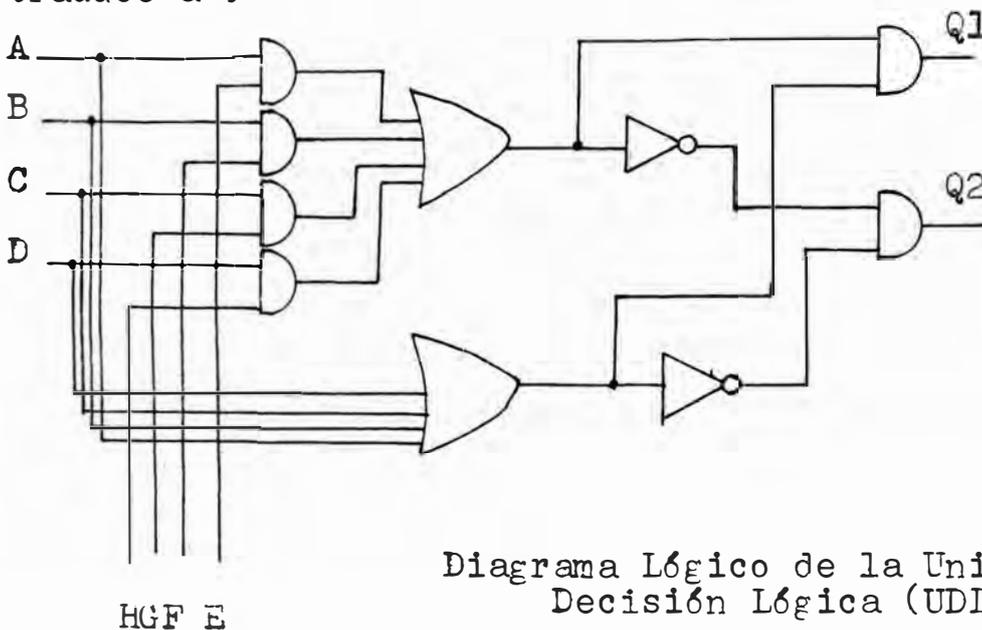


Diagrama Lógico de la Unidad de Decisión Lógica (UDL)

FIGURA(18)

Debido a la disponibilidad se utilizaron en vez de AND, la combinación de NAND e INVERSORES y OR de cuatro y dos entradas con inversores. En consecuencia el diagrama lógico de la figura(18) se traduce a :

E F G H

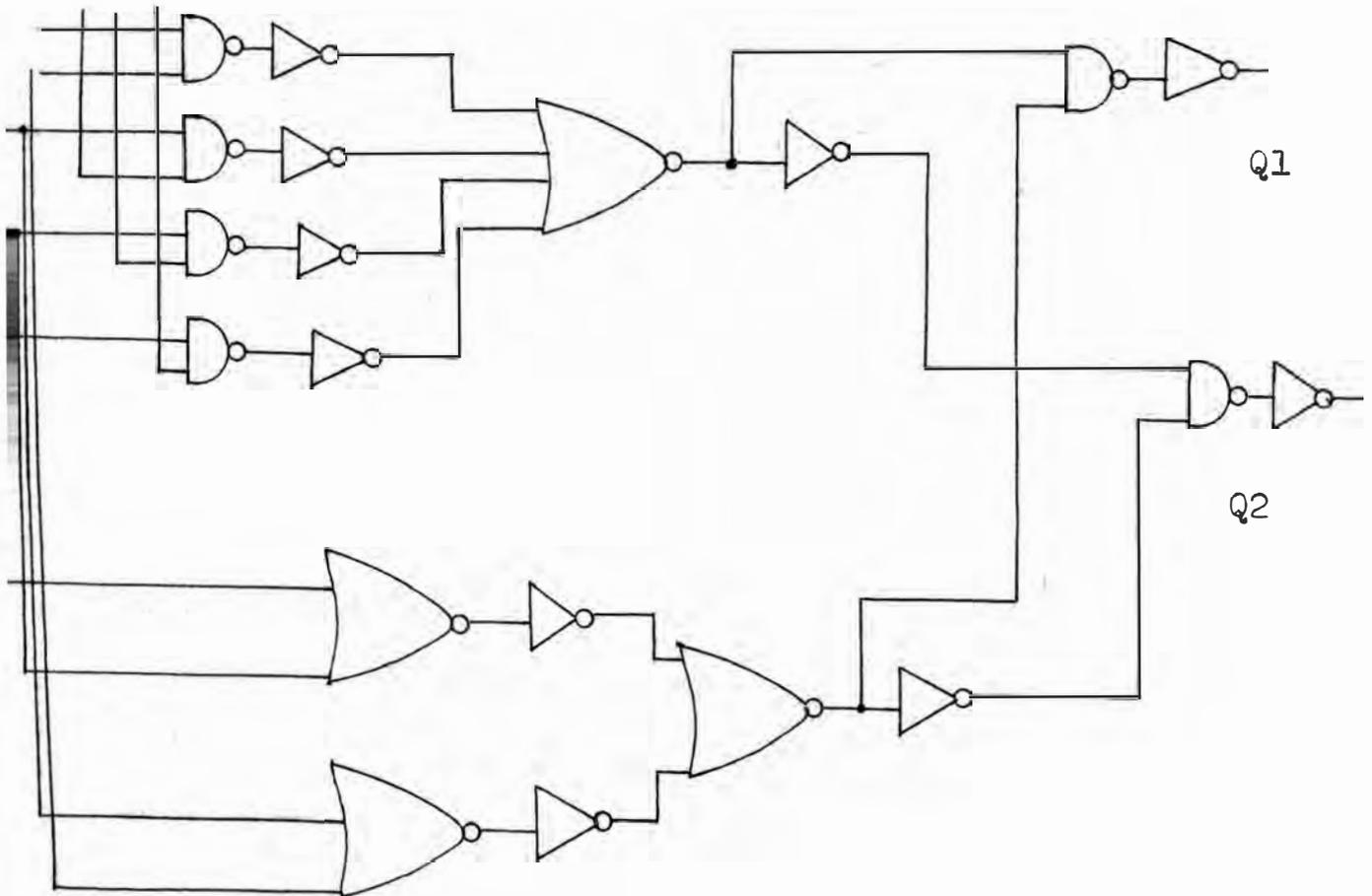


Diagrama Final del UDL
FIGURA(19)

El diagrama de conexiones del UDL se muestra en la figura 20.

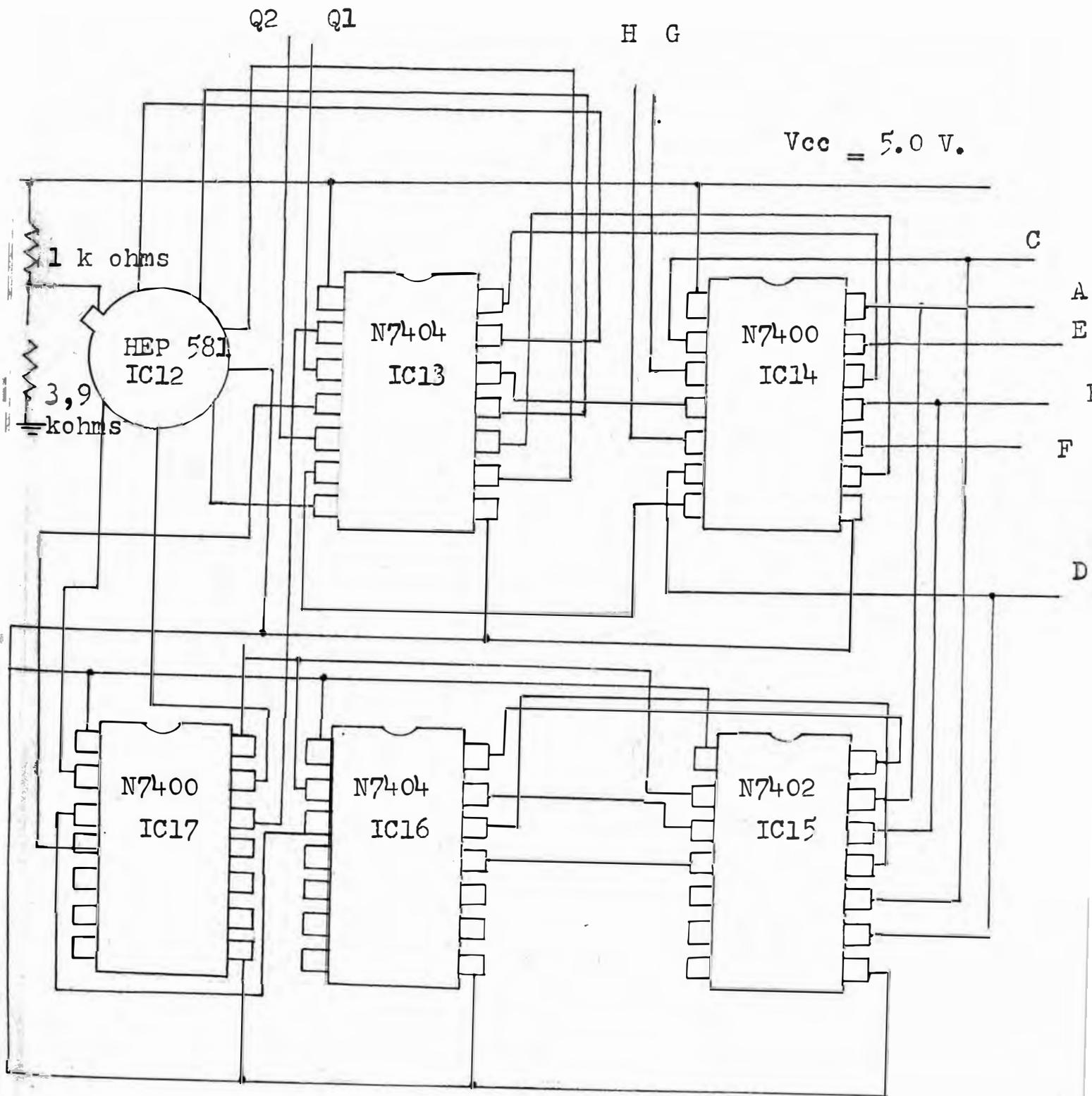


Diagrama de Conexiones del UDL
FIGURA (20)

El Profesor introduce la información correspondiente a la respuesta correcta a través de las letras E, F, G, H. Cada una de estas letras le corresponde una letra del alumno, así :

- E le corresponde la letra A del alumno
- F " " B " "
- G " " C " "
- H " " D " "

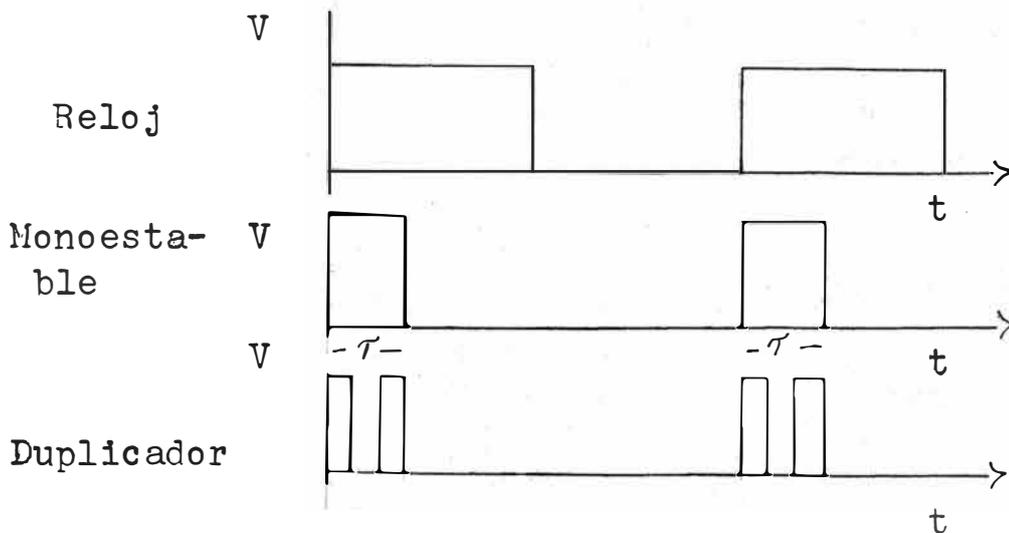
Si la respuesta del alumno coincide con su correspondiente del profesor, Q₂ estará en "1" lógico, indicando dos puntos. Si la respuesta del alumno no coincide con la del profesor, no recibe puntaje. Si el alumno no responde, Q₁ estará en "1" lógico, indicando un punto.

A falta de un Circuito Integrado NOR de cuatro entradas TTL, se utilizó un HEP 581 RTL NOR-OR de cuatro entradas. Debido a que el RTL soporta como alimentación máxima un valor de V_{dc} _ 4.0 volts, se utilizó un divisor de tensión de 1K y 3.9K ohms para subsanar esta dificultad.

El consumo promedio de la Unidad de Decisión Lógica es de 90 mA. La vista frontal del UDL se muestra en la foto del Apéndice .

2.6 Monoestable.-

Las señales producidas por el Monoestable (conectado a Q1 de la UDL) y el Duplicador (conectado a Q2 del UDL) deberán ser asimiladas por el contador y decodificador de la etapa de salida antes de que se produzca la puesta a cero y el blanqueo de la imagen en el visualizador. El pueste a cero del contador y blanqueo del visualizador se produce en el cambio de 0-1 lógico de la señal del reloj. En la figura 21 se muestra la señal del reloj y las señales requeridas en el Monoestable y Duplicador para que las secuencias de trabajo no sufran alteraciones por causa de ambigüedades durante el tiempo de puesta .



Señales Requeridas en el Monoestable y el Duplicador

FIGURA (21)

El problema fue atacado desde el punto de vista de lógica combinacional. No se prefirió la circuitería convencional pues la disponibilidad de tarjetas #493339 IBM proporcionaban (4-NOR) mayores facilidades para trabajar. Como conclusión se diseñó el siguiente circuito.

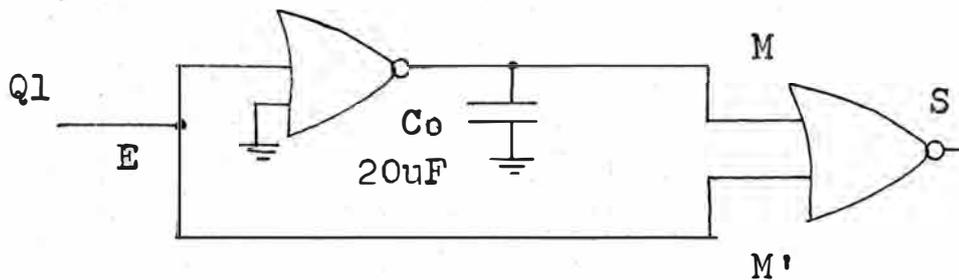
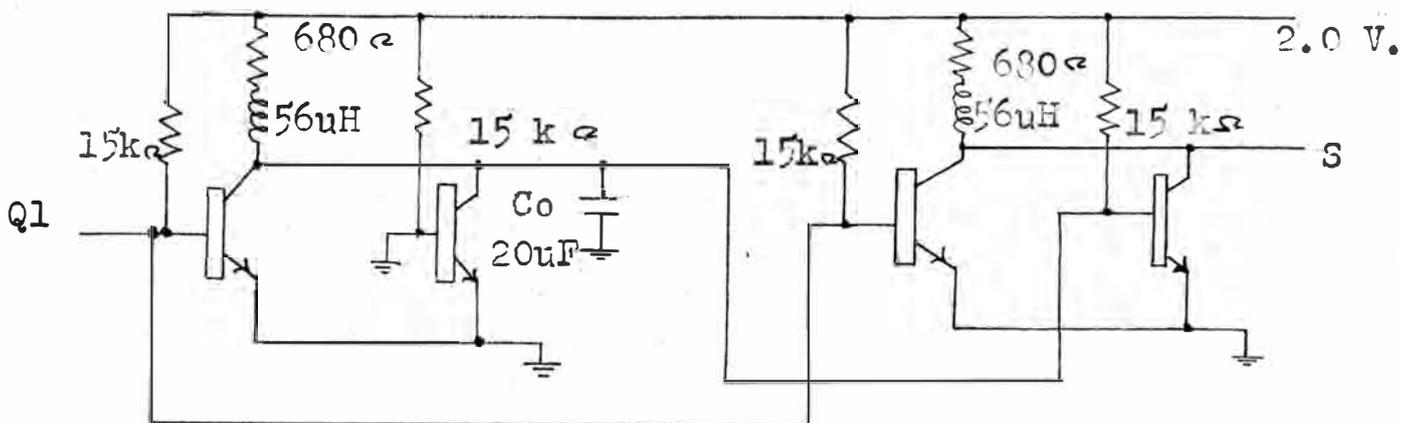
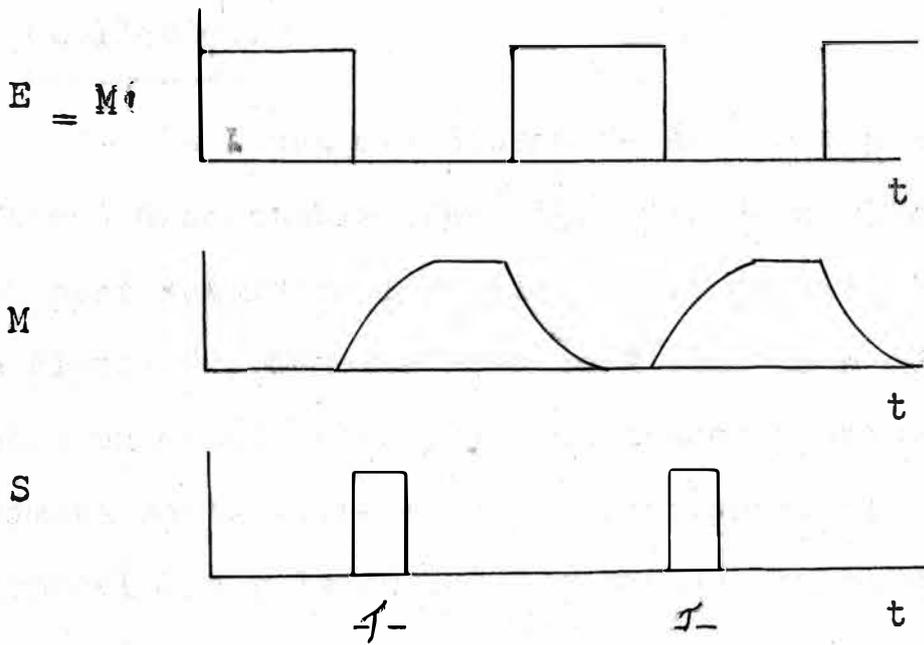


Diagrama Lógico del Monoestable
Figura (22)

La duración del pulso (τ) depende del valor del condensador C_o (fig. 22). El diagrama circuital corresponde al de la Compuerta (fig. 13) con los NOR independizados y las entradas conectados a las bases, sin usar los diodos.



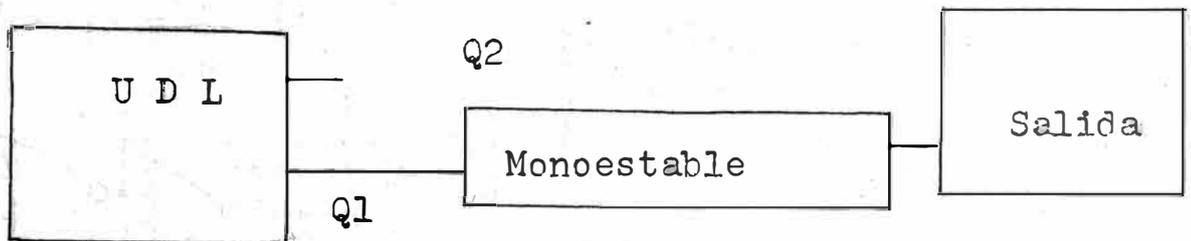
Circuito del Monoestable
FIGURA(23)



Voltajes del Monoestable

FIGURA (24)

El diagrama de tiempo de los voltajes en E, M, M' y S de la fig. 23 se muestra en la fig. 24. La ubicación del monoestable en el sistema se muestra en la fig. 25.



El Monoestable en el Sistema

FIGURA (25)

2.7 Duplicador.-

La causa del diseño de ésta etapa es la misma que la del Monoestable (Ver fig. 21). Se utilizó el mismo método para resolver el problema y el resultado se muestra en la figura 26. Como se observará la etapa consta de dos partes : un monoestable y el duplicador propiamente dicho. La primera parte tiene el mismo funcionamiento que la etapa del Monoestable y la segunda se explica en el diagrama de tiempo de la figura 27.

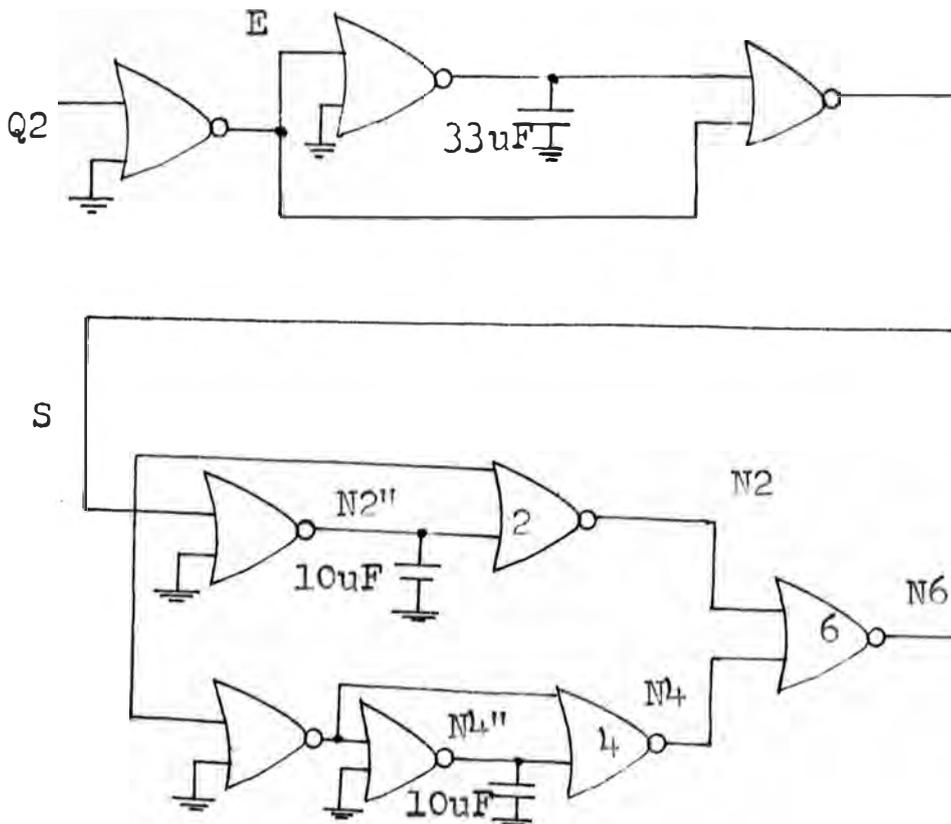


Diagrama Lógico del Duplicador

FIGURA (26)

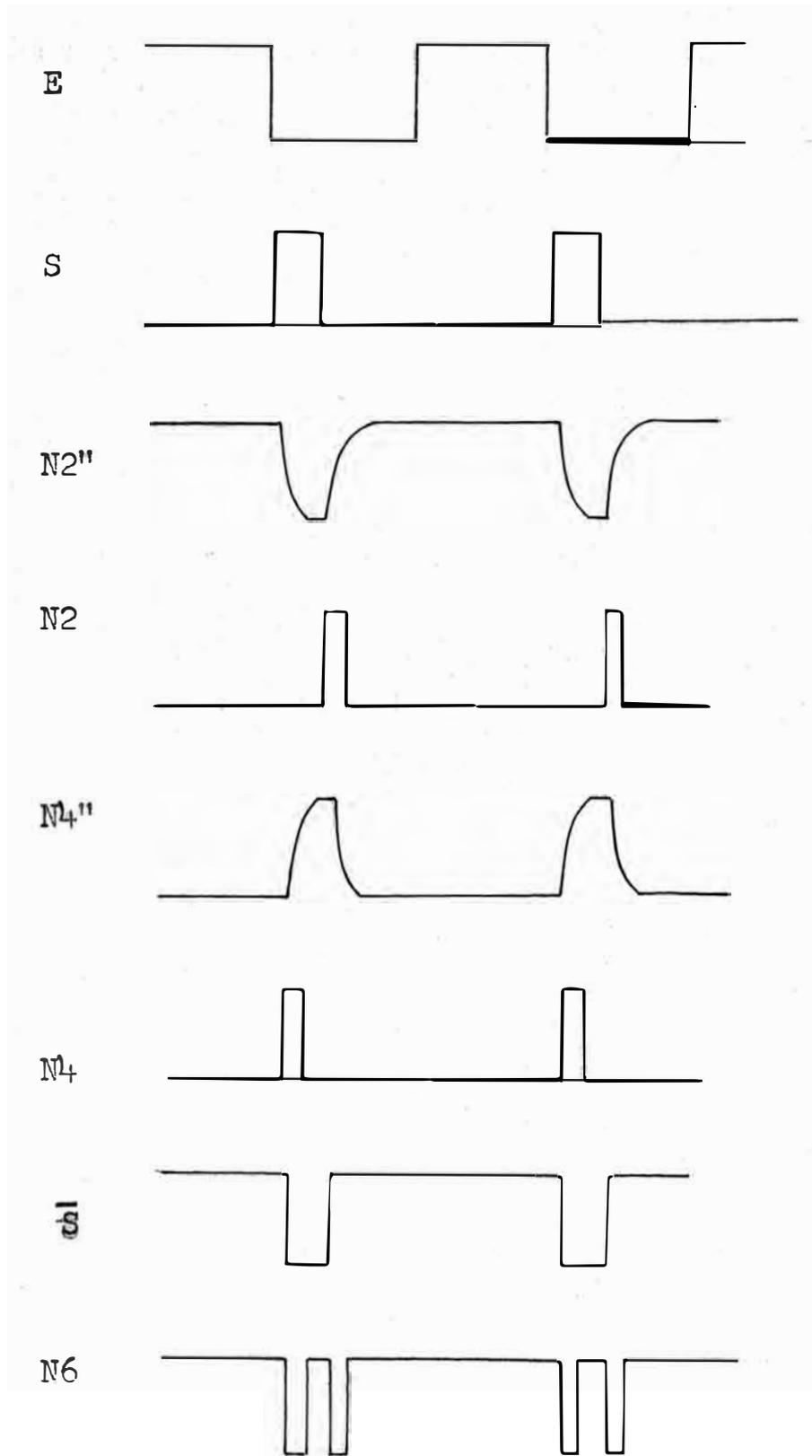
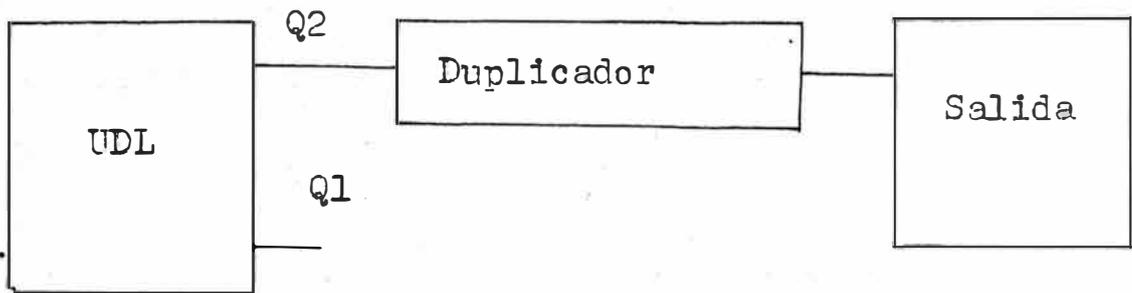


Diagrama de tiempo del Duplicador
FIGURA (27)

El Duplicador recibe la señal de Q2 de la Unidad de Decisión Lógica y proporciona la señal duplicada a la Salida. La ubicación del Duplicador en el sistema se muestra en la figura 28.



El Duplicador en el Sistema

FIGURA(28)

2.8 Salida.-

Por medio de la etapa de salida, los resultados son mostrados visualmente. El diseño se realizó con componentes discretos y circuitos integrados. El diagrama de bloques se muestra a continuación :

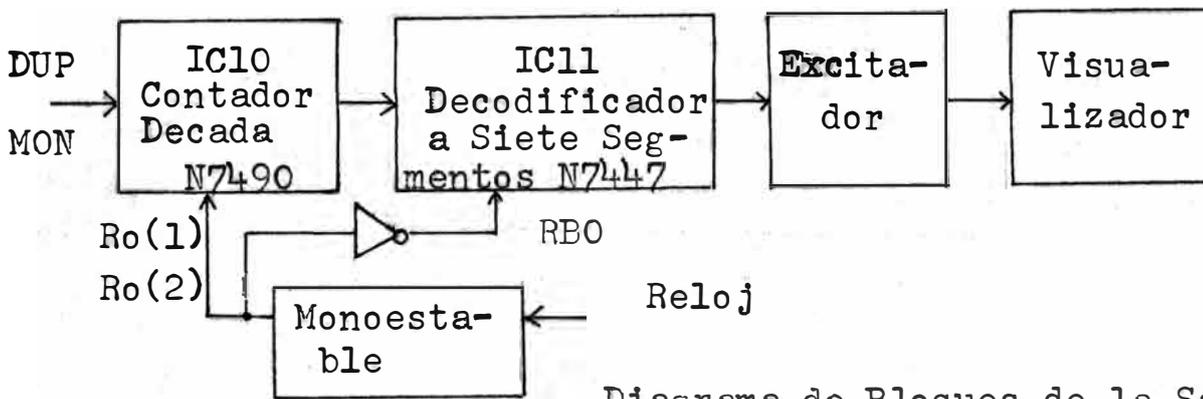
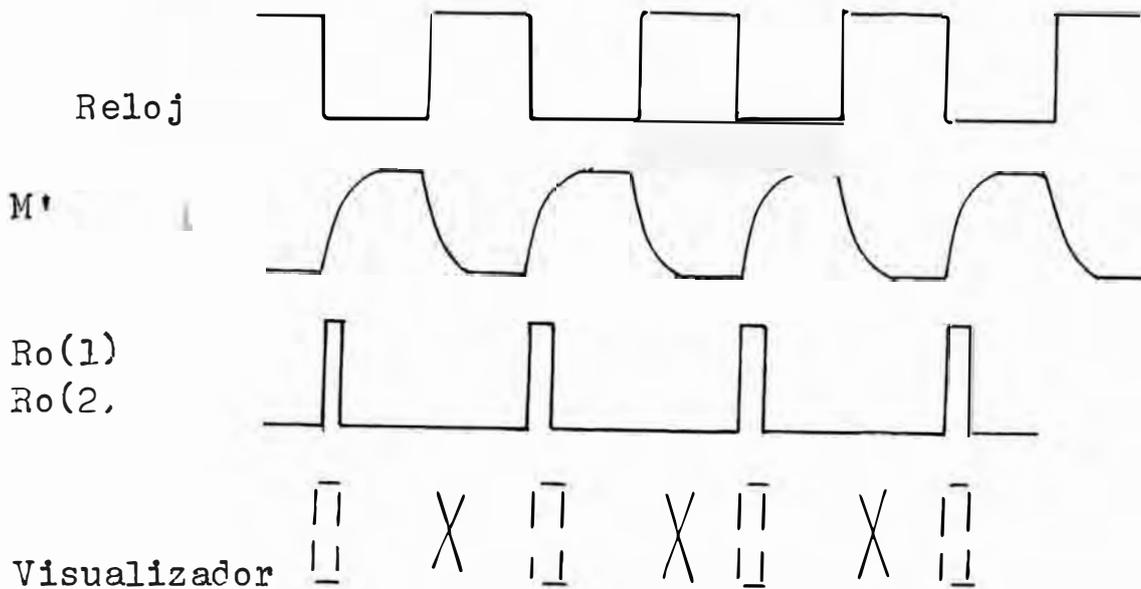
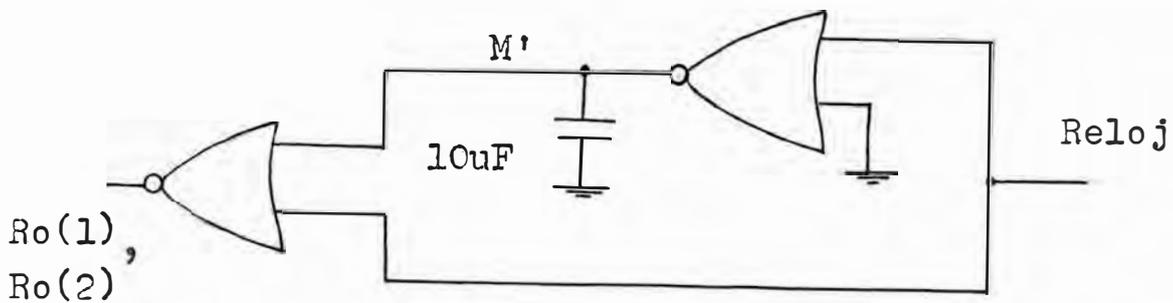


Diagrama de Bloques de la Salida
FIGURA (29a)

El contador de década, N7490 para ser usado como contador de código binario, se conectó externamente la entrada BD(patita#1) a la salida A(patita#12). La entrada A(patita#14) recibe los pulsos a contarse, obteniendose una cuenta de secuencia del código binario en las salidas A,B,C,D,(patitas 12, 9,8,11) . Estas salidas se conectan a las entradas A,B,C,D (patitas # 7,1,2,6) del decodificador de 7 segmentos,N7447. Las patitas "puesta en 9", R9(1) y R9(2) (Ver Apéndice) del

N7490 se conectaron a "0" lógico. Las puestas a "0", Ro(1) y Ro(2) del N7490 son conectadas a un monoestable, el cual recibe señales del Reloj. El diagrama lógico y de tiempo se muestra a continuación :



X = Cualquier valor puede estar presente

Puesta a Cero del Contador de la Etapa de Salida

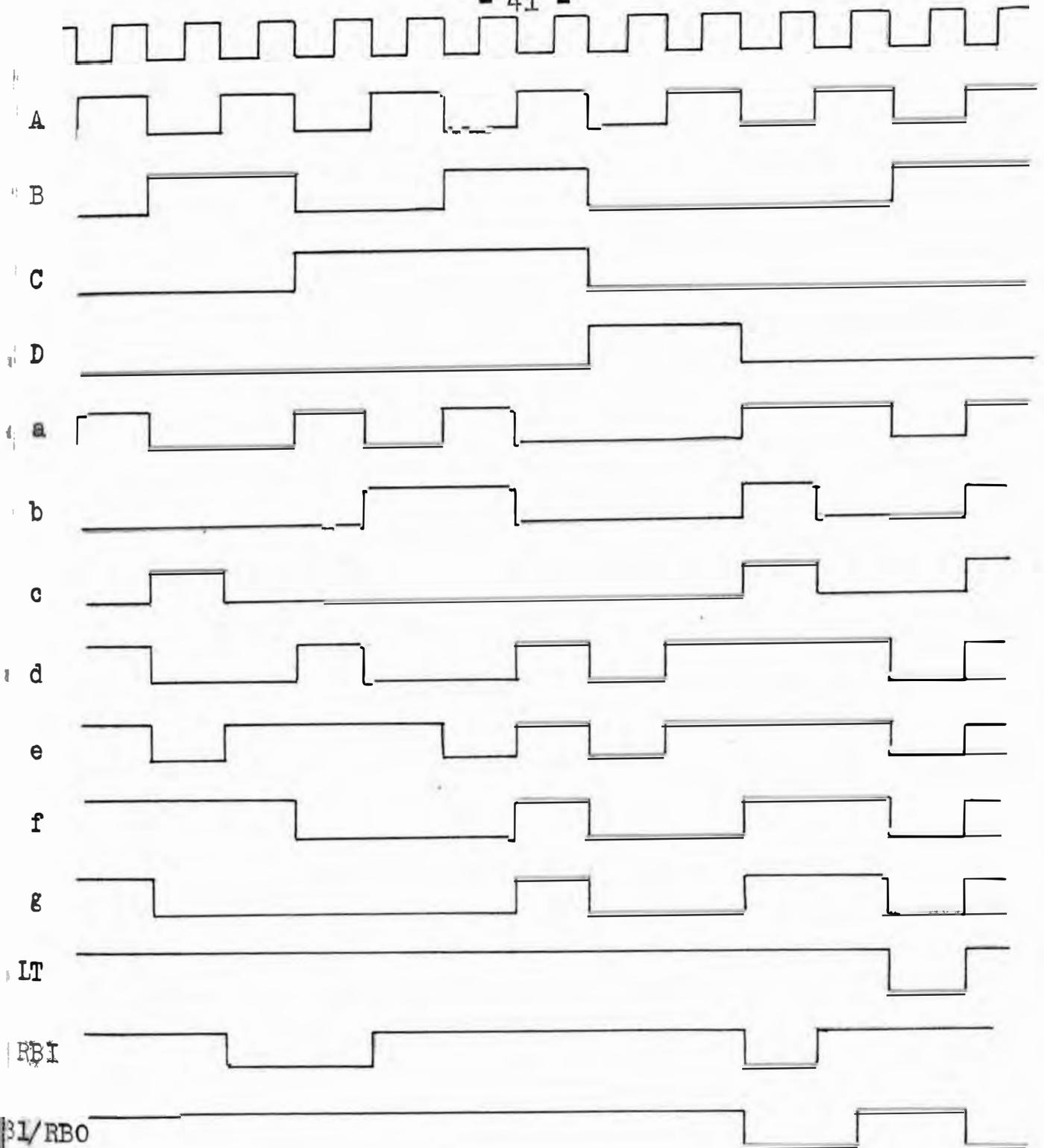
FIGURA (29 b)

Se utiliza la combinación de la señal del Reloj con el monoestable con el objetivo de poner en cero al contador cada vez que se ha procesado los datos de un alumno. Si usáramos un inversor en vez del monoestable no cumpliríamos con el requisito del tiempo de puesta creando ambigüedad en el contador. Obtendríamos un cero en todos los casos.

En el decodificador a siete segmentos, N7447, el probador("Lamp Test"), patita #3, se puso en "1" lógico con la posibilidad de ponerlo en "0" lógico para probar al excitador("driver") y/o el visualizador. La entrada del blanqueo (RBI) "ripple-blanking" se puso en "1" lógico.(ver Apéndice). Al ponerlo en "0" lógico, cuando A B C D = 0, obtenemos un "1" lógico en todas las salidas del decodificador y los transistores del excitador se saturan. Esto causa que no exista voltaje suficiente en los segmentos del tubo y el visualizador no se encienda. Esto se hace cuando no se quiere mostrar el número cero. También obtenemos un "1" lógico en

todas las salidas sin importar la condición de cualquier entrada (es decir, $A = B = C = D = X$) al poner en "0" RBO (blanqueo de salida ("ripple-blanking output"), patita # 14). La salida del monoestable es invertida e introducida al N7447 por RBO para que después que se haya procesado un alumno y se muestre el resultado, el visualizador se blanquea (se apaga). Las entradas A,B,C,D (patitas "7,1,2,6) se conectan a las salidas del N7490 (patitas 12,9,8,11) El decodificador N7447 convierte así del código BCD a lecturas de siete segmentos.

El diagrama de tiempo se muestra en la fig.29c mostrando las entradas,salidas, controles adicionales y las figuras obtenidas en el visualizador. Se usó un visualizador de siete segmentos que indica los números por medio de la excitación de los segmentos correspondientes bañados con una capa de fósforo. Los segmentos son excitados por la emisión de electrones emitidos por el cátodo de calentamiento directo.



Visualizador

1 2 3 4 5 6 7 8 9 no hay imagen no hay imagen

Diagrama de tiempo de la Etapa de Salida
 FIGURA (29c)

El tubo visualizador tiene las siguientes características :

- 1.- Es excitado por un Decodificador/Excitador N7447 BCD a siete segmentos.
- 2.- La potencia total requerida es menor que 175 mW
- 3.- Proporciona normalmente 200 pies lambert a 25 Vdc.
- 4.- El voltaje de segmento máximo permitido es de 35 Vdc.

Las especificaciones del tubo visualizador utilizados para el diseño de resistencias y transistores del excitador, se muestran a continuación :

		seg.V.	Fil.V.	min.	nom.	max.
Corriente de Filamento	mA. ac/dc	27	1.5	35	40	45
Corriente de Catodo	mA dc	27	1.5	--	4.0	9.0
Corriente de Segmento	mA. dc	27	1.5	--	0.5	1.5
Brillo Promedio	Ft/Lambert	27	1.5	100	200	--

TABLA (1)

Calculo de R9 y P1 : (fig29d)

Considerando una caída de 1.5 V en el fila -
mento tenemos :

$$R9 = \frac{(27.0 - 1.5) V.}{45 \text{ mA.}} \quad 563 \text{ ohms}$$

Para poder tener mayor rango de control con el potencióme-
tro y debido a la disponibilidad escogemos R9 = 100 ohms
y P1 = 5kohms. Controlamos el brillo del visualizador con
P1, ajustándolo para un brillo adecuado.

El transistor usado para cada segmento es
un 2N3904 NPN de silicio cuyas especificaciones son :

hFE typ 250

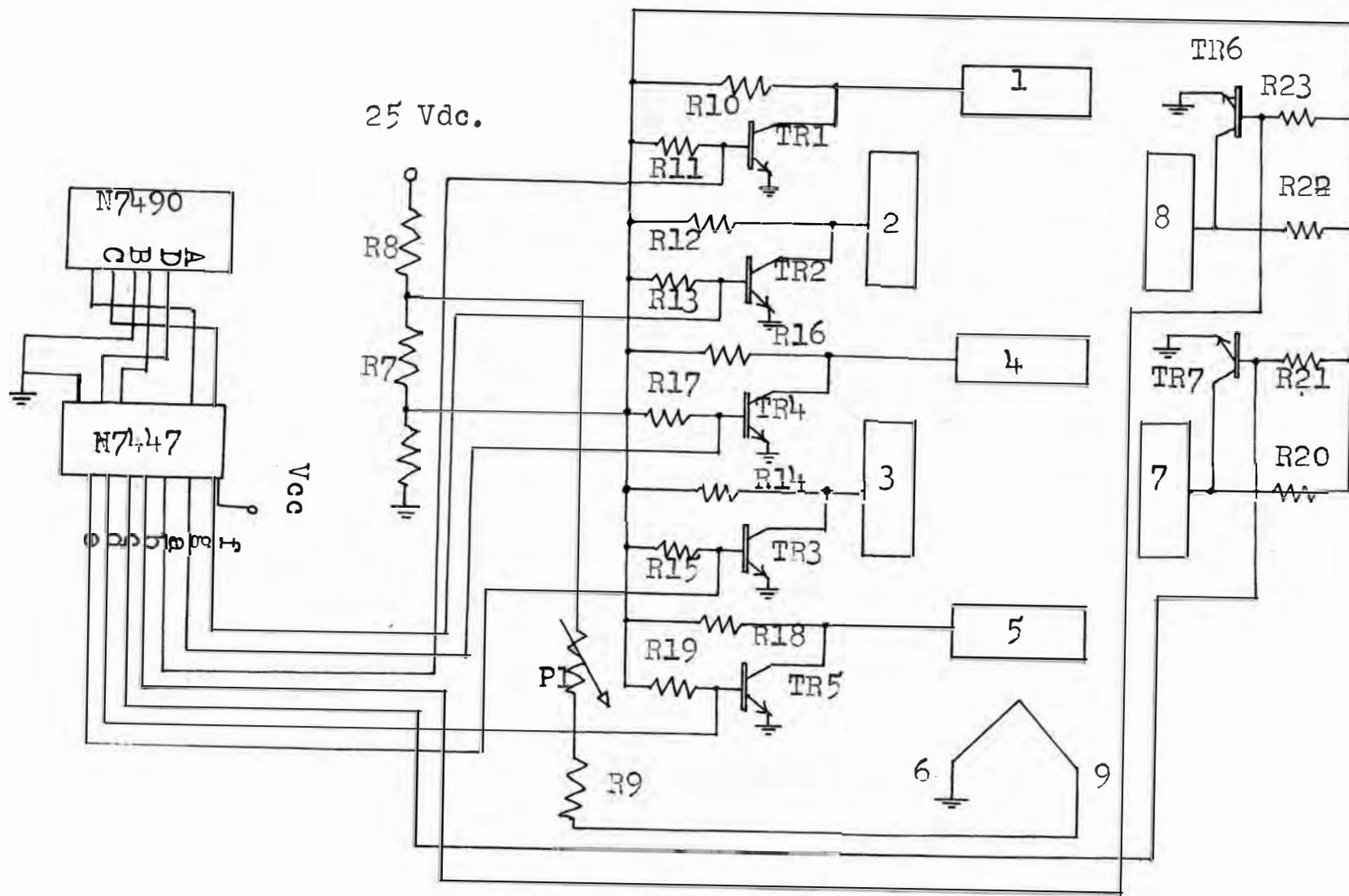
VCE max 40 V.

IC max 200 mA.

P Dis. 360 mW.

Para tener una corriente de base $I_B = 0.4 \text{ mA.}$
se calculó la resistencia de base R_B como se muestra :

$$R_B = R11, R13, R15, R17, R19, R21$$



Circuito del Excitador del Tubo Visualizador
FIGURA (29d)

$$R_B = \frac{(20.0 - 0.7) V.}{0.4 \text{ mA.}} = 48 \text{ k ohms}$$

Por la disponibilidad de componentes se escogió

$$R_B = 47 \text{ k ohms.}$$

Para trabajar con una corriente de colector $I_C = 2 \text{ mA.}$

cuando el transistor está saturado, se calculó R_C :

$$\begin{aligned} R_C &= \frac{20.0 \text{ V.} - V_{ce}(\text{sat})}{2.0 \text{ mA.}} \\ &= \frac{(20.0 - 0.3) V.}{2.0 \text{ mA.}} \end{aligned}$$

$$R_C = 9.85 \text{ k ohms}$$

Por facilidad de adquisición se usó :

$$R_C = R_{10}, R_{12}, R_{14}, R_{16}, R_{18}, R_{20}, R_{22}$$

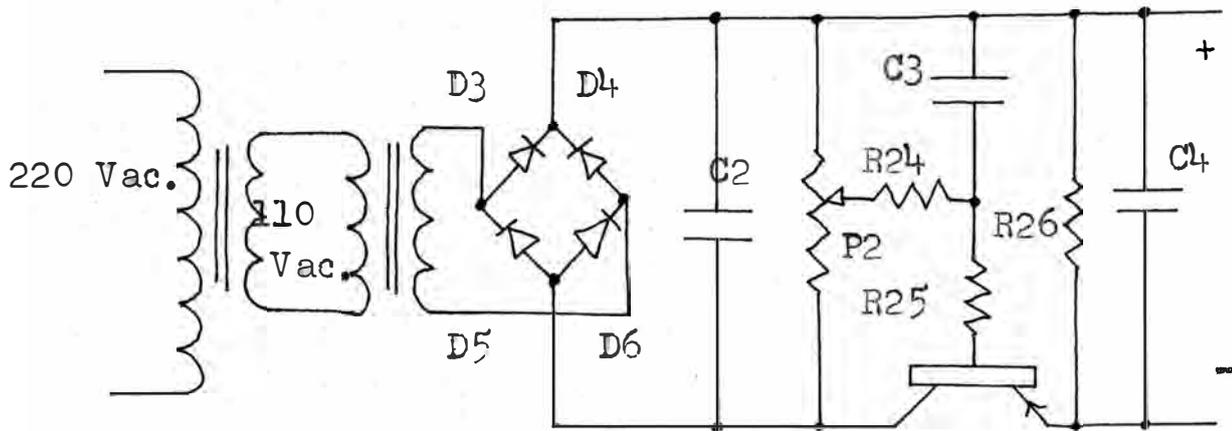
$$R_C = 10 \text{ k ohms.}$$

Las salidas del N7447 están conectadas a las bases de los transistores del excitador (fig.29d). Sólo cuando en éstas se produce un "0", el transistor se corta y toda la tensión es aplicada entre el segmento respectivo y el cátodo del tubo visualizador, originándose la conducción de electrones con el encendido respectivo de dicho segmento.

2.9 Fuentes de Alimentación

En el sistema se usaron dos tipos de fuentes.

Una de ellas es la siguiente :



Fuente de Alimentación (2 volts)

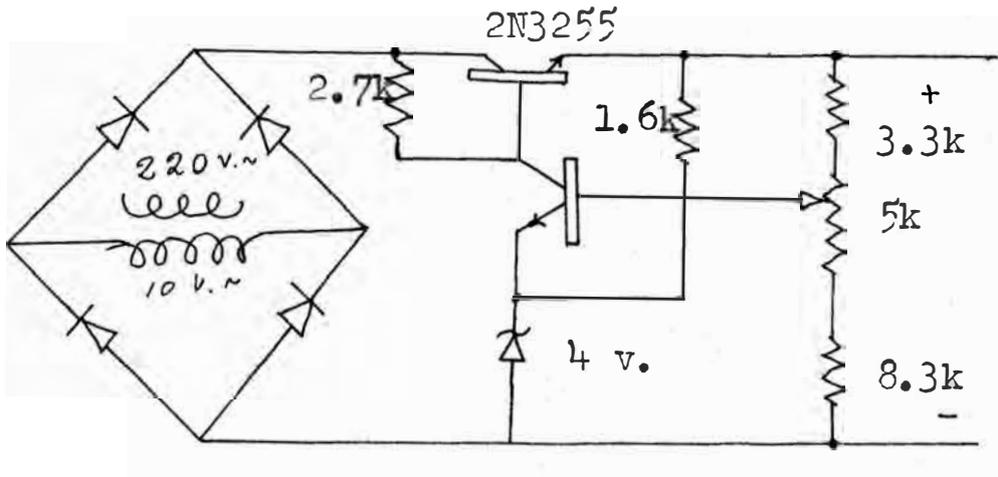
FIGURA (29e)

Como medida de protección se utilizaron diodos zeners. Usando un multímetro y un osciloscopio se obtuvieron las siguientes lecturas :

Vdc 5.0 volts

Vpp (rizado) 0.002 volts

El circuito de la otra fuente de alimentación se muestra a continuación :



Fuente de Alimentación (5 volts)
FIGURA (29f)

III

R E S U L T A D O S

3.1 Pruebas.-

Se introdujo la información del Profesor con la letra E con la respuesta correcta. Se instalaron cuatro terminal s para cuatro alumnos con la siguientes respuestas:

- Alumno #1 : Respuesta A
- Alumno #2 : No respondió
- Alumno #3 : Respuesta A
- Alumno #4 : No respondió.

Las formas de onda obtenida en cada etapa se muestra en el diagrama de tiempo de la figura (30).

Se construyó otro monoestable para poner el contador de la etapa de salida en cero después de cada pulso del reloj. La entrada fue conectada al reloj y la salida a R(0) (patita #2) del contador de decada N7490 .La presencia del monoestable es necesario para que la señal de puesta en cero (del reloj) no interfiera con la señal de entrada (del duplicador o el monoestable) como se muestra en la fig. 30.

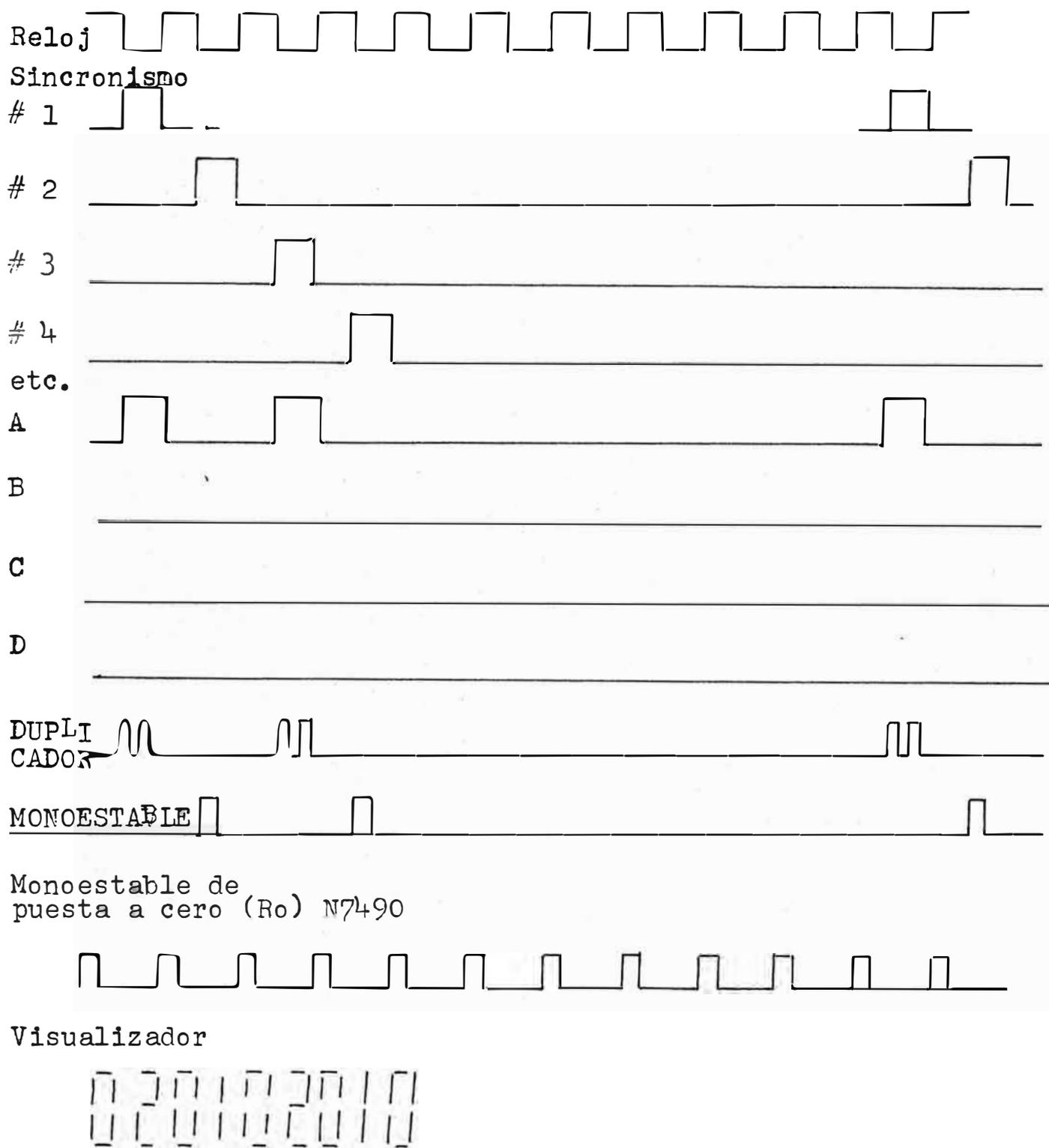


Diagrama de tiempo de los Resultados Obtenidos

FIGURA (30)

IV

MODIFICACIONES DEL MODULO BASICO PARA
MULTIPLE MODULO

4.1 "OR" EXCLUSIVO

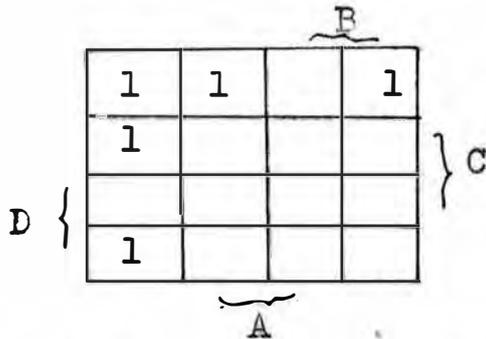
El alumno deberá contestar la pregunta al conectar uno de los interruptores, ya sea A,B,C, o D, pero no más de uno. Si contestáse todas a la vez tendrá siempre 2 puntos pues la probabilidad de que conteste correctamente sera siempre 1 . Para evitar esta situación, se requiere diseñar una etapa que deje pasar la señal a la etapa de salida siempre y cuando se haya contestado sólo una de las letras correspondientes al alumno. Las posibilidades de combinación de las letras A,B,C,D y el valor de Q que se quiere obtener a la salida se muestra en la tabla de la fig. 31

El diagrama de Veitch de dicha tabla y la función minimizada se muestra en la fig. 32. Como se podrá observar se ha logrado una pequeña simplificación. Como consecuencia de ello habrán dos AND de tres entradas en vez de cuatro entradas. El diagrama del diseño se muestra en la fig. 33. La inclusión del OR EXCLUSIVO en el sistema se muestra en la fig. 34.

A	B	C	D	Q
1	0	0	0	1
0	Y	Y	Y	0
1	Z	Z	Z	0
0	1	0	0	1
Y	0	Y	Y	0
Z	1	Z	Z	0
0	0	1	0	1
Y	Y	0	Y	0
Z	Z	1	Z	0
0	0	0	1	1
Y	Y	Y	0	0
Z	Z	Z	1	0
0	0	0	0	1

$Z = Y =$ un "1" o un "0"
 lógico pueden estar
 presentes. Pero
 alguno deberá
 ser diferente de
 "0"

Tabla de Verdad del OR Exclusivo
 FIGURA (31)



$$f = \overline{A}BCD + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D}$$

Diagrama de Veitch y Función Minimizada
 del OR EXCIUSIVO

FIGURA (32)

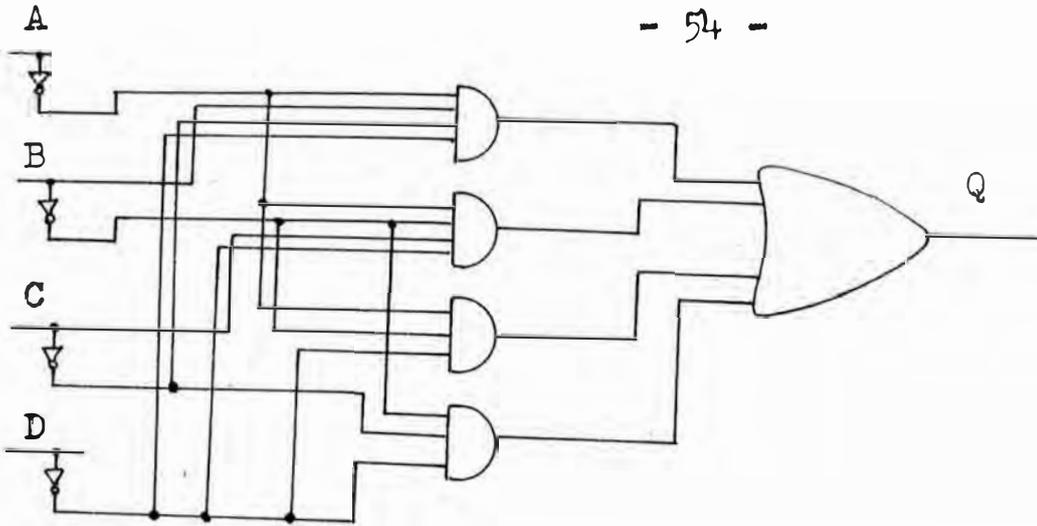
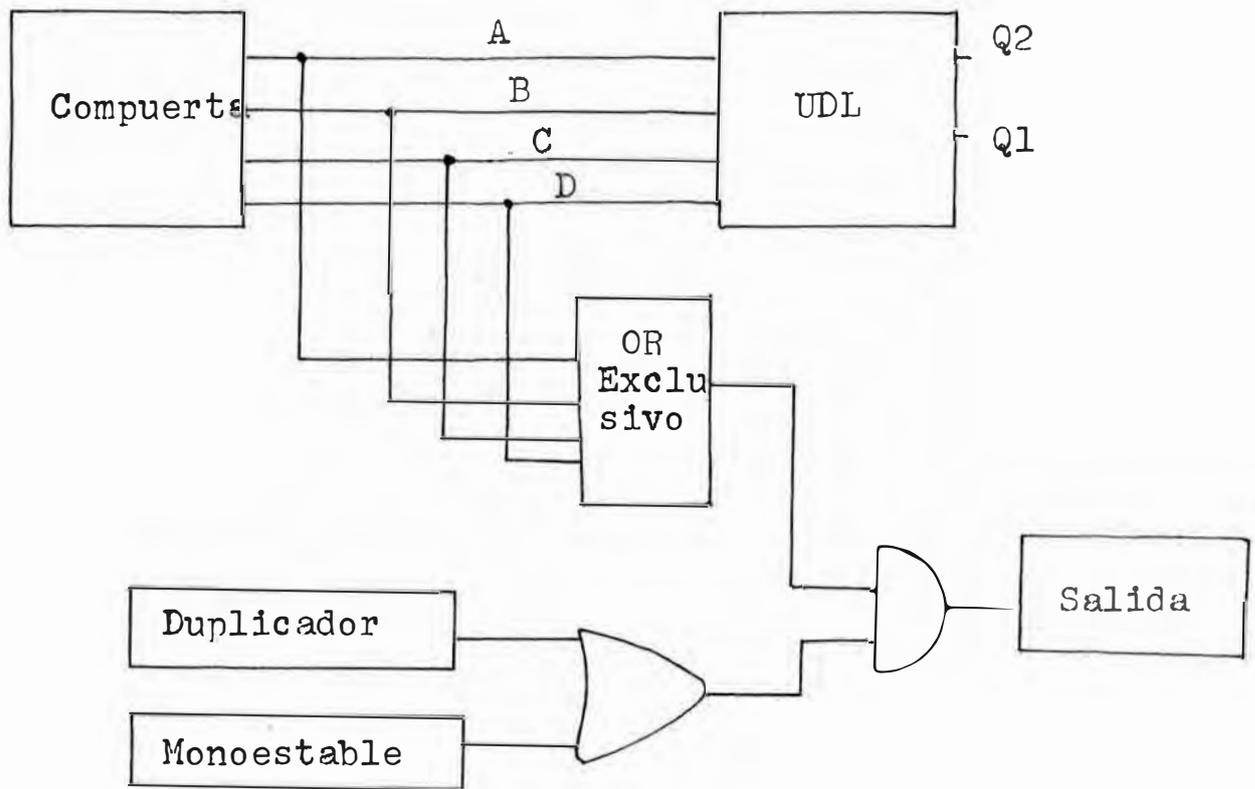


Diagrama Lógico del OR Exclusivo
FIGURA(33)



Inclusión del OR Exclusivo en el Sistema
FIGURA(34)

4.2 Entrada de Datos con Memoria.-

4.21 Entrada para Alumnos.-

Al proyectarse la pregunta en la pantalla, el alumno podrá responder la pregunta dentro de un determinado intervalo de tiempo. Es por ello que se necesita almacenar la respuesta del alumno para luego ser sacada y procesada secuencialmente. Para solucionar el problema se diseñaron memorias a base de "cerrojos" o comunmente llamados "latch" cuyo diagrama y tabla de verdad se muestra en la figura 35.

El latch además, evita el efecto del rebote producido por el pulsador. De no contrarrestar este efecto se obtendrían señales ambiguas en las entradas y como consecuencia de ello obtendríamos la carencia de un "1" o un "0" lógico franco a la salida. El efecto del rebote se muestra en la figura 36.

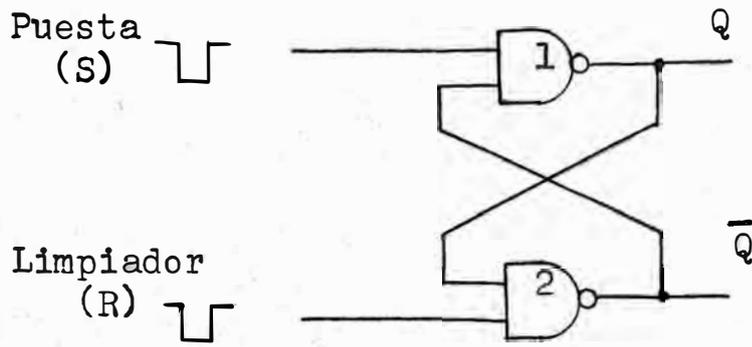
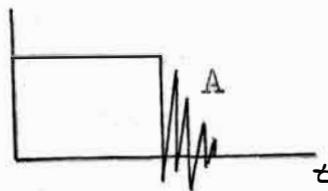


Tabla de Verdad

Entradas		Salidas	
Limpiar	Puesta	Q	\bar{Q}
0	1	0	1
1	0	1	0
0	0	1	1
0 - 1	1	0	1
1	0 - 1	1	0

Diagram y Tabla de Verdad
del Cerrojo
FIGURA (35)

V
volts
3.3



Efecto del rebote de "1" a "0" lógico

V
volts
3.3



Efecto del rebote de "0" a "1" a "0" lógico

Efecto del Rebote
FIGURA (36)

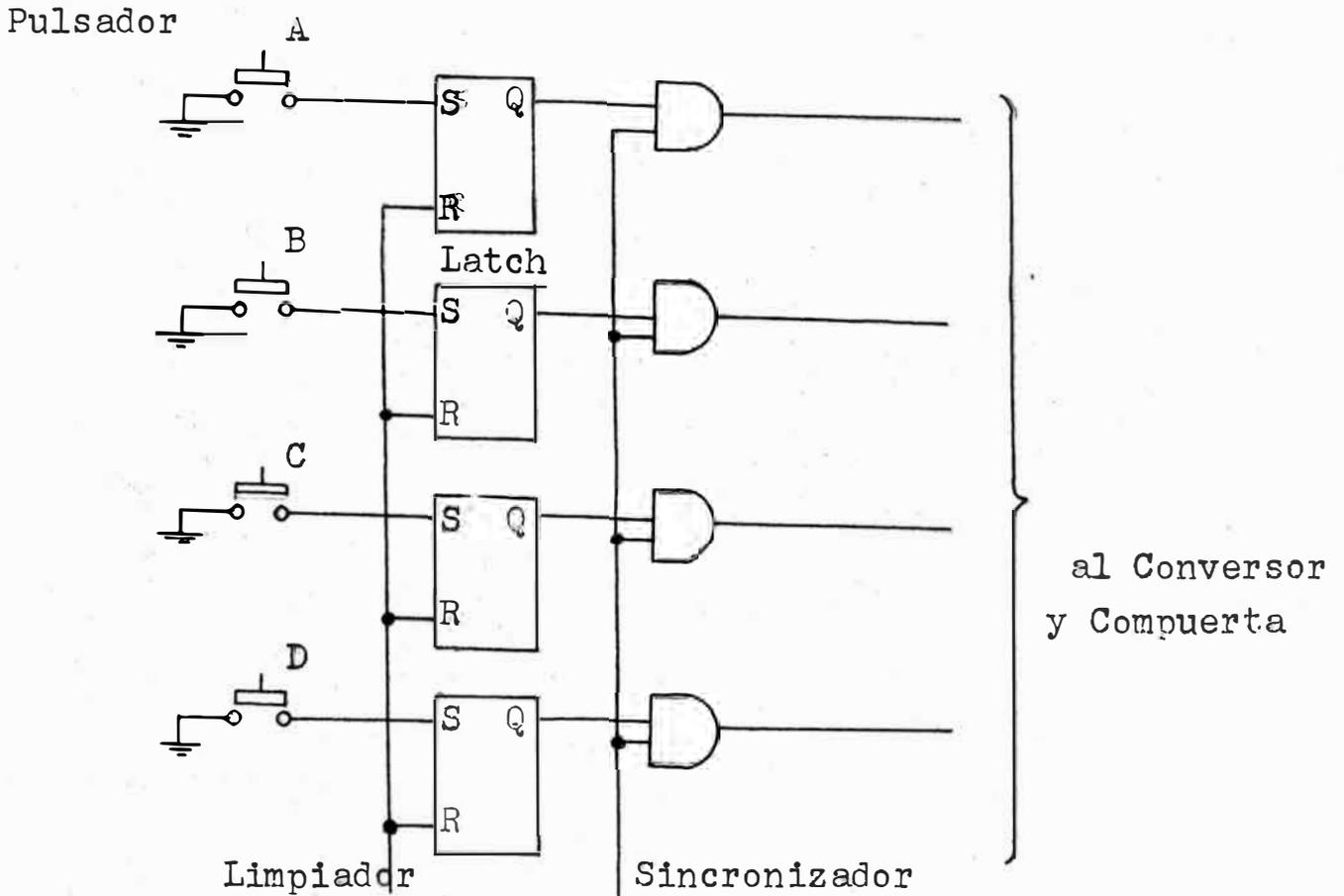
El latch puede hacerse con compuertas NOR o NAND, en el presente caso se usó éste último por su disponibilidad. Debido a que la salida de una de las compuertas es la entrada del otro y viceversa, las salidas están siempre en estados opuestos. Es decir $Q = 0, \bar{Q} = 1$ ó $Q = 1, \bar{Q} = 0$. Si asumimos que las entradas "limpiar" y "puesta" están en "1" lógico, aplicamos un "0" a la entrada de "limpiar" dejando la entrada de "puesta" en "1", las salidas estarán en el estado $Q = 1$ y $Q = 0$. Si por causa del rebote aparece a la entrada un cambio de voltaje 0 - 1 (en la entrada de "limpiar") a un voltaje considerable como (A) en la figura (36). Esto no influirá en el estado de las salidas. $Q = 0$ al estar conectado a la entrada de la compuerta(2) hará que la salida de éste, $Q = 1$ permanezca en este estado indiferentemente al valor que pueda tomar luego la entrada

4. H.V. Malmstadt - C.G. Enke, Digital Electronics for Scientists (W.N. Benjamin Inc., 1969), p.189.

"limpiar" por efecto del rebote. Este estado se mantendrá hasta que se aplique un "0" a "puesta". Sólo entonces cambiarán de estado las salidas. Obtenemos así un "0" franco en Q y un "1" franco en Q. Como el estado del latch se mantendrá hasta que se aplique un "0" a "puesta" podemos usarlo como una memoria y sacar la información cuando se requiera controlado por un AND. (N7409)

Basandonos en el funcionamiento arriba explicado se diseñaron las Memorias para las Entradas de los Alumnos. En la figura 37 se muestra el diseño para un alumno con sus cuatro pulsadores para las cuatro posibilidades de respuesta (A,B,C,D). El diagrama de tiempo se muestra en la figura 38. La secuencia de trabajo es la siguiente :

- 1.- Se limpian las memorias (latch)
- 2.- Se proyecta la pregunta en la pantalla. El sincronizador envia una señal al proyector de diapositivas para que realice esta función.
- 3.- El zumbador suena para indicar que pueden empezar a contestar.



Memoria para Entrada de Datos de un Alumno
FIGURA (37)

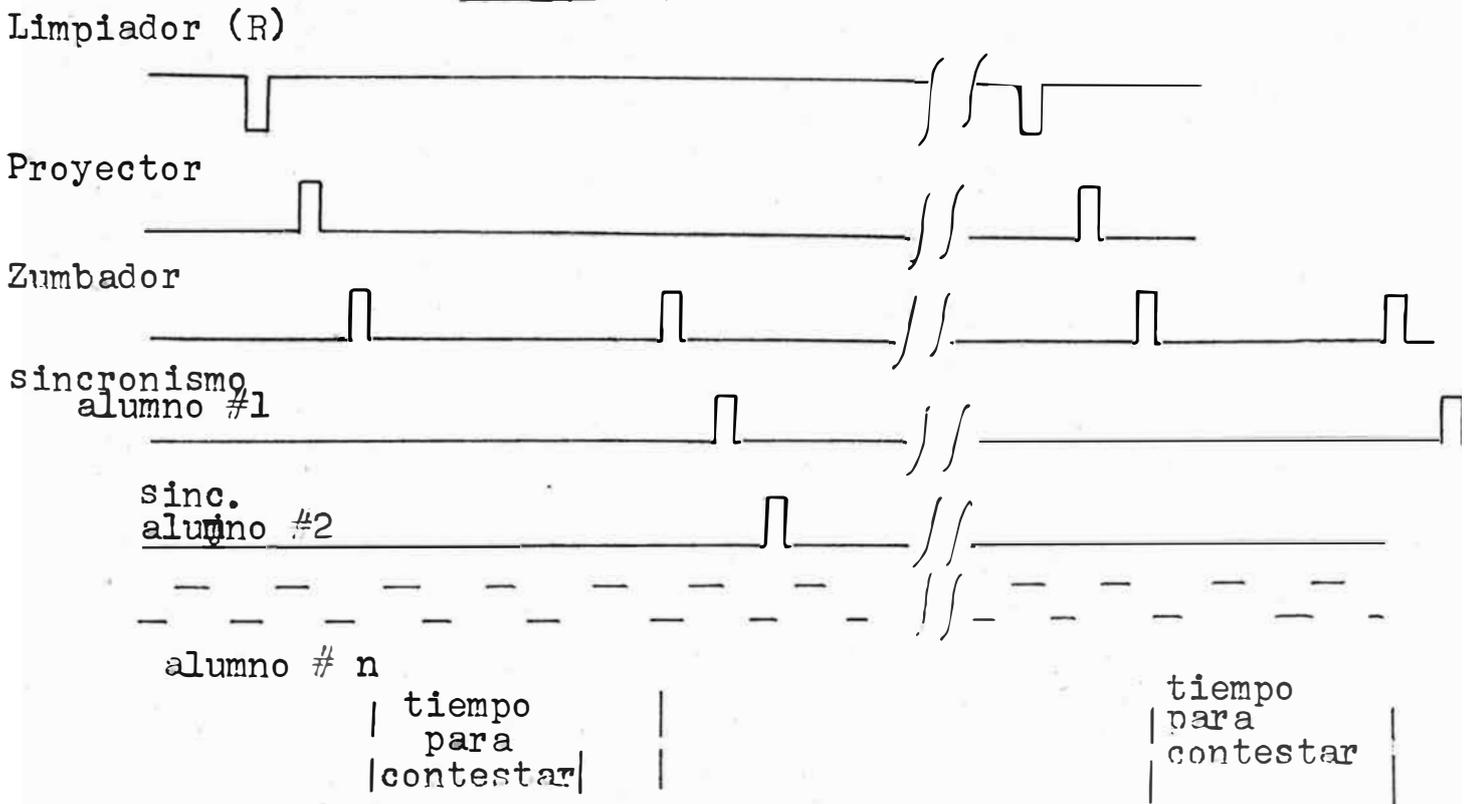


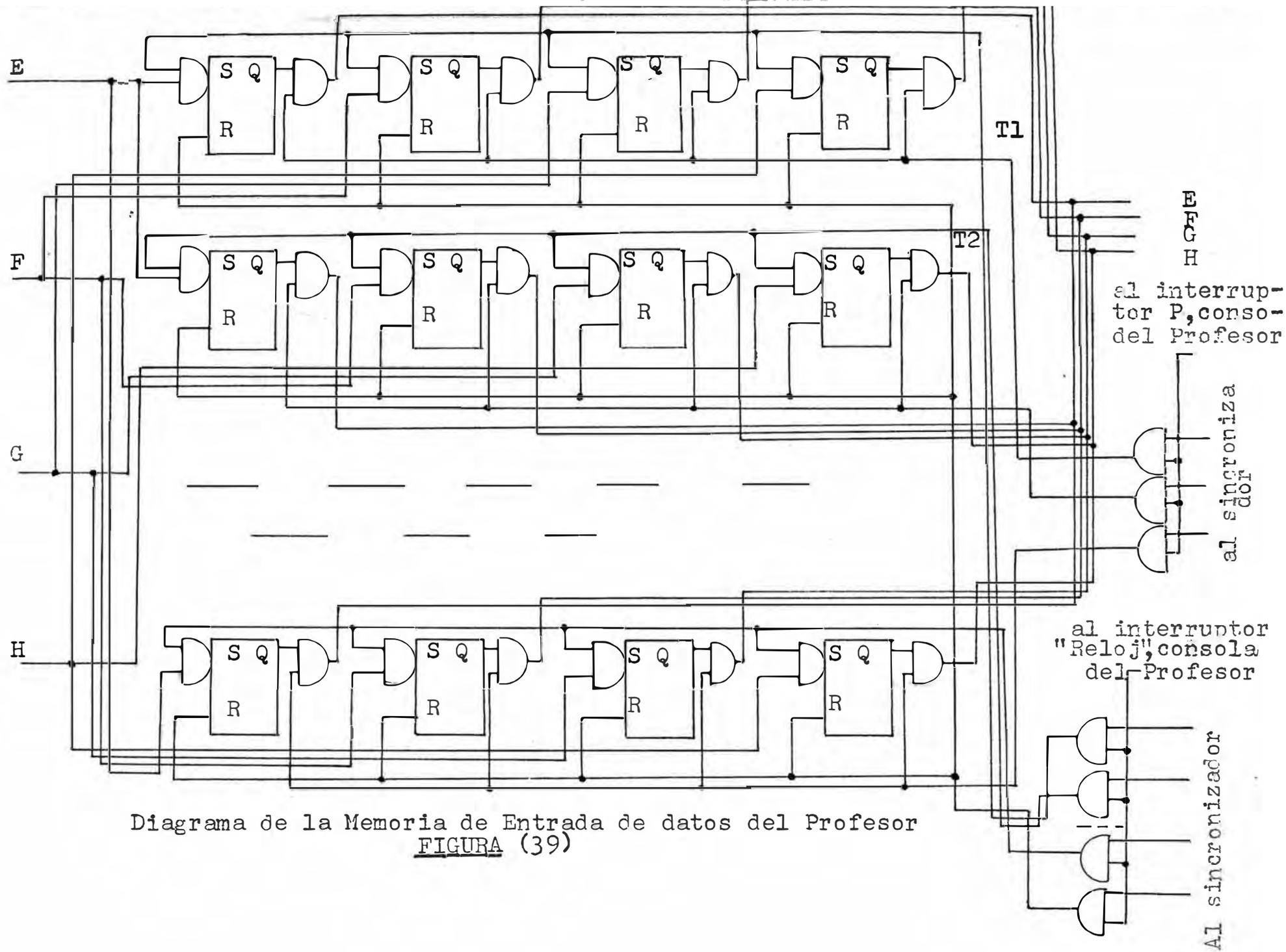
Diagrama de tiempo de Entrada de Alumno
 con Memoria
FIGURA (38)

- 4.- El zumbador suena para indicar que ya no se puede responder de lo contrario se introducirían ambigüedades y como consecuencia, error en la calificación.
- 5.- El sincronismo envía señales para sacar la información de las memorias y procesarlas secuencialmente.
- 6.- Después de un intervalo de tiempo se repite el proceso.

4.22 Entrada de Profesor.-

La capacidad del número de preguntas posibles depende de la cantidad del teclado. Otra posibilidad sería usar un solo teclado(una tecla para cada letra :E,F,G,H) e introducir y sacar secuencialmente la información de un banco de memoria.

Para éste propósito se ha diseñado un banco de memoria a base de "latches" con ANDs que controlan la entrada de datos en forma secuencial. La salida también es a base de ANDs pero de Colector Abierto conformando un "bus" (OR) de salida como se muestra en la figura 39. El diseño de la fig. 39 limita el número de preguntas en función a la cantidad de filas de "latches" (memorias). La salida también es controlado secuencialmente como se muestra en el diagrama de tiempo de la figura 41. En la figura 39 se puede observar los cuatro teclados del profesor correspondientes a las letras E,F,G,H. La señales que comandan la secuencia de la entrada de datos provienen del sincronizador y llegan a través de las líneas



T1,T2,T3,... Tn . La información es almacenada en los latch y luego sacada por el bus de ANDs de colector abierto. Las señales de comando de salida de datos los proporciona el sincronizador y llegan a través de las líneas T'1,T'2,... T'n.

Modo de operación de la entrada de datos del profesor al banco de memoria :

- 1.- Accionar el interruptor "Reloj" (Ver diagrama de la Consola del Profesor. fig.47 ,extremo superior derecha).Automáticamente se encenderá el foco encima del interruptor indicando que se ha puesto en funcionamiento el sistema del banco de memoria pues es controlado por las señales del sincronizador. El paso de estas señales son controladas por los ANDs de la fig. 39 y el interruptor "Reloj" de la consola del profesor.
- 2.- Se recibe la señal del sincronizador para "limpiar" las memorias(latch) a través de R (fig. 39)
- 3.- Se enciende momentáneamente la lámpara amarilla

(indicador para entrada de datos del profesor. Ver fig⁴7 consola del profesor). Esto indica que en los siguientes 3 segundos el profesor puede introducir la información.

- 4.- Se enciende nuevamente por un momento la lámpara amarilla indicando que ya no se debe introducir información. Durante todo el tiempo que esté encendida la lámpara, la información será almacenada. Si la información es introducida dentro de los 20 ns reglamentarios del tiempo de puesta se producen ambigüedades y la información se almacena incorrectamente. Si no se alcanza a introducir la información dentro de éste intervalo o se introduce erróneamente se seguirá como se indica en el paso 6.
- 5.- De haber sido introducido la información correctamente, en el siguiente intervalo se repetirá el paso 4 y así sucesivamente. Cuando no se tenga más información por introducir (se ha terminado

de introducir todas las respuesta a las preguntas del profesor) se desconecta el interruptor "Reloj" Se ha desconectado el sincronizador y todas las informaciones estan almacenadas.

- 6.- Si se ha cometido algun error al introducir la información al banco de memoria, se deberá esperar a que se encienda la lámpara roja (Centro superior de la consola del profesor). Esta indica que se hará toda la operación nuevamente (fig. 40) y el siguiente paso será el de limpiar las memorias como en el paso 2 y se introduce la nueva información . La antigua información queda automáticamente borrada. Es por ello que se deberá desconectar las señales del sincronizador antes de los 100 seg. si no se quiere que la información introducida se borre. Este intervalo de tiempo es el que regula la cantidad de preguntas a realizar. Intervalo que puede ser extendido haciendo simples cambios.

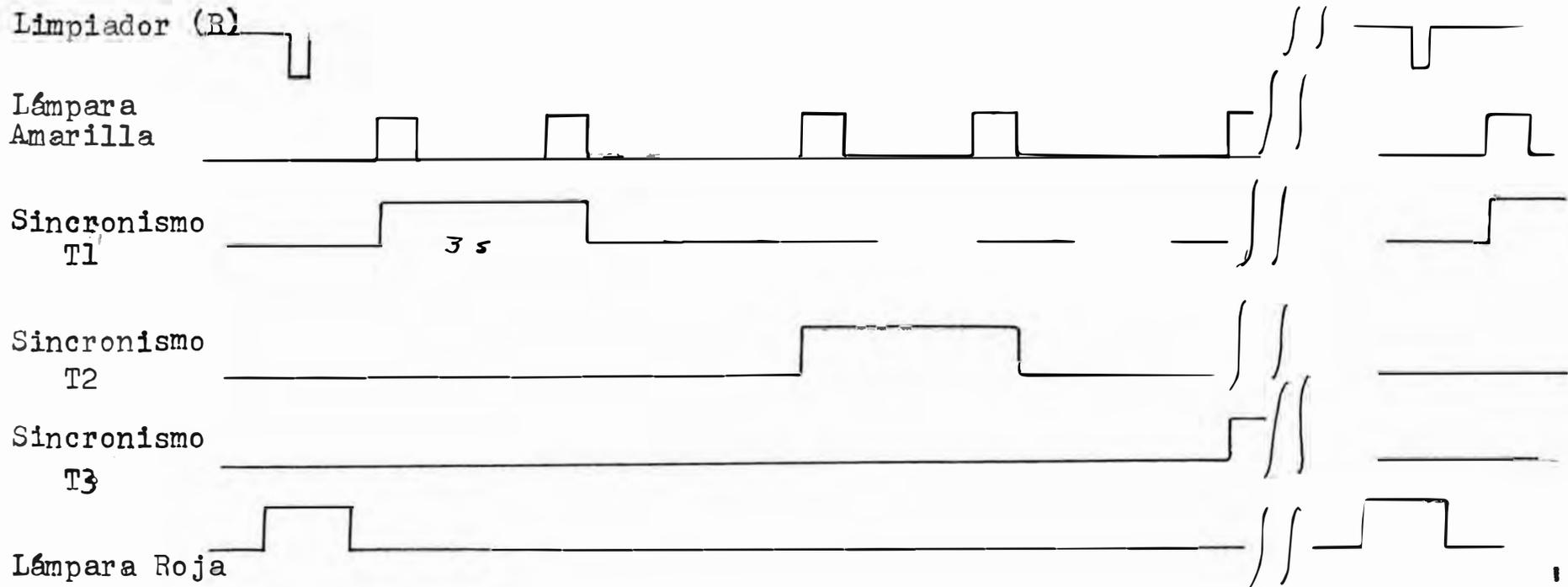


Diagrama de Tiempo. Entrada de datos a Memoria (Profesor)

FIGURA (40)

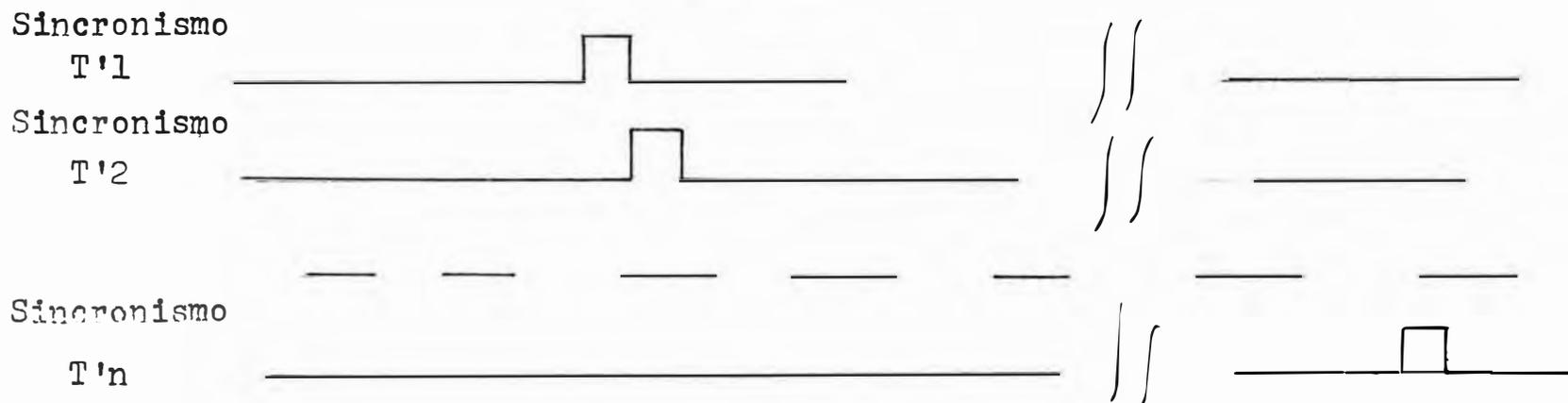
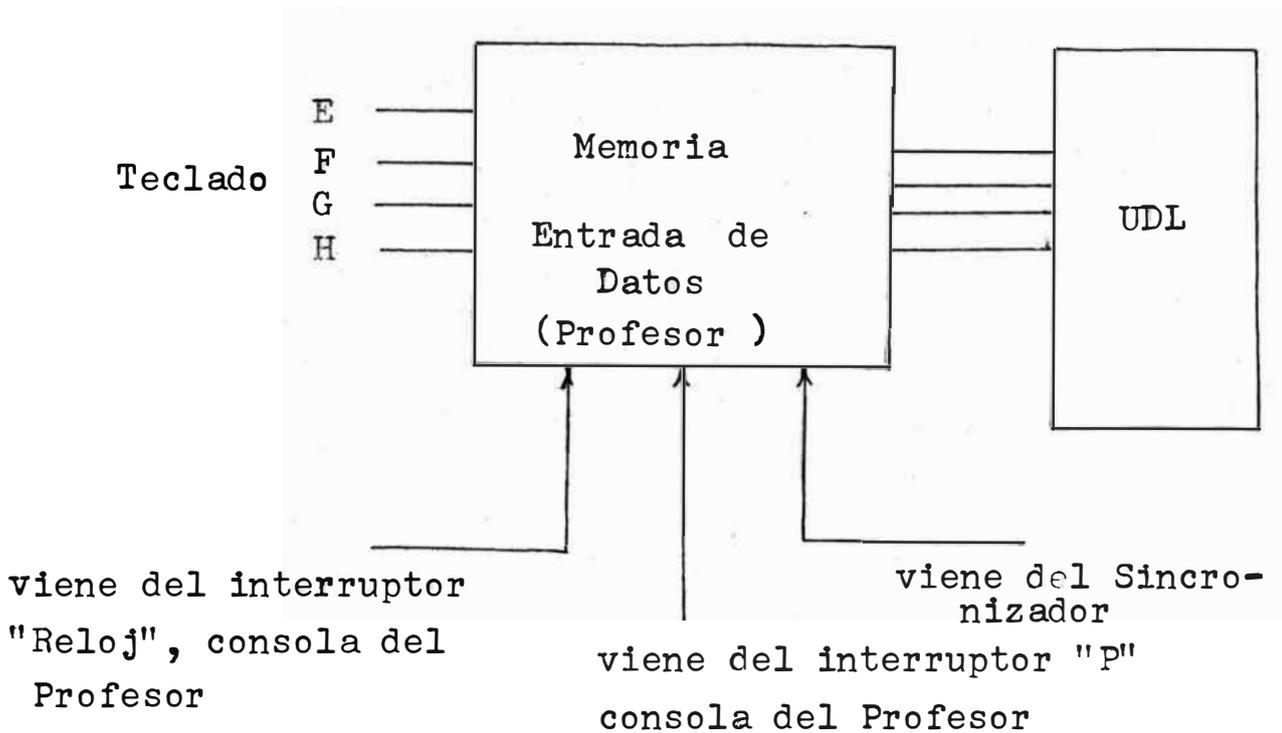


Diagrama de Tiempo. Salida de datos de Memoria (Profesor)

FIGURA (41)

En la figura 41 se observa las señales recibidas del sincronizador para la salida de datos del banco de memoria. Los pulsos recibidos accionan los ANDs para que salga la información al "bus". Estas señales son producidos por el sincronizador secuencialmente cada vez que corrige la pregunta respectiva. En la fig. 42 se muestra la Memoria como parte del sistema.



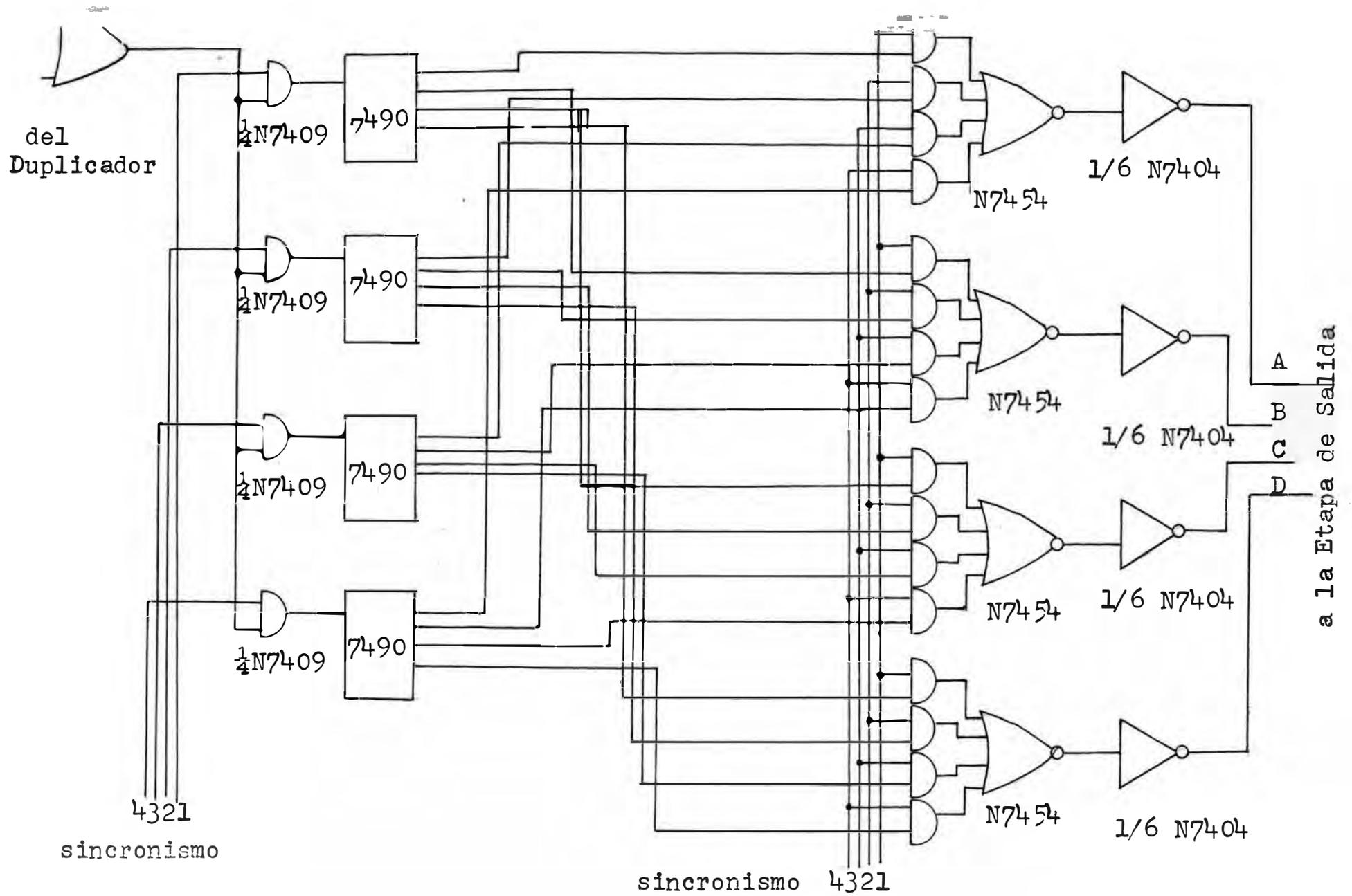
Memoria-Entrada de Datos-Profesor
en el Sistema

FIGURA (42)

4,3 Contadores.-

Con el fin de ir acumulando el puntaje de cada estudiante para luego dar el resultado final de la prueba, se crea un grupo de contadores como una etapa adicional del sistema. Se necesita convertir señales en serie (provenientes del Duplicador y el Monoestable correspondiente a cada alumno) en paralelo (a los contadores de década). La entrada y salida de información de los contadores deberá ser secuencial para luego ser convertida de paralelo a serie y de allí a la etapa de salida. La información final podrá ser obtenida visualmente (en el visualizador) o impreso (por medio de una impresora).

El circuito diseñado se muestra en fig. 43. Las señales del Monoestable y Duplicador pasan por un OR y por medio de ANDs (N7409) a los contadores de década (N7490). La secuencia está dada por señales del sincronizador. Se obtiene la información de los contadores en paralelo para ser convertido en serie por medio de OR-ANDs (N7454)



Diseño con Contadores
FIGURA (43)

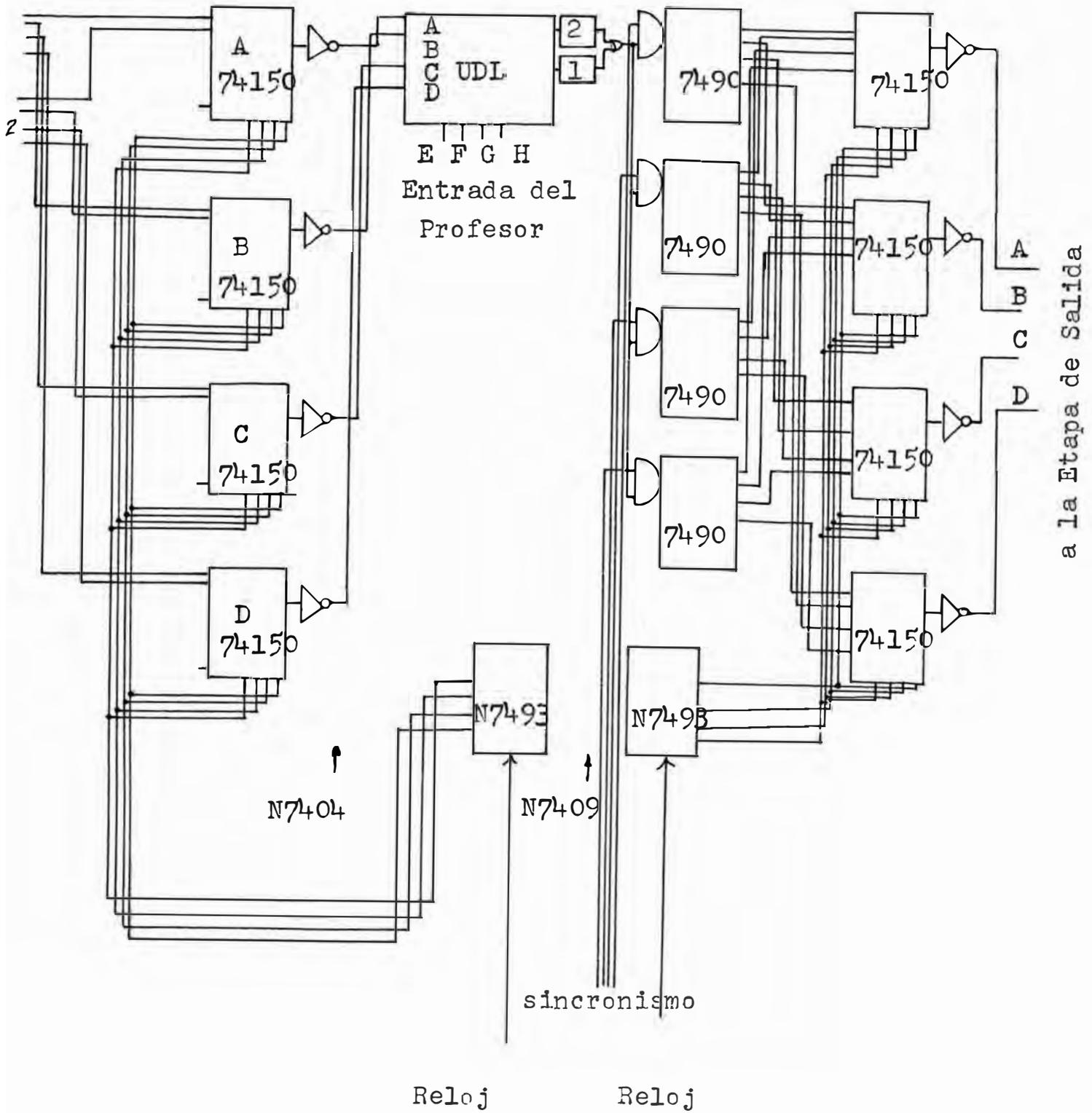
La secuencia de salida la dan señales provenientes del sincronizador. Debido a que los ORs de los N7454 tienen inversores internamente, se usan HEX-INVERTERS N7404 para volverlos a invertir. La salida de estos va a la etapa de salida hacia el visualizador o al impresor.

4.4 Aumento de Capacidad de Procesamiento .

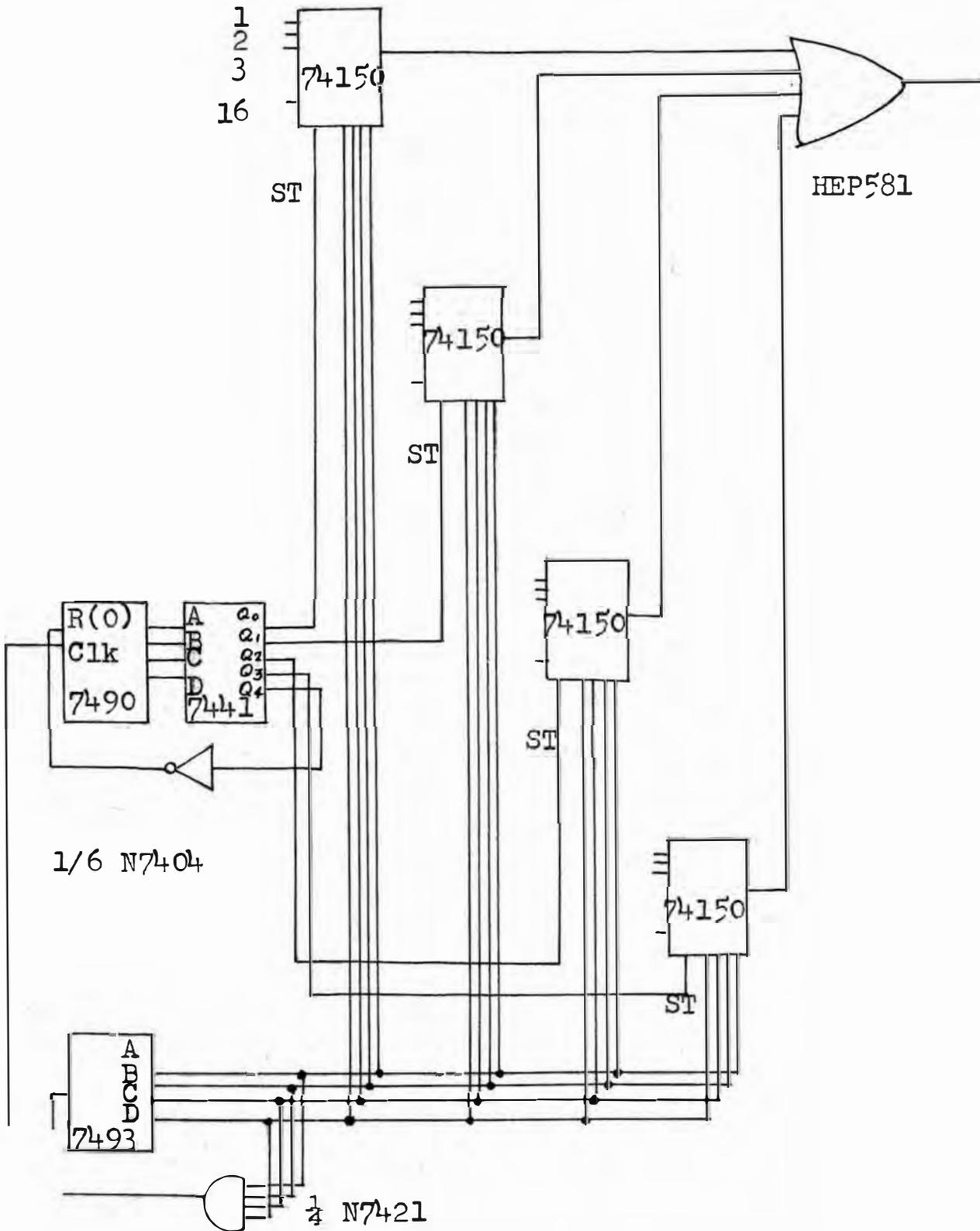
Para usar al máximo el Módulo Básico se aumenta la capacidad de Memoria de las entradas y se remplazan las compuertas y AND-ORs (N7454) por Multiplexers 16-1 (N74150).

En la figura 44 se muestra el sistema modificado usando sólo Circuitos Integrados. Esto nos ahorra espacio, nos da mayor flexibilidad y capacidad relativa. Se han insertado dos juegos de N74150 (4 en total) aumentando la capacidad a 16 alumnos. Para ello hay que aumentar respectivamente la cantidad de memoria y contadores (N7490). A la salida de los N74150 se usan inversores (N7404) pues el N74150 nos da la información invertida. El sincronismo lo regulan contadores N7493 de 4 bits en función de las señales del reloj.

Cada uno de los Multiplexers N74150 de la fig. 44 puede ser remplazado por el circuito de la fig. 45. Al hacer esto se aumenta la capacidad a 64 alumnos. Siendo posible una mayor ampliación en función de la memorias y los



Aumento de Capacidad del Sistema
FIGURA (44)



del sincronizador

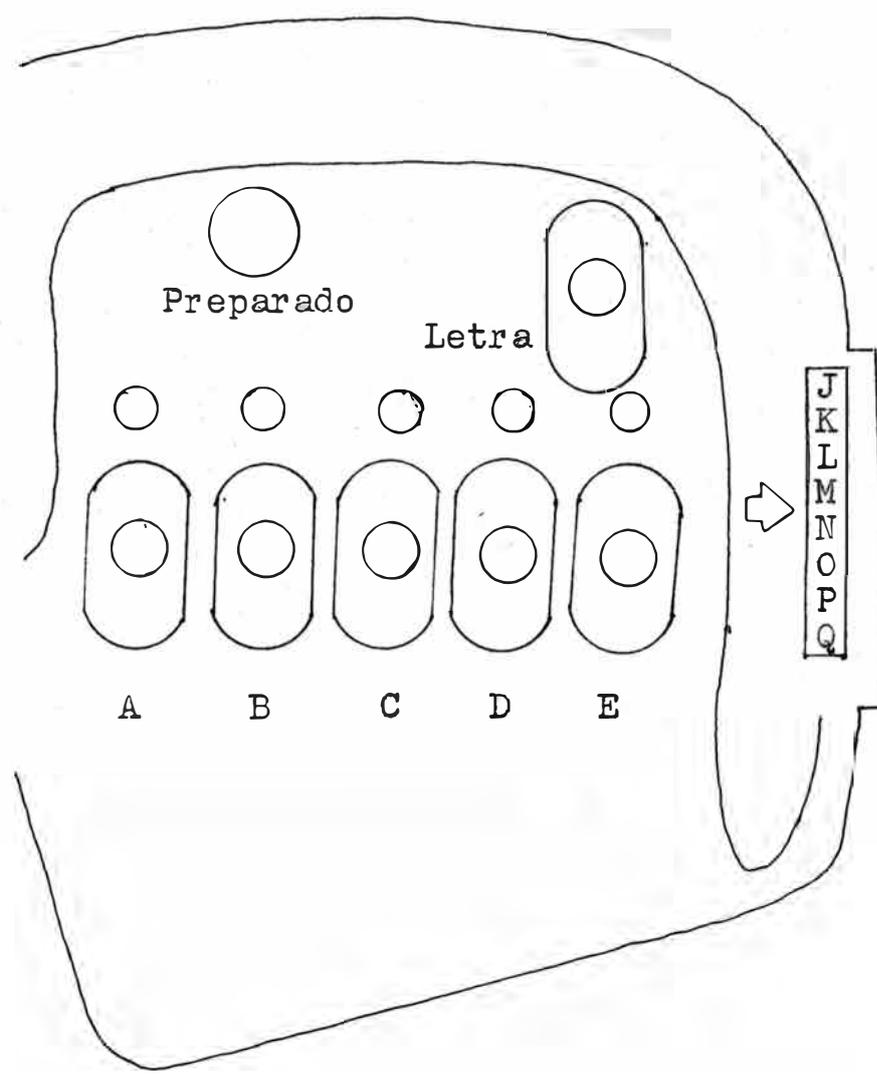
Sustitutos de los N74150 para Aumento de Capacidad
FIGURA (45)

N74150. Los N74150 de la fig. 45 trabajan en forma alterna-
da y sus salidas son recolectadas por un OR de cuatro entra-
das HEP 581 (RTL). El tren de pulsos emitido por el sincro-
nizador es convertido al sistema BCD por el N7493, trabajando
inicialmente el primer N74150. Esto es debido a que la sali-
da del N7421 está en "0" lógico y sólo la salida Q₀ del N7441
está en "0". Como consecuencia sólo el ST (strobe) del primer
N74150 está en "0". Las demás salidas del N7441 están en "1"
pues las salidas son mutuamente excluyentes. El N74150 trabaja
sólo cuando ST está en "0".

Cuando el tren de pulsos del sincronizador llega
a la cantidad 16, la salida del N7421 estará en "1". En el
siguiente pulso cambiará de 1-0. Esta variación producirá un
cambio en el N7490 y Q₁ del N7441 pondrá en funcionamiento
el segundo N74150 y así sucesivamente. Después que el último
de las salidas ha sido usada, el siguiente pulso invertido
pondrá el N7490 en cero para repetir nuevamente el ciclo.
La combinación del N7490 -N7441 nos permite tener una mayor
cantidad de N74150 trabajando aumentando así la capacidad.

4.5 Carpeta del Alumno.-

La forma de introducir los datos del alumno al sistema puede ser muy variado, una de ellas es por medio de interruptores dispuestos sobre una carpeta. En la figura 46 se observa los interruptores A,B,C,D,E con su respectivas lamparas encima de ellos. Al presionar un interruptor la lampara respectiva se enciende. El interruptore LETRA se presiona para enviar al sistema el nombre del alumno letra por letra. Esto se usar con un impresor y la información pasa por el sistema de frente al teletipo o impresor. La lampara PREPARADO indica el inicio y final del tiempo en el cual se puede responder la pregunta.

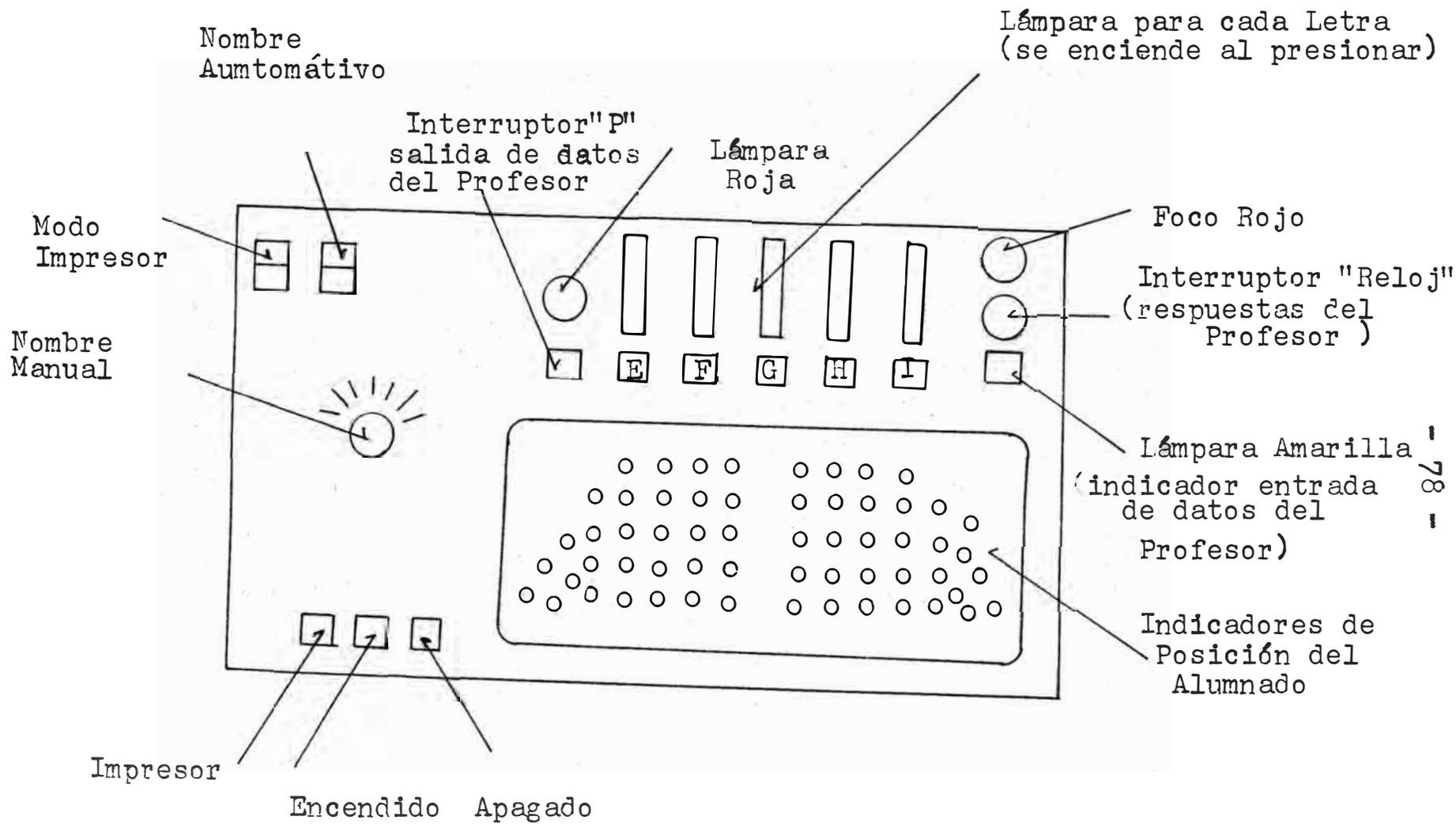


Carpeta del Alumno
FIGURA (46)

4.6 Consola del Profesor.-

Como se muestra en la figura 47, la consola del profesor presenta los interruptores principales, los correspondientes a la entrada de datos del profesor y el tablero indicador de posiciones del alumnado. Los interruptores de entrada de datos del profesor se explicaron en el punto 4.22. Cada tecla (E, F, G, H, I) tiene su correspondiente lámpara. Dichas lámparas indican que el correspondiente interruptor está conectado.

El tablero de posiciones de los alumnos indica el porcentaje de alumnos que han contestado la pregunta correctamente al prenderse el foco del correspondiente alumno que haya contestado correctamente. El interruptor de IMPRESORA acciona el impresor para imprimir los nombres o resultados parciales o totales. El interruptor MODO IMPRESORA hace funcionar la impresora automáticamente después de cada respuesta dando los resultados parciales y al final los resultados finales. Cuando el interruptor NOMBRE AUTOMÁTICO está



Consola del Profesor
 FIGURA (47)

conectado, el proceso de impresión de nombres es automático. Cuando no está conectado (no se presiona) el barrido de las letras de los nombres se hace controlado por el dial NOMBRE MANUAL.

C O N C L U S I O N E S

Se ha diseñado un sistema de evaluación cuyo procedimiento obedece a una lógica combinacional. El Módulo Básico para 4 alumnos se ha construido y se han probado sus resultados. Las modificaciones para múltiple módulos dan una capacidad de 64 alumnos pudiéndose aumentar el número hasta 160 alumnos con sólo aumentar los multiplexers N74150.

La etapa fundamental, la Unidad de Decisión Lógica, es capaz de corregir 8'300,000 alumnos por segundo. Este cálculo se ha hecho en base a 6 niveles de conmutación, considerando un tiempo promedio de propagación de cada compuerta (Circuito Integrado) de 20 ns. El número máximo de preguntas a hacerse depende de la capacidad del banco de memoria de entrada de datos del profesor. El número es ilimitado, dependiendo sólo de las memorias (latch). Si se usan contadores par ir sumando los resultados parciales, la capa-

cidad queda supeditada al número de contadores. Si el sistema es usado con una lectora de tarjetas para introducir los datos y conectado directamente a una impresora, su capacidad es ilimitada, pudiendo en este caso procesar la etapa de Unidad de Decisión Lógica a una frecuencia de 8.3 MHz. El Módulo Básico fue diseñado como primera intención para ser usado en un salón de clase automatizado.

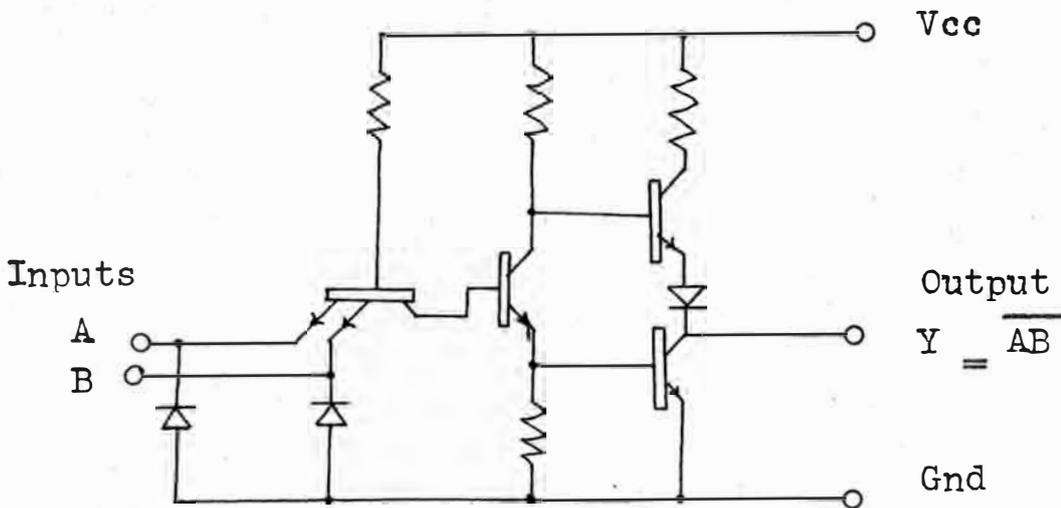
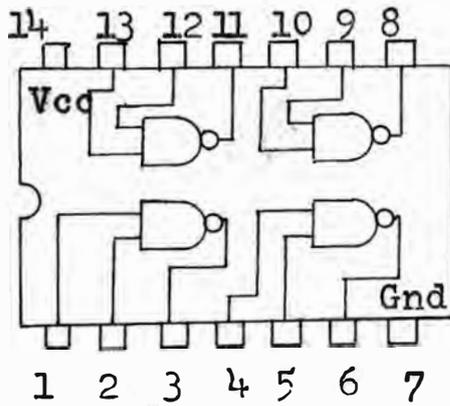
A pesar de que con el uso de Circuitos Integrados se aumenta la capacidad a bajo costo, debido a que se necesita una gran cantidad de éstos, el SEPLD resulta un lujo por su alto costo. Si se le utiliza con una lectora de tarjetas y un impresor, el costo se justifica si se le usa a tiempo completo. La ventaja de usarlo en una clase automatizada y con carpetas es que al no usar la lectora de tarjetas ni el impresor, el sistema se simplifica, se usan menos componentes y el costo es mucho menor.

Si se cuentan con los medios económicos, usar el SEPLD (Sistema de Evaluación con Procesamiento Lógico Digital)

en una clase automatizada con carpetas y con una impresora sería lo más conveniente. Ya sea con o sin impresora, usarlo en una clase automatizada con carpetas resulta una ayuda incalculable para el dictado de clases. Con la ayuda del SEPLD, el profesor puede dictar su clase e ir comprobando periódicamente en qué medida el alumno está asimilando lo que se le enseña. Esto se hace preguntando periódicamente y observando en el tablero de la consola del profesor la cantidad y la ubicación de los alumnos que están respondiendo correctamente. De esta forma el profesor puede saber si lo están comprendiendo. Además, puede saber que parte de la clase es el que menos lo comprende para luego subsanar esta deficiencia.

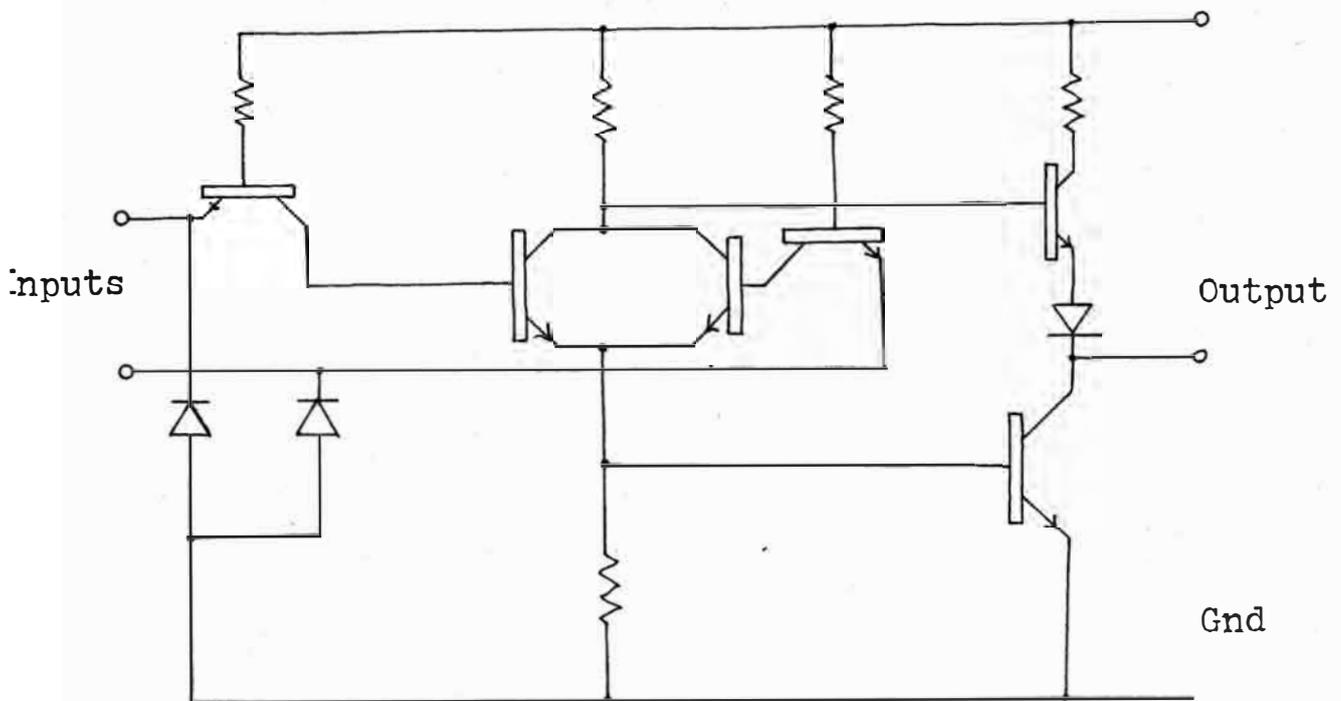
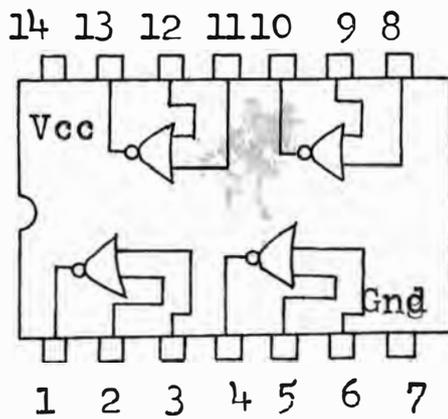
A P E N D I C E A

N7400 (5)



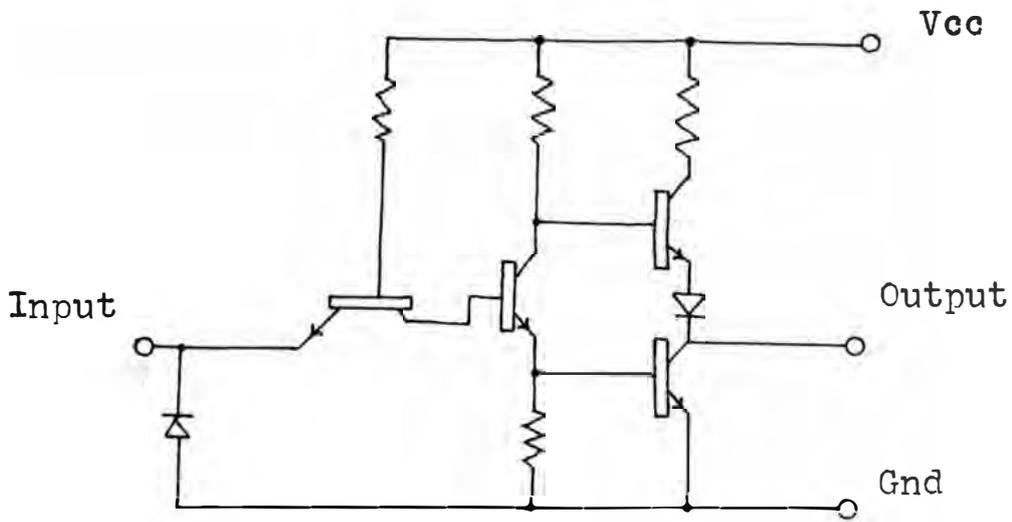
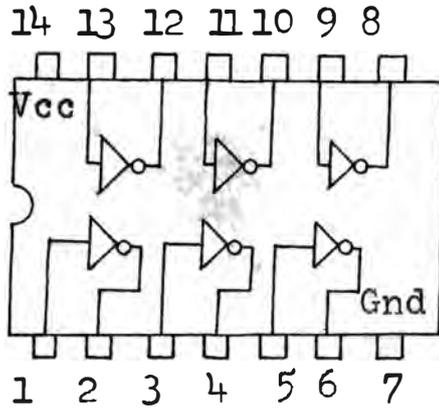
5. Signetics, op. cit., p.2-22.

(6)
N7402



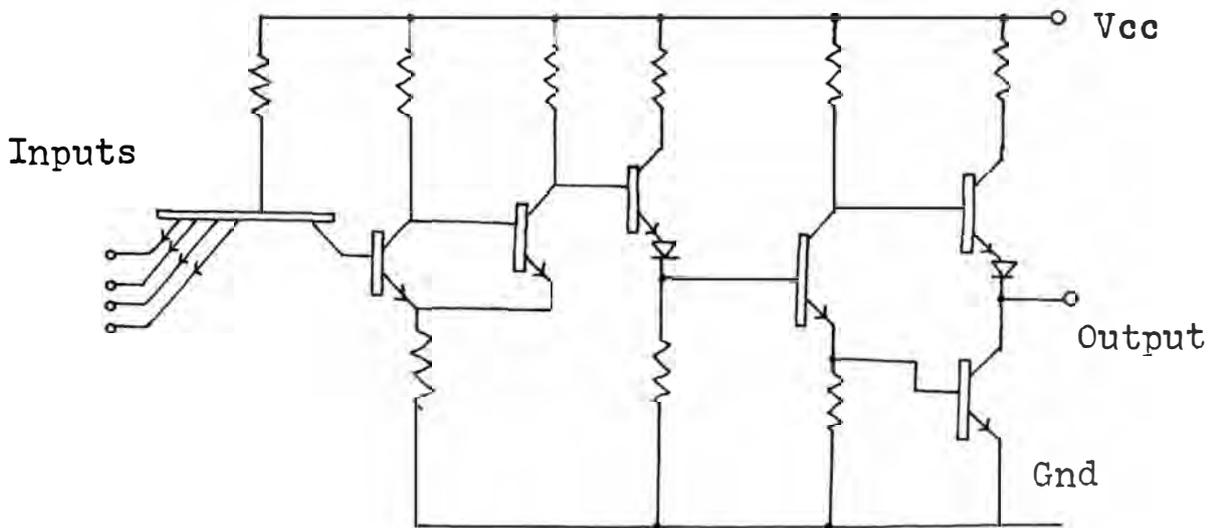
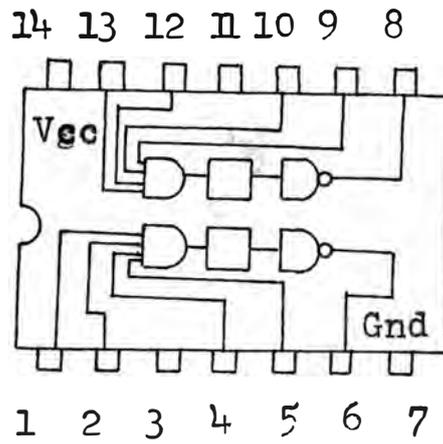
Signetics, op. cit. p.2-6.

N7404 (7)



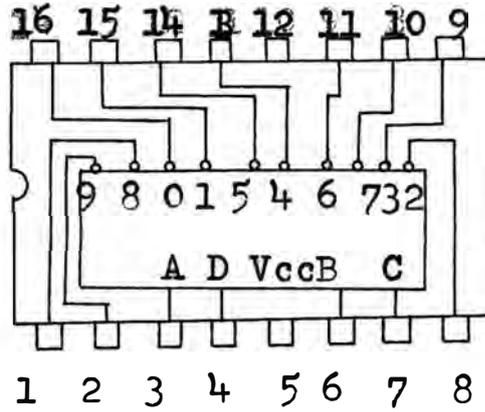
7. Signetics, op. cit. p.2-10.

(8)
N7413

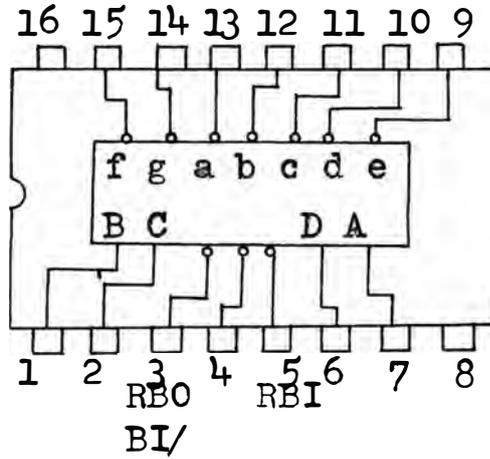


8. Philips, op. Cit. FJL131 p.2

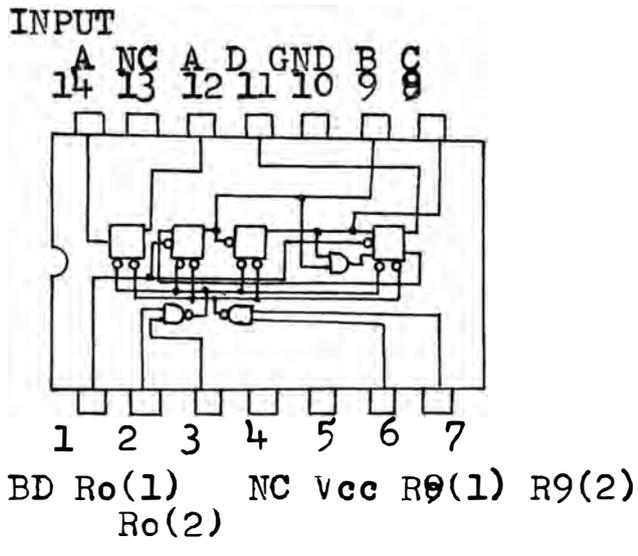
(9)
N7441



(10)
N7447



(11)
N7490



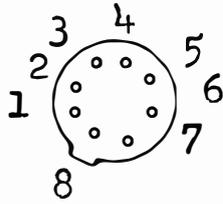
&

9. Ibid. p.2-40.

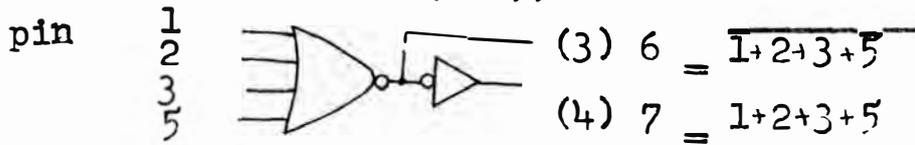
10. Idem. p.2-50.

11. Ibid. p.2-94.

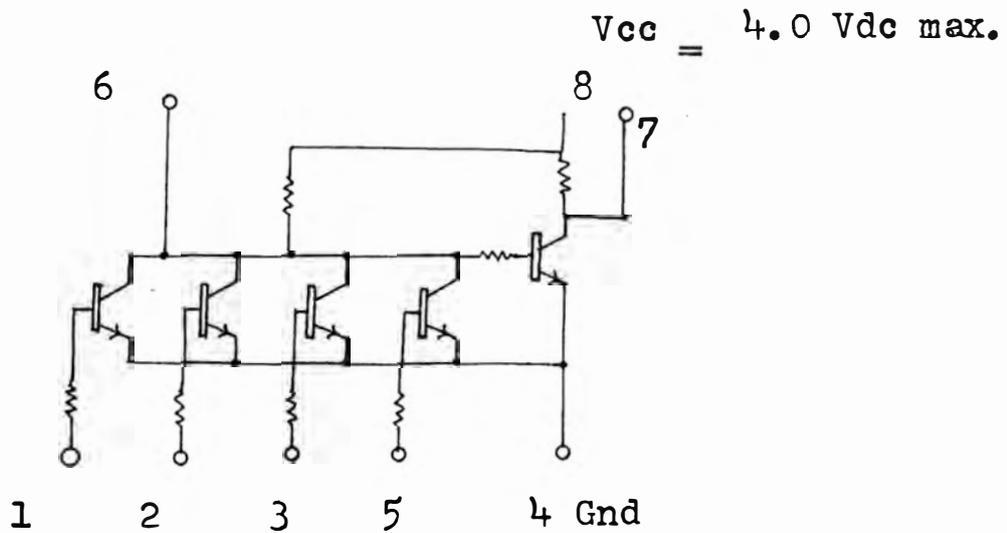
HEP 581



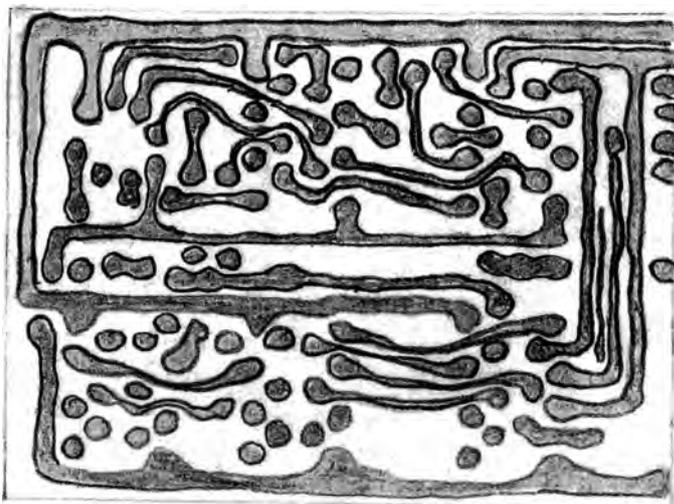
4-input OR/NOR gate
(T0-99 case)



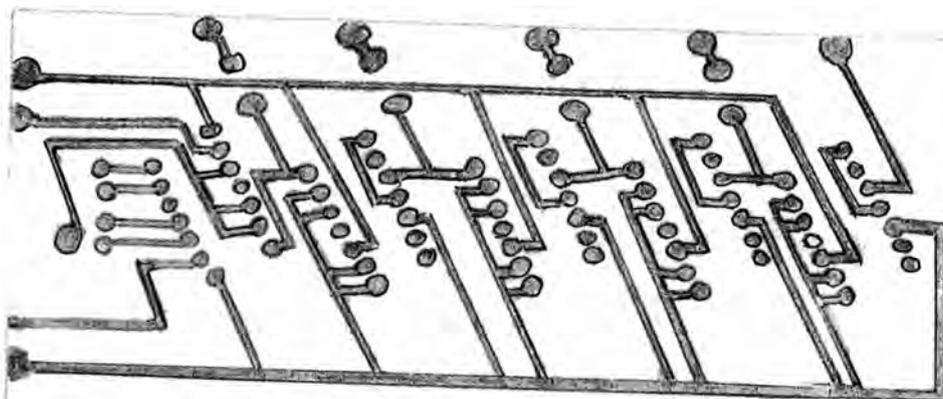
en paréntesis indica carga máxima



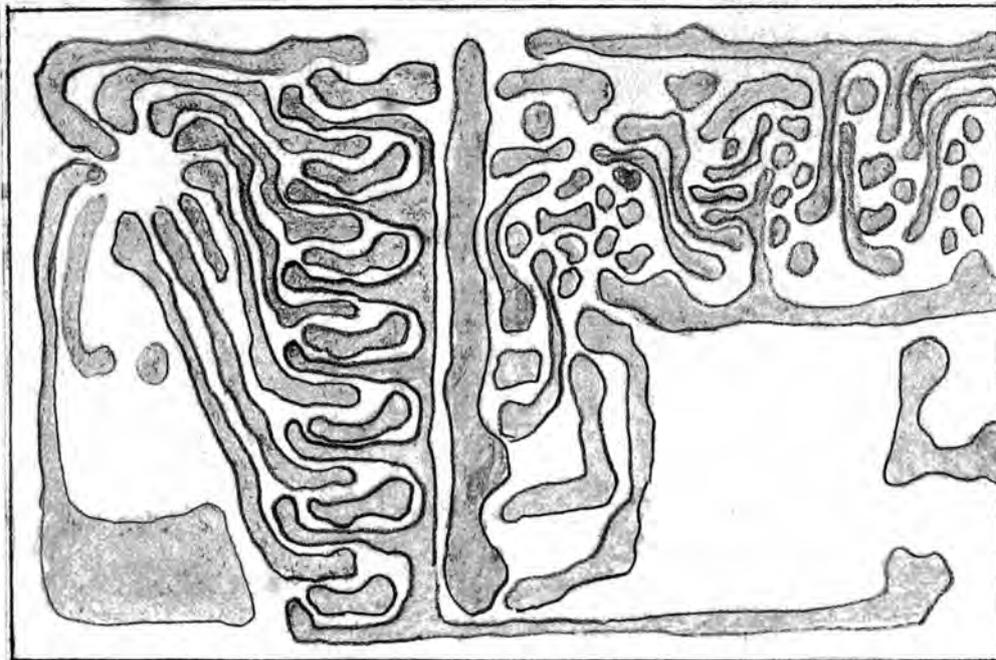
A P E N D I C E B



Circuito Impreso del UDL

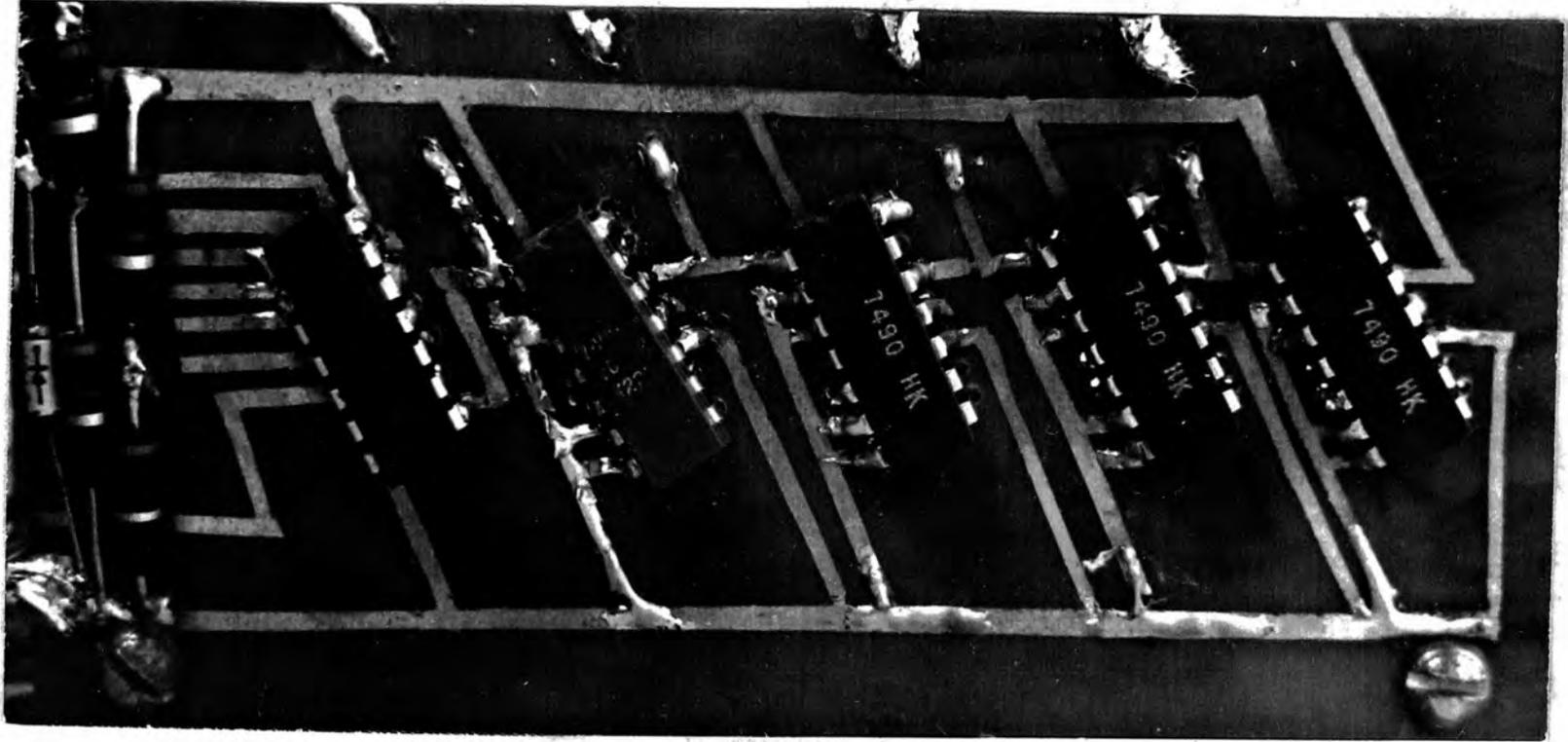


Circuito Impreso del Reloj

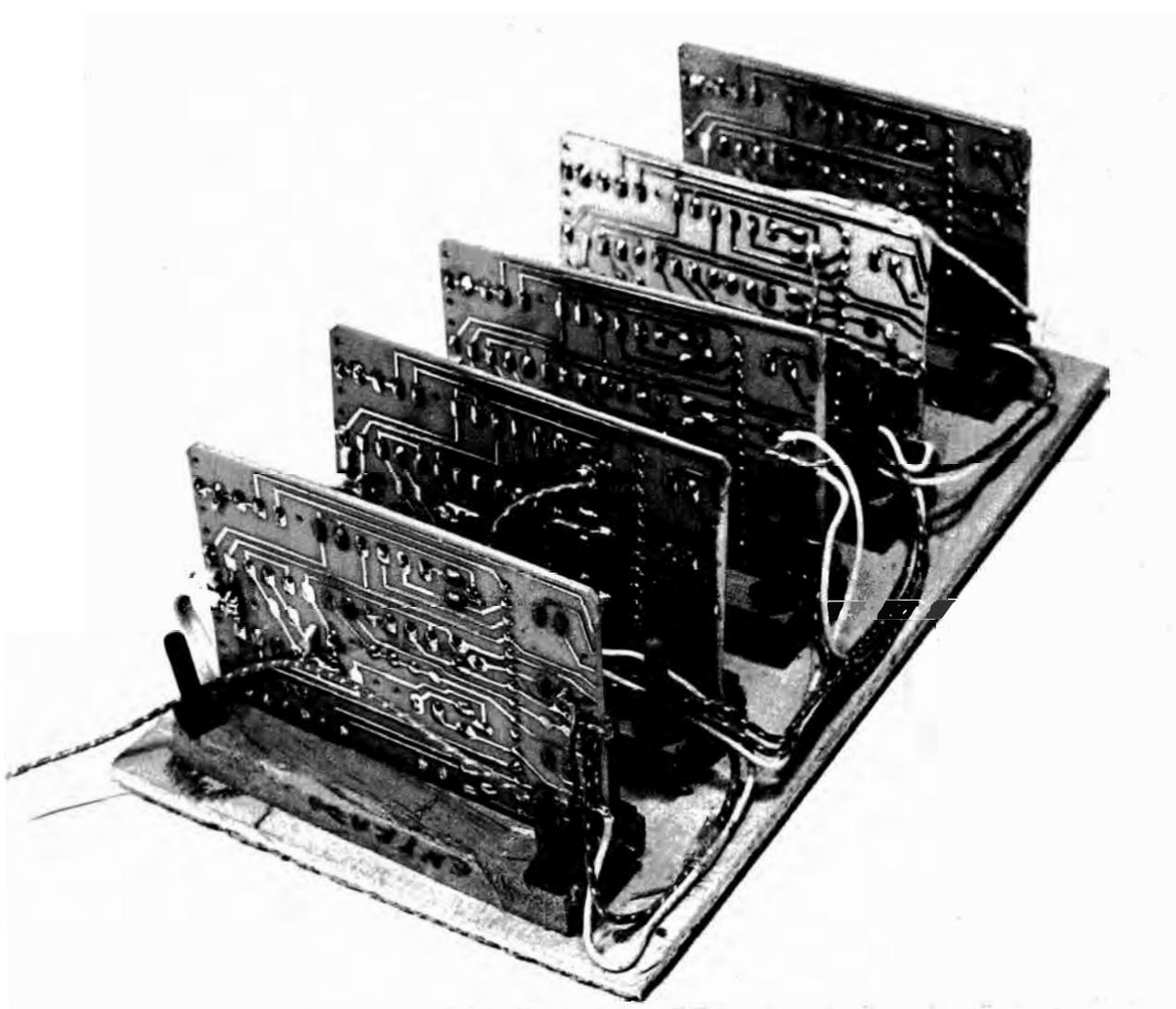


Circuito Impreso de la Salida

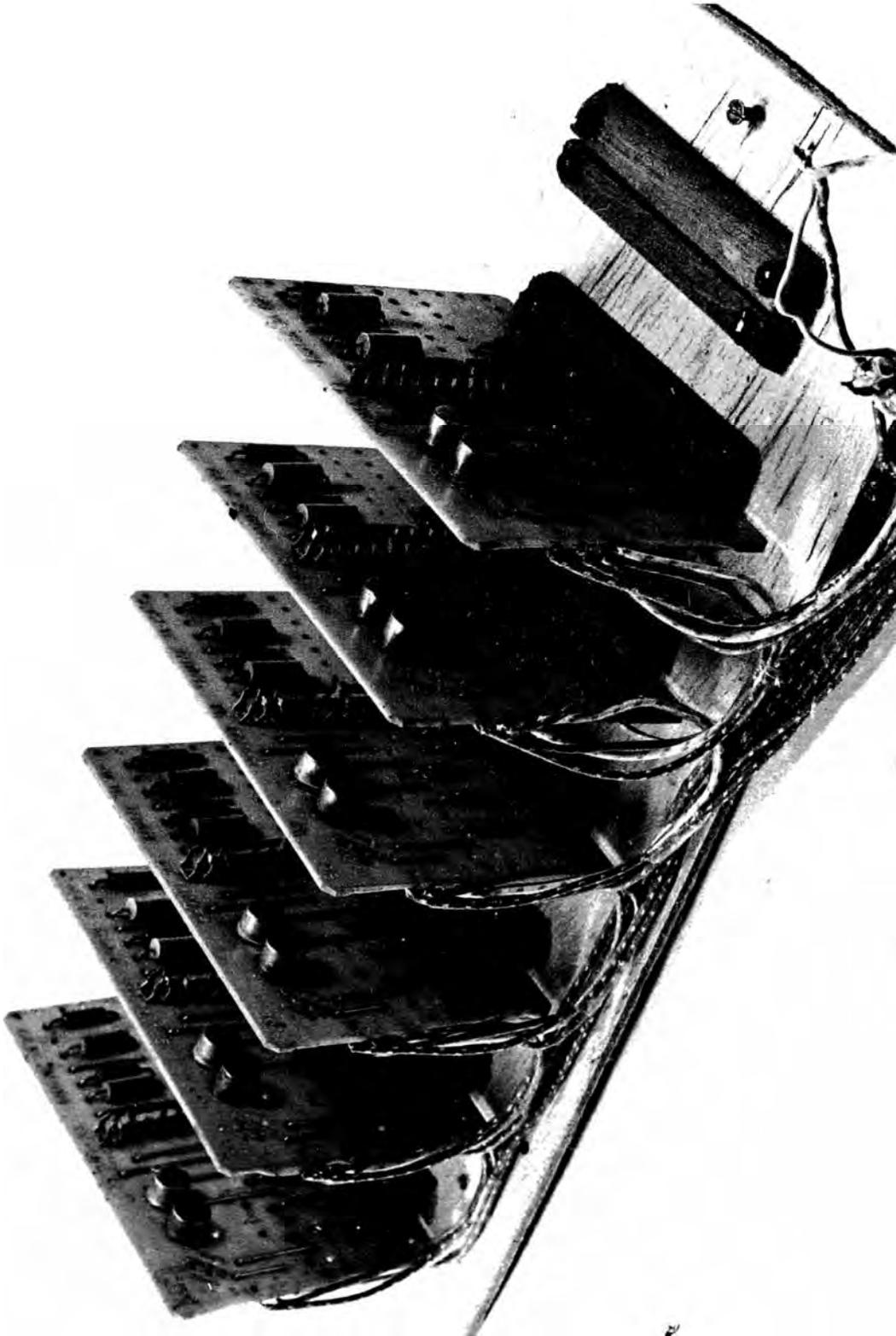
A P E N D I C E C



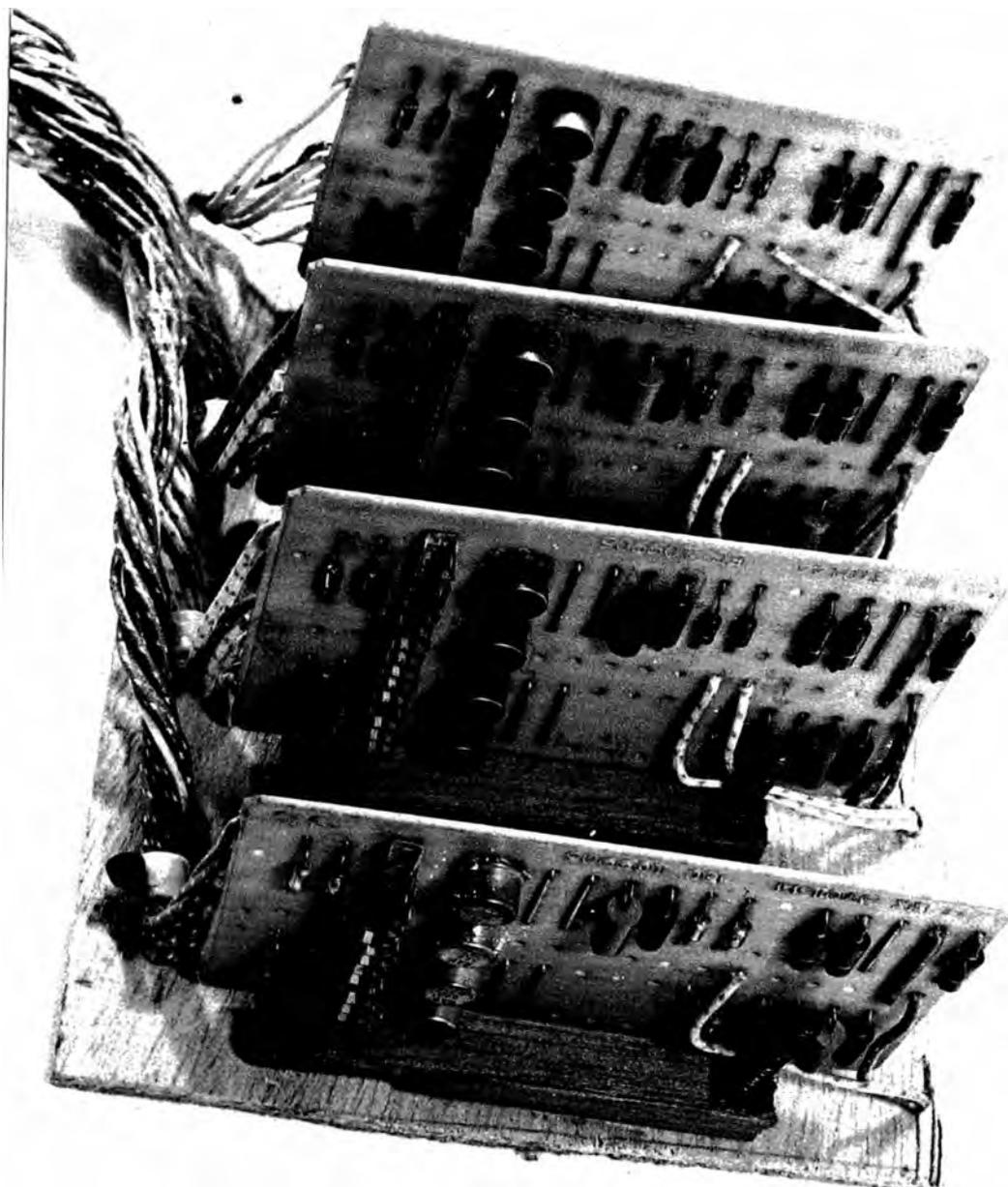
Etapa Reloj



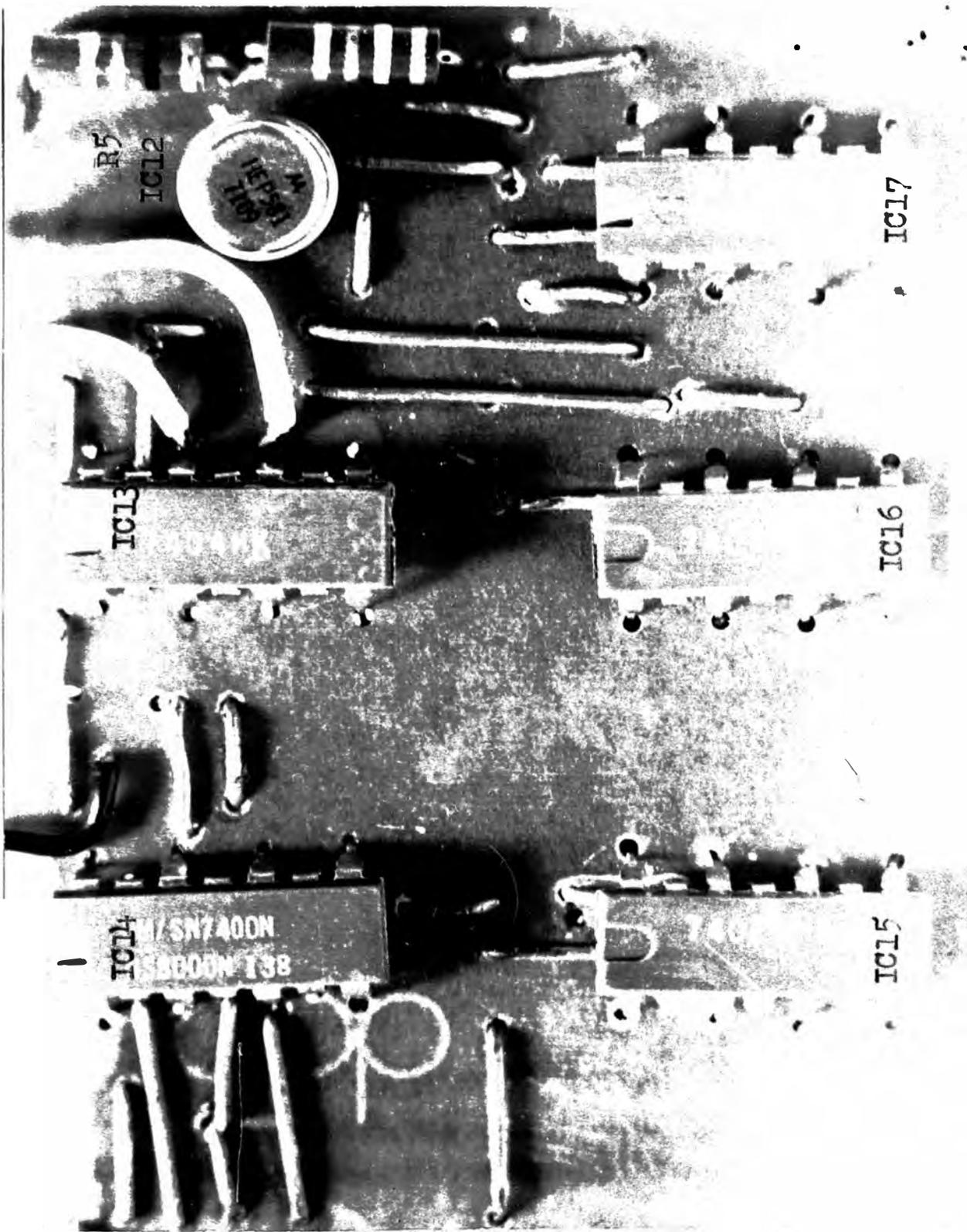
Etapa del Duplicador



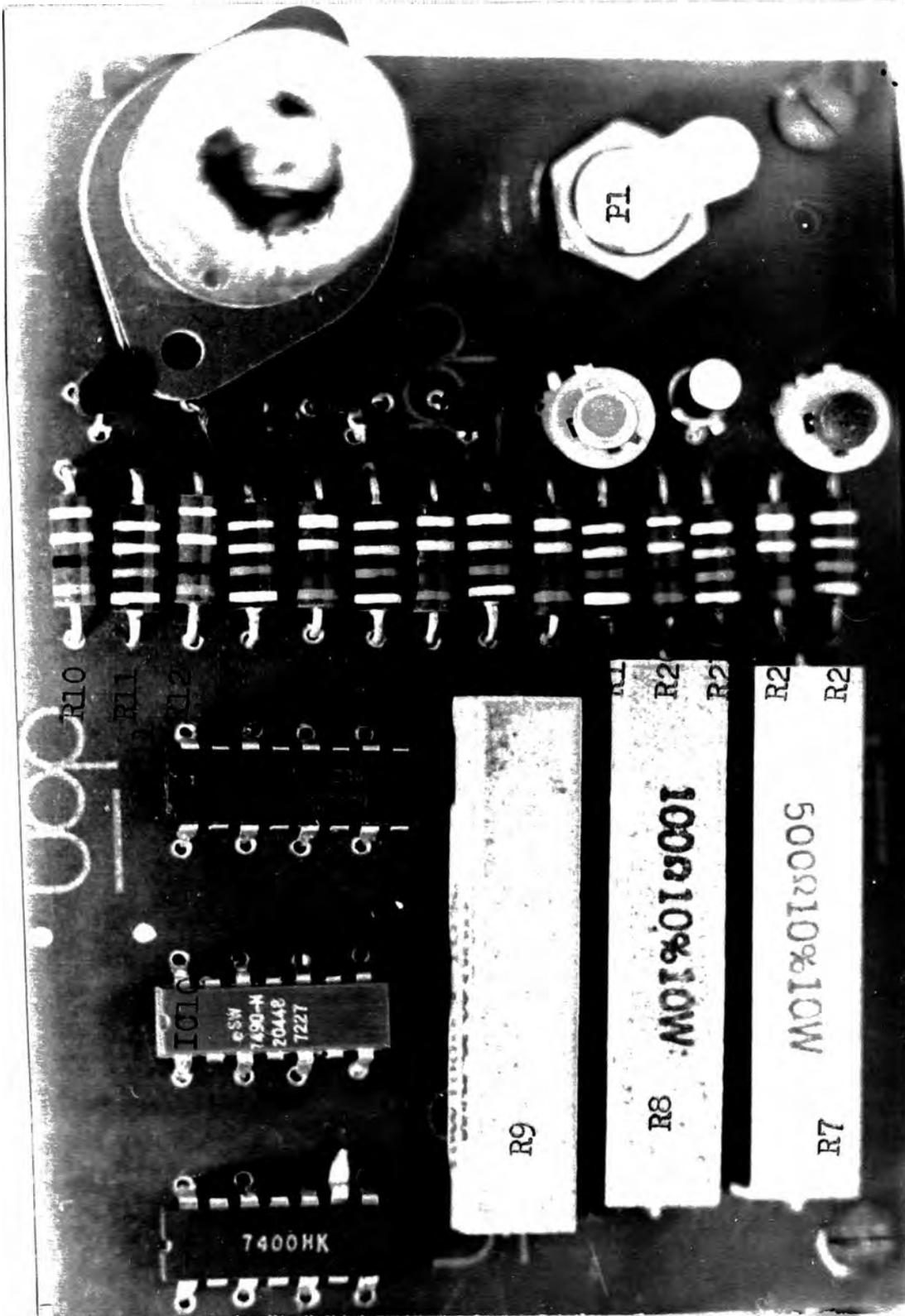
Etapa Conversor Negativo-Cero



Etapa Compuerta



Etapa Unidad de Decisión Lógica (UDL)



Etapa de Salida

A P E N D I C E D

RELACION DE COMPONENTES

<u>Denominación</u>	<u>Características</u>	<u>Etapa</u>	<u>Página</u>
C1			
C2	500uf 50Vdc.	Fuente	46
C3	500uf 50Vdc.	Fuente	46
C4	0.1uf 600Vdc.	Fuente	46
D1	JCAR (Ge)	Reloj	95
D2			
D3	1N914	Fuente	46
D4	1N914	Fuente	46
D5	1N914	Fuente	46
D6	1N914	Fuente	46
IC1	N7413	Reloj	100
IC2	N7490	Reloj	100

<u>Denominación</u>	<u>Característica</u>	<u>Etapa</u>	<u>Página</u>
IC3	N7490	elobj	95
IC4	N7490	Reloj	95
IC5	N7490	Reloj	95
IC6	N7441	elobj	95
IC7	N7490	Sinc.	18
IC8	N7441	Sinc.	18
IC9	N7400	Salida	101
IC10	N7490	Salida	101
IC11	N7447	Salida	101
IC12	HEP581	UDL	100
IC13	N7404	UDL	100
IC14	N7400	UDL	100
IC15	N7402	UDL	100
IC16	N7404	UDL	100
IC17	N7400	UDL	100
P1	5k 2W	Salida	101
P2	5k 2W	Fuente	46
R1	2k ohms $\frac{1}{2}$ W	Reloj	95
R2	3k ohms $\frac{1}{2}$ W	Reloj	95

<u>Denominación</u>	<u>Característica</u>	<u>Etapa</u>	<u>Página</u>
R3	2k ohms $\frac{1}{2}$ W	Reloj	95
R4	3k ohms $\frac{1}{2}$ W	Reloj	95
R5	1k ohms $\frac{1}{2}$ W	UDL	100
R6	3.9k ohms $\frac{1}{2}$ W	UDL	100
R7	500 ohms 10W	Salida	101
R8	100 ohms 10W	Salida	101
R9	100 ohms 10W	Salida	101
R10	10k ohms $\frac{1}{2}$ W	Salida	101
R11	47k ohms $\frac{1}{2}$ W	Salida	101
R12	10k ohms $\frac{1}{2}$ W	Salida	101
R13	47k ohms $\frac{1}{2}$ W	Salida	101
R14	10k ohms $\frac{1}{2}$ W	Salida	101
R15	47k ohms $\frac{1}{2}$ W	Salida	101
R16	10k ohms $\frac{1}{2}$ W	Salida	101
R17	47k ohms $\frac{1}{2}$ W	Salida	101
R18	10k ohms $\frac{1}{2}$ W	Salida	101
R19	47k ohms $\frac{1}{2}$ W	Salida	101
R20	10k ohms $\frac{1}{2}$ W	Salida	101
R21	47k ohms $\frac{1}{2}$ W	Salida	101
R22	10k ohms $\frac{1}{2}$ W	Salida	101
R23	47k ohms $\frac{1}{2}$ W	Salida	101

<u>Denominación</u>	<u>Característica</u>	<u>Etapas</u>	<u>Página</u>
R24	470 ohms $\frac{1}{2}$ W	Fuente	46
R25	22 ohms $\frac{1}{2}$ W	Fuente	46
R26	22M ohms $\frac{1}{2}$ W	Fuente	46
TR1	2N3904	Salida	101
TR2	2N3904	Salida	101
TR3	2N3904	Salida	101
TR4	2N3904	Salida	101
TR5	2N3904	Salida	101
TR6	2N3904	Salida	101
TR7	2N3904	Salida	101

B I B L I O G R A F I A

1. Malmstadt - C.G. Enke, Digital Electronics for Scientists (W.N. Benjamin Inc.,1969)
2. Philips, "Digital Integrated Circuits," Semiconductors and Integrated Circuits, VI,1972
3. Signetics, Digital Linear Mos IC, California : Signetics Corporation, 1972.