

Universidad Nacional de Ingeniería

FACULTAD DE INGENIERIA
ELECTRICA Y ELECTRONICA



**"DISEÑO Y CONSTRUCCION DE UN
SISTEMA DE PROTECCION DIGITAL
DE RAM Y REGISTROS DEL
MICROPROCESADOR"**

TESIS

PARA OPTAR EL TITULO PROFESIONAL DE:
INGENIERO ELECTRONICO

Domingo Pedro Lazo Ochoa

Promoción 1983-2

LIMA · PERU · 1993

SUMARIO

En el Proyecto se diseñará e implementará un Sistema de protección digital de RAM y registros de Microprocesador que protege la información de la memoria RAM y los datos de los registros de Microprocesador en el momento de la falta de voltaje en la línea de 220 Voltios de corriente alterna. Dicho sistema de protección digital se aplicará al MPF-T de la Universidad Nacional de Ingeniería (Ingeniería - Lima).

El procedimiento adoptado en el proyecto es el Diseño de cada etapa por separado, planteamiento teórico de etapa por etapa, uso de fórmulas, tablas, manuales y obtención de la configuración circuital, diagrama de flujo del programa salvado y retorno.

El resultado del proyecto es totalmente objetivo, apto para trabajar en el momento de interrupción de la corriente alterna y guardar la información de RAM más de 18 horas dependiendo de la capacidad de la batería.

**"DISEÑO Y CONSTRUCCION DE UN SISTEMA DE PROTECCION
DIGITAL DE RAM Y REGISTROS DE MICROPROCESADOR"**

Bachiller : Domingo Pedro Lazo Ochoa.
Grado que opta : Ing. Electrónico.
Especialidad : Electrónica
Facultad : Eléctrica y Electrónica.

**UNIVERSIDAD NACIONAL DE INGENIERIA
LIMA - 1993**

CONTENIDO

El presente trabajo corresponde al análisis, diseño y construcción de un sistema para proteger la información contenida en memorias RAM, durante fallas en la alimentación. Para esto se han revisado algunos conceptos sobre Microprocesadores, con la intención de hacer un análisis comparativo de diversos procesadores y desarrollar un trabajo de uso amplio. Con el fin de acotar el trabajo se han considerado solamente Microprocesadores de 8 bits, analizando en forma global las características estructurales de aquellos más frecuentemente usados.

La solución desarrollada, contempla un sistema que permite detectar cuando la fuente de alimentación está

disminuyendo bajo un nivel preestablecido. Se procede entonces a ejecutar una subrutina de servicio, en la cual se almacenan en RAM todos los registros de la unidad procesadora central que definen su estatus. Se protege luego el contenido de la memoria, empleando una fuente de respaldo para evitar la pérdida de datos contenidas en ella.

El trabajo fue realizado en un Microprocesador MPF-I, sin embargo puede ser proyectado fácilmente a otros Microprocesadores.

I N D I C E

	Pág.
INTRODUCCION	1
CAPITULO I ASPECTOS GENERALES SOBRE MICROPROCESADORES	4
1.1 Estructura de un Microprocesador	4
1.2 La Unidad Procesadora Central	6
1.3 Memorias	10
1.4 Interfase de Entradas/Salidas	12
1.5 Los Buses de Dirección, Dato y Control	13
1.6 Interrupciones	17
CAPITULO II ANALISIS DE LAS PRINCIPALES FALLAS DE ORIGEN ELECTRICO Y SISTEMAS DE SOLUCIONES	24
2.1 Análisis de las Principales Fallas de Origen Eléctrico	24
2.1.1 Introducción	24
2.1.2 Planteamiento del problema	25
2.1.3 Limitaciones y restricciones	26
2.2 Sistemas de Soluciones	28

2.2.1	Respaldo del Sistema de Memoria RAM	28
2.2.2	Respaldo Global del UP	29
2.2.3	Respaldo Parcial con Protección de Registros	31
2.3	Análisis de las Alternativas y Elección de la Mejor	33
CAPITULO III	CONSTRUCCION DEL SISTEMA PROPUESTO	35
3.1	Circuito Detector de Energía	35
3.1.1	Consideraciones Previas al Cálculo de Componentes	39
3.1.2	Cálculo de Componentes	40
3.2	Circuito de Control y de Interrupciones	42
3.2.1	Consideraciones Previas al Diseño	42
3.2.2	Elección de Componentes	47
3.3	Fuente de Respaldo	47
3.3.1	Protección de RAM	47
3.3.2	Protección del Sistema al usar una interrupción distinta de \overline{NMI}	50
3.4	Software	58
3.4.1	Algoritmo	58
3.4.2	Diagrama de flujo	60
3.5	Limitaciones del Sistema MPF-1	61
3.6	Montaje del Circuito	62

3.7 Programa Salvado y Restauración Ordenado	63
CAPITULO IV CONCLUSIONES Y RECOMENDACIONES	66
4.1 Resultados	66
4.2 Recomendaciones	67
4.3 Conclusiones	69
BIBLIOGRAFIA	71
ANEXOS :	73
ANEXO 1	74
ANEXO 2	75
ANEXO 3	76
ANEXO 4	77

INTRODUCCION

El desarrollo tecnológico de los últimos tiempos ha hecho de los ordenadores a una herramienta fundamental en el procesamiento de datos. Sin embargo, hasta algunos años atrás, el tratamiento por ordenadores de muchos problemas resultaba prohibitivo, fundamentalmente por el gasto que suponía la máquina, que era difícilmente amortizable en el mediano plazo, debido a que eran destinados a una gran variedad de aplicaciones, razón por la cual se fabricaban de gran capacidad de memoria y velocidad, lo que los hacía de costo muy elevado.

Desde el momento que se integró en un solo dispositivo a la CPU, se pudo diseñar, en combinación con otros dispositivos elementales (memorias y unidades de entrada y salida), circuitos de tratamiento de datos muy simples, que ocupaban poco espacio y eran de bajo costo.

La mayoría de los sistemas con UP, se han utilizado en la sustitución de circuitos complejos de lógica digital y a medida que se introduce su conocimiento y se abaratan los

precios de los componentes, la gama de sus aplicaciones se va ampliando rápidamente. La introducción de un sistema con UP en el control de una máquina herramienta, en una balanza de peso-precio o en un automóvil, no supone encarecer el producto en exceso, sin embargo, las posibilidades, fiabilidad, flexibilidad y bajo consumo se incrementan de manera espectacular, lo que hace que cada vez se introduzca más y más en diferentes aplicaciones tales como:

- Sustitución de circuitos lógicos complejos.
- Control de electrodomésticos.
- Caja registradoras y contables.
- Balanzas peso-precio.
- Control de ascensores.
- Control de tráfico de semáforos.
- Control de motores de vehículos.
- Control de procesos industriales.
- Máquinas-herramientas.
- Instrumentación.
- Terminales de datos.
- Electromedicina.
- Control de motores.
- Sistemas de supervisión y Control remoto.

Estas y muchas otras son las aplicaciones de los UP, sin embargo, por lo general, estos sistemas se diseñan y estudian sobre la base de su funcionamiento normal y uno

de los problemas que la mayoría no contempla, es la falla de la fuente de alimentación, causando una descoordinación del sistema controlado.

La utilización de memorias volátiles RAM y (CPU) con sus registros, hace que se precise una alimentación permanente del sistema para no perder su contenido, sin embargo, siempre se está propenso a una falla de energía, la cual hace que se pierda el contenido de las memorias RAM y registros, este efecto causa al retornar la energía grandes problemas, debido a que estos LATCH (1) (memorias RAM y registros) se cargan con valores aleatorios y, además de la pérdida del programa, puede causar daños al sistema.

Por consiguiente, es nuestro interés desarrollar un sistema que sea capaz de preservar la información normalmente contenida en memorias RAM, ante desvanecimiento o cortes de energía. Nuestra atención se centrará en procesadores con longitud de palabra de 8 bits.

Se entrega el diseño del sistema de respaldo, como así también todo lo necesario para su desarrollo y uso. Se incluyen diagramas de circuitos, listado de componentes y costos el software necesario para su funcionamiento.

(1) Se usará en este texto para referirse a un circuito de captura de datos, la palabra LATCH.

CAPITULO I

ASPECTOS GENERALES SOBRE MICROPROCESADORES

1.1 Estructura de un Microprocesador.

Un sistema microprocesador (uP), usualmente consiste de una unidad procesadora central (CPU), memoria ROM, memoria RAM y una interfase con puertas de entrada y salida (I/O), unidas como se muestra en la figura 1.1.

En funcionamiento del uP está definido por la ejecución de programas almacenados en ROM y RAM. En ocasiones, se utilizan memorias RAM para el almacenamiento de datos temporales por el sistema, o para la programación de subrutinas específicos por parte del usuario.

El sistema posee conjuntos de líneas llamados buses, para la conexión de sus componentes. Estos son: bus de direcciones, bus de datos, y bus de control.

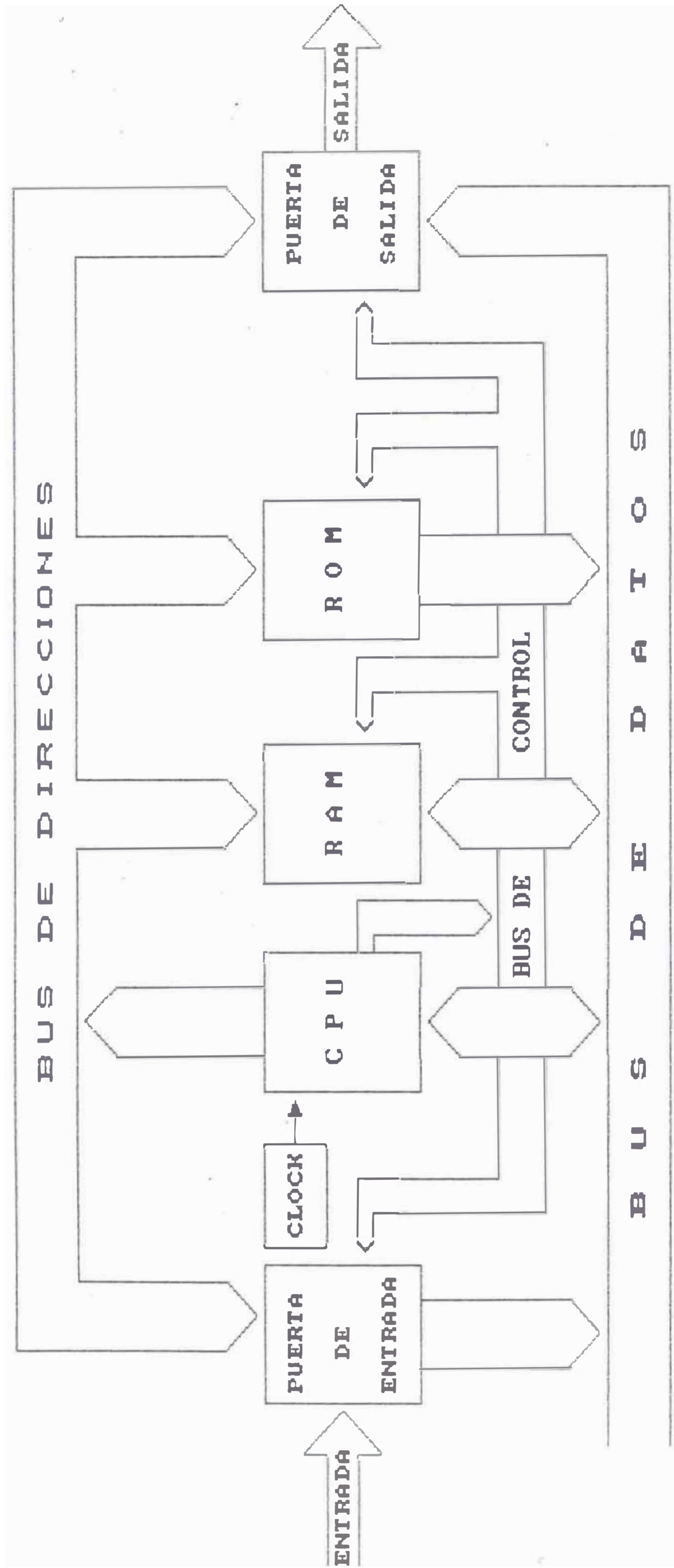


Fig. 1.1 Estructura de un Microprocesador

El bus de direcciones sale de la CPU y tiene la misión de indicar la ubicación de cada palabra que puede estar en memoria o en alguna puerta de I/O. El bus de datos sirve para la transferencia de datos entre: CPU y memorias, CPU y puertas de I/O, ó entre memorias y puertas de I/O. El bus de control provee la temporalización y señales de control requeridas por el sistema para realizar los procesos en forma sincronizada y secuencial.

1.2 La Unidad Procesadora Central

El corazón de un sistema de UP, es la CPU, cuya función es realizar la operación especificada por cada instrucción, además se encarga de coordinar y comandar la transferencia de datos.

Una CPU está provista de un número determinado de registros, una unidad aritmética lógica (ALU), un decodificador de instrucciones, un circuito de control y temporización y un bus interno. Este último se acondiciona y conecta a los buses de dirección, dato y control del UP. El ancho del bus de datos determina, normalmente, el tamaño de la palabra de la máquina y el ancho del bus de direcciones, determina la cantidad o espacio de direcciones de la máquina (capacidad de direccionamiento).

Los registros internos usuales es un 8 bits son: un acumulador A, un contador de programas PC, un registro de Instrucciones IR, un registro de banderas FLAG, un registro apuntador de pila SP, un registro de direcciones de memoria MAR y una serie de registros para otros usos, que, difieren de una CPU a otra. Es así como el Intel 8085 posee un registro temporal para operaciones en la ALU y seis registros para usos generales los cuales son: B, C, D, E, H y L. Un diagrama de esta CPU se muestra en la figura 1.2. El registro temporal no está disponible al usuario.

En esta CPU el destino usual de una operación realizada en la ALU es el acumulador y el PC contiene la dirección de la siguiente instrucción del programa. Cuando una instrucción es realizada, el PC automáticamente es incrementado a la dirección de la siguiente instrucción. El IR contiene la Instrucción que en ese momento está siendo ejecutada. El registro FLAG consiste en una serie de banderas las que indican si el resultado de una operación realizada en la ALU posee carry, rebalse cero, negativo o paridad. El SP contiene el puntero para indicar la dirección del último dato guardado en la pila (STACK), de registros. El MAR contiene la dirección especificada en algunas instrucciones, cuando ésta requiere de alguna lectura adicional de memoria.

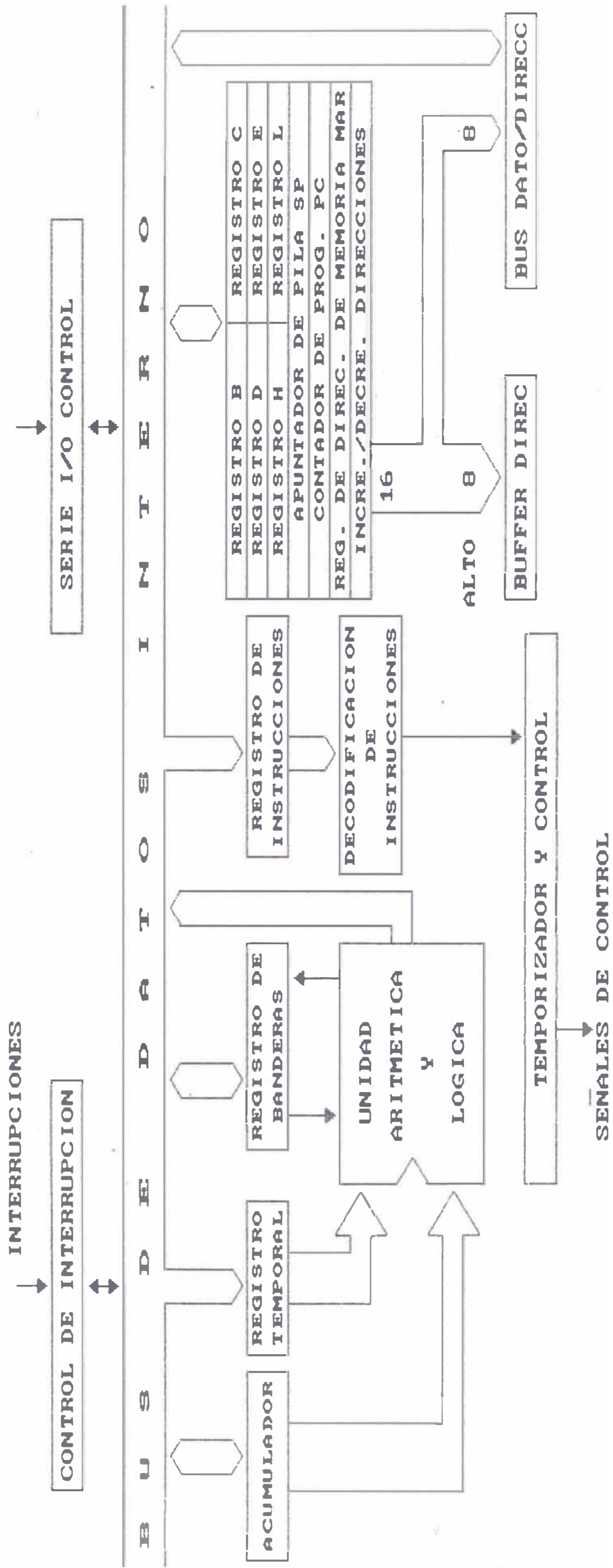


Fig. 1.2 Diagrama interno de la CPU 8085

La ALU provee el medio en el cual se realizan, las operaciones aritméticas y lógicas; una típica ALU incluye operaciones como: adición, sustracción, AND, OR, OR-exclusivo y comparaciones con dos registros, además de limpiar, complementar, rotar, incrementar y decrementar registros individuales. La ALU también pone al día el registro de banderas después de realizada cada operación.

El decodificador de instrucciones interpreta la instrucción contenida en el registro de instrucciones, convirtiéndola en una secuencia de operaciones fundamentales, las que pueden ser realizadas por la ALU y los registros.

La operación del uP es controlada por una secuencia de instrucciones almacenadas en ROM y/o RAM. La CPU trae la primera instrucción desde memoria, la ejecuta, luego trae la siguiente instrucción y realiza la nueva operación. Esta secuencia es llamada ciclo de búsqueda, decodificación y ejecución, este ciclo se lleva a cabo de la siguiente manera:

- 1ro.** La CPU saca el contenido del CP al bus de direcciones y realiza una lectura de memoria de la instrucción direccionada por el PC.
- 2do.** La palabra contenida en esta dirección es cargada vía bus de datos en el registro de instrucciones.

- 3ro. El PC es incrementado en uno.
- 4to. La palabra contenida en el IR es decodificada.
- 5to. Complementadas las especificaciones de la instrucción, puede requerirse una lectura adicional de memoria, por ejemplo leer una dirección especificada por el segundo y tercer byte de la instrucción. Si esto sucede, la CPU saca el contenido del PC al bus de direcciones, ejecuta una lectura de memoria y lleva las palabras contenidas en dichas direcciones al registro MAR vía bus de datos. Luego el PC es incrementado.
- 6to. La instrucción es completamente decodificada y la operación se ejecuta.
- 7mo. Cuando la operación ha concluido la CPU saca el contenido del CP al bus de direcciones y el proceso comienza nuevamente con la siguiente instrucción.

1.3. Memorias.

El programa o secuencia de instrucciones que debe seguir la máquina para realizar el procesamiento de datos, está almacenado en una parte de la memoria, denominada "memoria de instrucciones" para diferenciarla del resto de la misma, que se emplea para guardar datos y resultados en forma temporal. Por lo general, la memoria de los ordenadores se compone de dos partes: la llamada "Central" o

"Principal", en la que suelen estar cargados el programa monitor y los de uso o trabajo y es la que interviene en el procesamiento de toda la información; y la memoria "periférica" de capacidad ampliable (unidad de disco por ejemplo), donde se guarda gran cantidad de programas y de datos. La principal está directamente asociada a la CPU y se divide en dos tipos: RAM, memoria de lectura y escritura de acceso aleatorio y ROM, memoria de sólo lectura. La primera tiene la facilidad de almacenar palabras, leerlas y cambiarlas en forma muy simple, sin embargo las ROM están grabadas en forma definitiva. Las memorias RAM están compuestas por una matriz de latches. Sin embargo para la mantención de los datos se requiere que esté polarizada permanentemente.

Ambas memorias funcionan en la misma forma para la transferencia de datos. Estas reciben la información que especifica la dirección a la que se quiere acceder vía bus de direcciones. El decodificador de direcciones que contiene la memoria, se encarga de elegir una posición de la matriz de memoria, decodificado la información, que ha llegado por el bus de direcciones. Si la dirección de memoria selecciona corresponde a un segmento de ROM, el contenido de dicha posición es almacenado temporalmente en un registro de datos MDR, el

contenido corresponde usualmente a una instrucción, la que es traspasada finalmente por el bus de salida de instrucciones hacia el bus de datos. Si la memoria es del tipo RAM, se precisa un bus bidireccional que permite, la entrada de datos al MDR, para su posterior grabación en la posición seleccionada, o bien la salida de la información contenida en dicha posición. La selección entre la escritura de una posición de memoria se efectúa por la línea de lectura/escritura R/W y la selección de la memoria, que puede estar en distintos chips, se realiza con el habilitador de chips CE (Chips enable).

1.4. Interfase de Entradas/Salidas

La estructura de los sistemas con uP, basado en buses triestados, permite tres técnicas diferentes para el tratamiento de las I/O de datos.

1ro. Tratamiento directo de los I/O desde la CPU mediante instrucciones específicas, tales como In y OUT.

2do. Tratamiento de las I/O a través de interrupciones que recibe la CPU desde los periféricos y que, en ciertos casos, es capaz de enmascarar y seleccionar.

3ro. Las I/O son consideradas como posiciones de la memoria, lo que permite manejarlas con las mismas instrucciones y procedimientos que a las

memorias. Aunque con este procedimiento disminuye la memoria útil y las instrucciones de I/O requieren tres bytes para su completo direccionamiento, esta forma de tratamiento es la más usada, debido a su sencillez.

1.5. Los Buses de Dirección, Dato y Control

Los buses de dirección, dato y control proporcionan el flujo de instrucciones y datos entre CPU, memoria y puertas de I/O. Estos buses varían de un uP a otro, pero en todos cumplen básicamente las mismas funciones.

En general la ejecución de programas en un uP consiste de una serie de lecturas de memoria, la que es llamada búsqueda. En esta búsqueda se hace uso del bus de direcciones para ubicar en la memoria la posición donde se encuentra la palabra buscada, la cual es cargada en el bus de datos y llevada hasta la CPU. Cuando la CPU ha decodificado la instrucción, su ejecución puede requerir de otra lectura, o de una escritura en memoria o en puertas de I/O. Toda esta secuencia es controlada y temporizada por la CPU por medio del bus de control, en el cual se proveen una serie de señales de control, y temporización para el funcionamiento sincronizado de los componentes del sistema.

Durante una lectura, la CPU saca al bus de direcciones la palabra que especifica la posición del dato a ser leído, esta dirección la constituye una palabra binaria de tamaño variable, normalmente de 16 bits. La CPU también saca una señal al bus de control, donde se especifica que la operación a realizar será una lectura, luego la palabra contenida en la memoria es traspasada al bus de datos por la señal de lectura. Mientras tanto los elementos de memoria no seleccionados se muestran en un tercer estado de alta impedancia a las líneas de salidas y solamente el elemento seleccionado es activo en el bus de datos. Después de un tiempo. La CPU lee la palabra que ha sido cargada en el bus de datos.

Similarmente, para una escritura en memoria la CPU saca al bus de direcciones la información que especifica la posición en memoria donde se desea escribir. Luego saca la palabra deseada en la memoria el bus de datos, y una señal de escritura a través del bus de control la que causa que el elemento de memoria lea la palabra contenida en el bus de datos y la almacene. Al igual que durante la lectura, los elementos de memoria no seleccionados permanecen en un tercer estado de alta impedancia por lo que solo CPU es activa al bus de datos.

Algunos uP, como la familia Motorola 6800, manipulan memorias e I/O, exactamente en la misma forma. Memorias e I/O ocupan un espacio de direcciones común y son accesadas por la misma instrucción. Con este tipo de uP la decodificación de hardware del bus de direcciones, determina de todas maneras la lectura o escritura si es un elemento de memoria o I/O.

Otros uP como el Intel 8080A o el 8085A y el Zilog Z-80 tienen espacios separados para memorias y puertas de I/O. Estos uP usan instrucciones diferentes para un acceso a memorias a acceso a I/O y provee señales en el bus de control para distinguir entre memorias y puertas de I/O.

Para una visión más completa de los buses, se describen algunos de los procesadores más comunes:

La familia Motorola 680 tiene 16 líneas en el bus de direcciones, 8 líneas en el bus de datos y un bus de control que incluyen las señales VMA (validez de dirección de memoria), R/W (lectura/escritura), DBE (habilitación del bus de datos) y señales de reloj $\phi 1$ y $\phi 2$.

El uP Motorola 6802 consiste de una estructura y temporización similar al 6800 excepto por DBE y $\phi 1$ que no están disponibles. Sin embargo, incluyen MR (memoria disponible).

El uP Zilog Z-80 usa bus de direcciones de 16 líneas, un bus de datos de 8 líneas y posee un bus de control en el cual se incluyen $\overline{\text{MREQ}}$ (requerimiento de memoria) $\overline{\text{IORQ}}$ (requerimiento externo de puertas de I/O), RD (lectura), WR (escritura) $\overline{\text{WAIT}}$ (espera para la "extensión del ciclo de reloj") y señal de reloj ϕ .

Procesadores como el 8084 son designados como pequeños sistemas de uP (on the chip). Estos proveen memoria para programación, memoria RAM para almacenamiento temporales, generador de reloj, temporización, salida de reloj, puertas de I/O y CPU en un mismo circuito integrado. Poseen 4 líneas (P20-P23) y una $\overline{\text{PROM}}$ para la inhibición de las entradas y salidas. Además, los 8043 y 8049 proveen una puerta de 8 bits para la transferencia de datos, $\overline{\text{RD}}$ (lectura) y $\overline{\text{WR}}$ (escritura).

Para el Intel 80804 el bus de direcciones consiste en 16 líneas, el bus de datos de 8 líneas y el bus de control contiene BDIN (entrada al bus de datos), $\overline{\text{WR}}$ (escritura-lectura), SUNC (sincronismo), READY y señales de reloj $\phi 1$ y $\phi 2$. Este uP trabaja con los sistemas de control Intel 8228 u 8238, los cuales con las señales BDIN y $\overline{\text{WR}}$ generan las señales de temporización MEMR (lectura de memoria), MEMW (escritura en memoria), I/OR (lectura de puertas I/O) e I/OW (escritura en puertas I/O).

El Intel 8085A provee un bus de direcciones de 16 líneas y 8 de éstas son usadas como líneas para formar el bus de datos por medio de un multiplexaje. Además provee de un bus de control en el que se encuentran las señales \overline{RD} (lectura), \overline{WR} (escritura), ALE (habilitador de latch de direcciones), CLK (reloj) y tres salidas de estatus $\overline{S_0}$, $\overline{S_1}$ e $\overline{IO/M}$. Durante cada acceso a memorias o puertas de I/O, el bus de datos es sacado a los 8 bits de direcciones mas bajos (A_7-A_0) y cargado de un latch octal, en el flanco de bajada de ALE. Las tres salidas de estatus especifican si el acceso es una lectura en memoria, una escritura en puertas de I/O. Además provee una entrada de READY para extremar el tiempo disponible en los buses de dirección y dato para un ciclo de reloj integral.

1.6. Interrupciones

Muchos μP , poseen una más líneas que son llamadas, entradas de interrupción. Estas entradas permitan el requerimiento por un dispositivo externo de atención por parte de la CPU. En modo asincrónico, durante cada ciclo de instrucción del μP , chequea el estado de estas entradas.

Si el μP detecta una solicitud de interrupción y autoriza su servicio, realiza un tipo especial de subrutina. El PC es guardado automáticamente en

STACK. El uP procede entonces a la ejecución de un nuevo programa. Este es un programa de servicio al dispositivo externo, en el cual se pueden guardar en STACK, si van a ser usados, el resto de los registros. Después que la subrutina es completada, si se guardaron los registros en STACK, pueden ser cargados entonces y el control regresa nuevamente al programa principal, el cual continúa su ejecución. La interrupción es virtualmente transparente al programa principal, excepto por el tiempo requerido para servir al dispositivo externo.

Normalmente uno de los bits del registro de banderas se usa para habilitar y deshabilitar los requerimientos de interrupción. La bandera de interrupciones es puesta y limpiada por dos instrucciones diferentes. De esta forma, el programa principal puede ser protegido por sí mismo alguna interrupción por un segmento del programa. El mecanismo por el cual la interrupción es realizada varía para los distintos uP.

El Motorola 6800 posee dos entradas de interrupción \overline{IRQ} (requerimiento de interrupción) y \overline{NMI} (interrupción no mascareable). Cuando el uP, detecta un requerimiento de interrupción de alguna de estas entradas lee dos palabras desde una localización especial en memoria. Estas palabras especifican la

dirección del inicio de uno de los programas de interrupción. La interrupción \overline{IRQ} puede ser habilitada y deshabilitado por el programa principal. La interrupción \overline{NMI} siempre produce una ruptura del programa principal. El proceso de interrupción guarda automáticamente el PC, acumulador, registro índice y registro de banderas en el stack.

El Intel 8080A posee una sola entrada de interrupción INT. Cuando el uP detecta el requerimiento de interrupción, este comienza un ciclo especial de lectura. El bit INTA (reconocimiento de interrupción), en la palabra de estatus, da cuenta que el dispositivo está interrumpiendo y de esta forma es reconocida. La interrupción del dispositivo puede ser respondida cargando una instrucción especial (RST) en el bus de datos, la cual provee una subrutina de servicio en una de ocho localizaciones definidas en memoria. La entrada INT puede ser habilitada y deshabilitado por el programa principal. En el proceso de interrupción se guarda automáticamente el PC en el stack. Los registros pueden ser usados por la interrupción por lo que el programa de interrupción debe guardarlos en stack antes que usados.

El Intel 8085A posee 5 entradas de interrupción: INTR (requerimiento de interrupción), RST5.5, RST7.5

(Interrupciones de RESTART) y TRAP (interrupción no mascarable). La INTR funciona en forma similar a la INT del 8080A, las RST5.5, RST6.5 y RST7.5 generan automáticamente una instrucción RST la que causa un salto de subrutina a las direcciones 2C, 34 y 3C (hexadecimal), respectivamente. Las entradas INT y RST poseen una prioridad interna para el 8085A siendo la RST7.5 la más alta y la INTR la más baja. Tanto la entrada INTR como las RST pueden ser en forma individual habilitadas y deshabilitadas donde el programa principal. La interrupción TRAP genera un salto a subrutina a la dirección 24 (He). Esta entrada posee la más alta prioridad de las 5 interrupciones y no puede ser deshabilitada por el programa principal. En el proceso de interrupción guarda automáticamente el Pc en el stack. Los registros pueden ser usados durante la interrupción, por lo que el programa de servicio deberá guardarlos en el stack antes de ser usados.

El Zilog Z-80 tiene dos entradas de interrupción \overline{INT} (requerimiento de interrupción) y NMI (interrupción no mascarable). La entrada \overline{INT} es verificada al final de cada instrucción. Si la solicitud de interrupción es detectada, un ciclo especial de lectura (fetch) es ejecutado e \overline{IORG} cambia de estado, indicando que la interrupción ha sido requerida. El Z'80 opera en cualquiera de los tres

siguientes modos de interrupción: el primer modo, automático, genera una instrucción RST de la dirección 38 (He). Un segundo modo requiere que el dispositivo que interrumpe cargue una instrucción RST en el bus de datos y el tercer modo requiere que el dispositivo que interrumpe suministre una dirección de 8 bits en el bus de datos, la que especifica la dirección de inicio del servicio. La interrupción INT puede ser habilitada y deshabilitada desde el programa principal. La entrada MNI siempre produce un salto a la dirección 66 (He). La interrupción produce automáticamente el almacenamiento del PC en STACK. El Z-80 proporciona un registro doble, el cual puede ser usado por el programa de interrupciones, por lo que antes de usarlo, su contenido puede ser almacenado en STACK.

El Intel 8048, 8049, 8022 y 3870 poseen una entrada simple de interrupción, la que puede ser habilitada y deshabilitada desde el programa principal. Si la solicitud de interrupción es aceptada al PC es almacenado en uno de los 8 niveles para el STACK, en los módulos 8022, 8048 y 8049 o en el registro PC 1 para el 3870. La ejecución comienza en la dirección 03(He) para los 8022, 8049 y 8049 o en la A3(He) en el 3870. Requerimiento de nuevas interrupciones son ignoradas durante el servicio de la interrupción previa.

El signetics (National) 2650 tiene una línea de entrada de interrupción $\overline{\text{INTREC}}$ en la cual al reconocer una interrupción finaliza la instrucción en curso y ejecuta la instrucción ZVRS (salto a subrutina), al mismo tiempo que inhibe las interrupciones y responde activando INTACK y OPREQ. Una vez recibida intack, el dispositivo que solicitó la interrupción debe desactivar INTREC y colocar en el bus de datos el segundo byte de la instrucción ZVSR. Este byte es el vector que indica el desplazamiento relativo a la posición "0" o página "0" del comienzo de la rutina de interrupción.

El National NSC 800 posee una estructura combinada de interrupciones similar al 8085/80 y Z-80. La prioridad más alta corresponde a $\overline{\text{NMI}}$. Al producirse esta interrupción (no mascarable), el uP guarda en STACK el PC y salta a la dirección 66 (He). En orden de prioridad decreciente le sigue $\overline{\text{RSTA}}$, $\overline{\text{RSTB}}$ y $\overline{\text{RSTC}}$. La ejecución es idéntica al $\overline{\text{NMI}}$ salvo que los saltos son a las direcciones 3C, 34 y 2C (He) respectivamente y son habilitadas y deshabilitadas por el programa principal.

Finalmente se tiene la entrada de interrupción $\overline{\text{INTR}}$ la cual es programable. Cuando el uP reconoce la interrupción, lleva a bajo la línea INTA. La ejecución de la interrupción puede programarse en tres modos. Modo "0" es idéntico a la interrupción

del 8080. Con \overline{INTA} el periférico coloca en el bus de datos una instrucción de 8 bits (normalmente RESTART) o de 3 byte (CALL). Modo "1", similar al \overline{NMI} salvo que la dirección de transferencia es 38 (He). Modo "2", en este modo el programador debe construir una tabla con direcciones de todas las subrutinas de interrupciones, la que puede estar en cualquier parte de la memoria. Cuando se produce la interrupción, el uP forma un puntero de 16 bits hacia la tabla, colocándolo en el bus de datos con la señal \overline{INTA} y el byte superior es el contenido del registro I (vector de interrupciones). Con este puntero se accesa a la tabla, de donde se toma primero el byte inferior y luego el superior de la dirección de la subrutina. Los bits de habilitaciones parciales están contenidos en la puerta de escritura solamente ubicada en la dirección BB (He).

Se denominan IEI, IEC, IEB, IEA, a los bits (0-3) y habilitan respectivamente INTR y las tres entradas de restar C, B y A respectivamente. La señal de reset establece IEI y borra IEA, IEB e IEC, manteniendo la compatibilidad de los programas escritos para el 8080 o el Z-80.

CAPITULO II

ANALISIS DE LAS PRINCIPALES FALLAS DE ORIGEN ELECTRONICO Y SISTEMAS DE SOLUCIONES

2.1. Análisis de las Principales Fallas de Origen Eléctrico

2.1.1. INTRODUCCION

El trabajo será enfocado hacia las uP de 8 bits más usados actualmente, los cuales, como se vio en el capítulo anterior, tienen gran similitud en su estructura y versatilidad.

La mayoría de ellos poseen memorias volátiles RAM y registros para diversos usos, donde la mantención de sus contenidos está sobre la base de una polarización permanente. Cuando se produce una falla en la alimentación, la tensión de la fuente comienza a disminuir y cuando llega a un punto en que uP pierde el control, se producen cambios en los buses y no hay control sobre ningún componente del

sistema, razón por la cual la RAM pierde sus datos y son sustituidos por valores aleatorios.

Hay dos factores que influyen en la alteración de los datos de la RAM, primero, es activa con un nivel de polarización mucho menor que la CPU. Debido a esto, cuando el uP pierde el control, la RAM aún está activa y si las señales que le llegan son de carácter aleatorio, producen entradas y salidas en forma incoherente y segundo, si la RAM pierde su polarización hasta su nivel en que no es posible mantener los datos, estos se perderán en forma definitiva, de manera tal que al iniciarse nuevamente el sistema, su contenido será aleatorio.

2.1.2. Planeamiento del problema

El objetivo perseguido es diseñar un circuito capaz de: detectar una baja de tensión en la alimentación del sistema, generar una detención del programa principal, respaldar la polarización para impedir la pérdida del contenido de memorias volátiles y finalmente impedir que, producto del descontrol en que entraría la CPU, se altere el contenido de la memoria.

2.1.3. Limitaciones y restricciones

En primer lugar se dispone únicamente del sistema MPF-I, razón por la cual el desarrollo deberá enfocarse hacia este sistema, sin perder de vista el carácter general que se pretende dar al diseño.

Como primera consideración se deberá tomar en cuenta los tiempos típicos de caída de una fuente. Los tiempos medidos superan con creces a los demandados por el programa de servicio, por lo que se hace extensivo, el resultado obtenido, a otras fuentes.

Otra consideración es la que se refiere a la alimentación de los componentes del sistema. La CPU usada en el MPF-I es el Z-80, la que es alimentada con 5 voltios y experimentalmente se comprobó que hasta con 4,5 volts el sistema funciona satisfactoriamente. Por otro lado la RAM también se alimenta con 5 volts y experimentalmente se comprobó que hasta con 3 voltios mantiene sus datos inalterados.

ENTRADA

STATUS INICIAL
DEL PROCESADOR



VARIABLES DE ENTRADA

- U_{DDNOM}μP = 5.0 volts →
- U_{DDMIN}μP = 4.5 volts →
- U_{DBAJA}μP = 4.7 volts →
- U_{DALTA}μP = 4.8 volts →

RESTRICCIONES DE ENTRADA

- I_{DDMAX}total μP = 300 mA →
- I_{DDMAX}RAM = 60 mA →
- I_{MIN}caida fte = 500 vs →
- U_{DDMIN}permitido = 4.5 volt →



SISTEMA

SOLUCION

SALIDA

STATUS FINAL =
STATUS INICIAL
DEL PROCESADOR



RESTRICCIONES DE SALIDA

- U_{DDMIN}RAM = 3.0 volts →
- I_{DD}RAM = 60 mA →
- I_fejecuc. = 60 μS →
- INTERRUPCION INT MOODO 2
{activada por nivel bajo}

- CERAM {desahabilitada con
nivel alto}

2.2. Sistemas de Soluciones

2.2.1. Respaldo del Sistema de Memoria RAM.

Una primera alternativa será proteger solamente el sistema de memorias que se muestra en la figura 2.1.

En este caso, se requiere un discriminador de polarización de RAM, un sistema de respaldo a batería y un circuito de control para bloquear la transferencia de datos de la RAM.

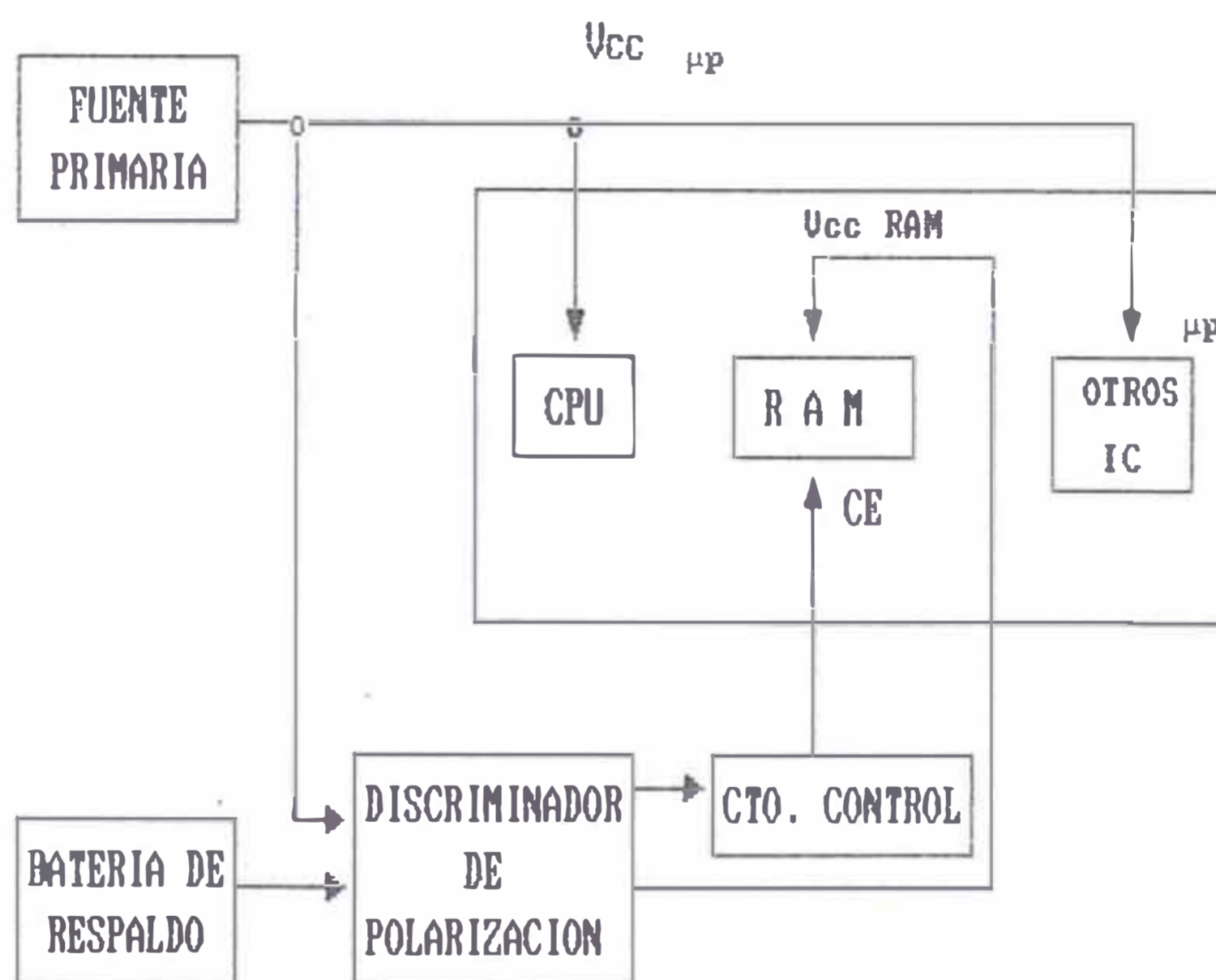


Fig. 2.1. Diagrama en bloques para protección de RAM.

Su funcionamiento global es el siguiente :

- El discriminador está constantemente chequeado la fuente de alimentación primaria y cuando esta falla de paso de inmediato a las baterías da respaldo para la alimentación de RAM.
- El circuito de control actúa sobre la RAM bloqueándola para que no pierda sus datos, ya que cuando la fuente primaria no esté presente, la CPU no controlará los buses ni las habilitaciones de chips. Esta situación permanecerá hasta que la energía retorne y se estabilice.

2.2.2. Respaldo Global del uP

Una segunda solución, será proveer al uP, de un sistema de respaldo a batería y sistema de detección de falla, lo que interrumpiría el programa y quedaría el uP, en estado de espera hasta que la energía retorne. Esto se puede apreciar adecuadamente en la figura 2.2:

Se necesita un sistema de respaldo a batería que provea los requerimientos de potencia del uP, un detector de energía para generar una interrupción del programa cuando la falla ocurra, un discriminador de polarización del

uP, y un software para la atención de la interrupción.

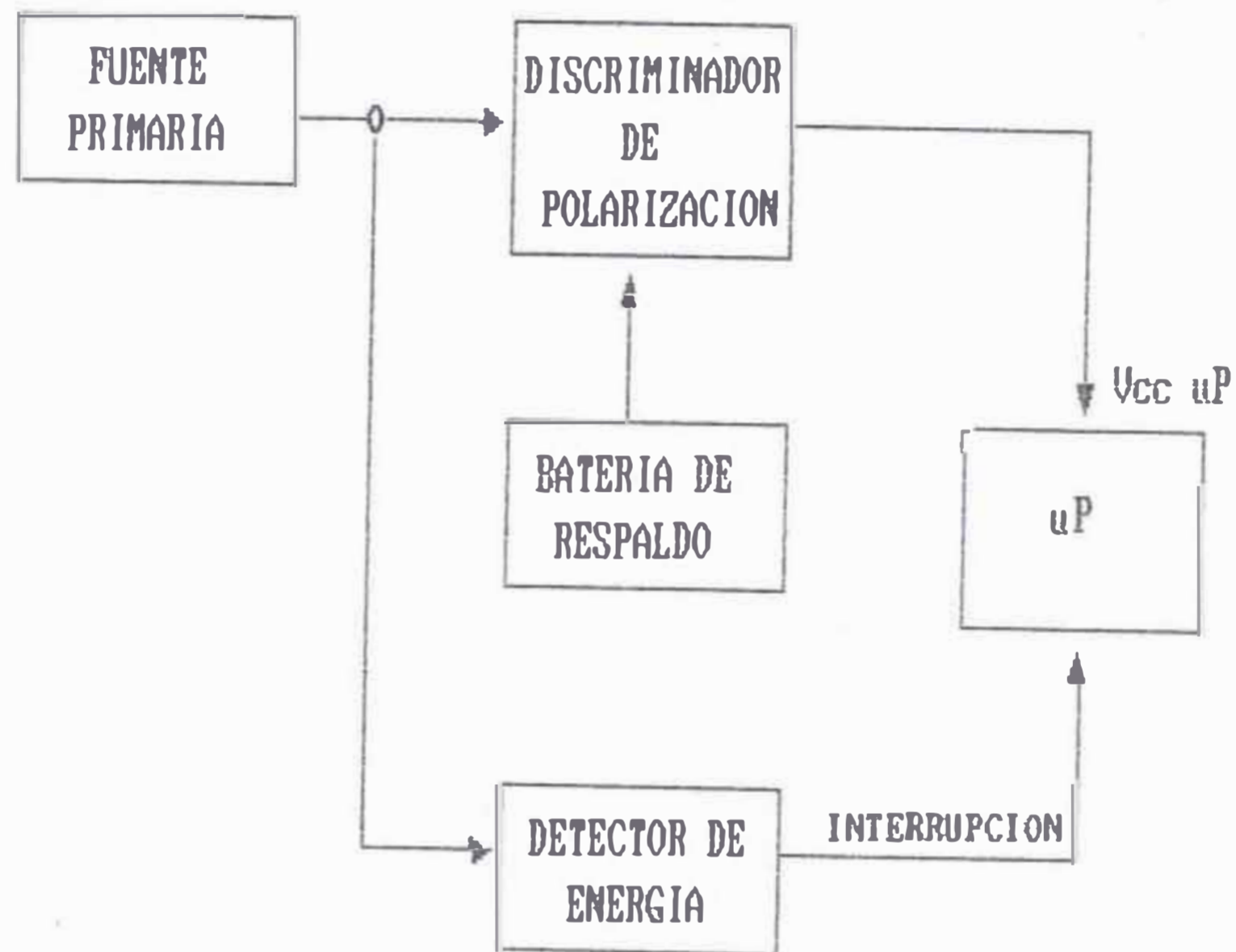


Fig. 2.2 Diagrama en bloques para la protección del uP.

Su funcionamiento global es como sigue :

- El discriminador de polarización está constantemente chequeando la fuente de alimentación primaria y cuando esta falla, da paso a la batería de respaldo para proveer polarización al uP.

- El detector de energía, cuando detecta una baja en la línea de alimentación primaria, genera una interrupción del programa.
- La atención de esta interrupción causa que el μP , detenga la ejecución del programa y quede en espera del retorno de la energía, ya que no se justifica que el μP , continúe funcionando durante la falla, puesto que éste no tendrá sobre quien actuar cuando el equipo periférico esté sin energía.
- Cuando la energía esté presente nuevamente, el programa puede continuar su ejecución.

2.2.3. Respaldo Parcial con Protección de Registros

En esta alternativa se verá una combinación del respaldo y de la ejecución de una subrutina de salvados de registros (ver fig. 2.3).

Para esto se requiere un discriminador de polarización de RAM, un circuito detector de energía, un circuito de control de interrupciones y un software apropiado.

Su funcionamiento es básicamente el siguiente:

- El detector de energía constantemente chequea la tensión de la fuente primaria. Cuando ésta baja de un cierto valor

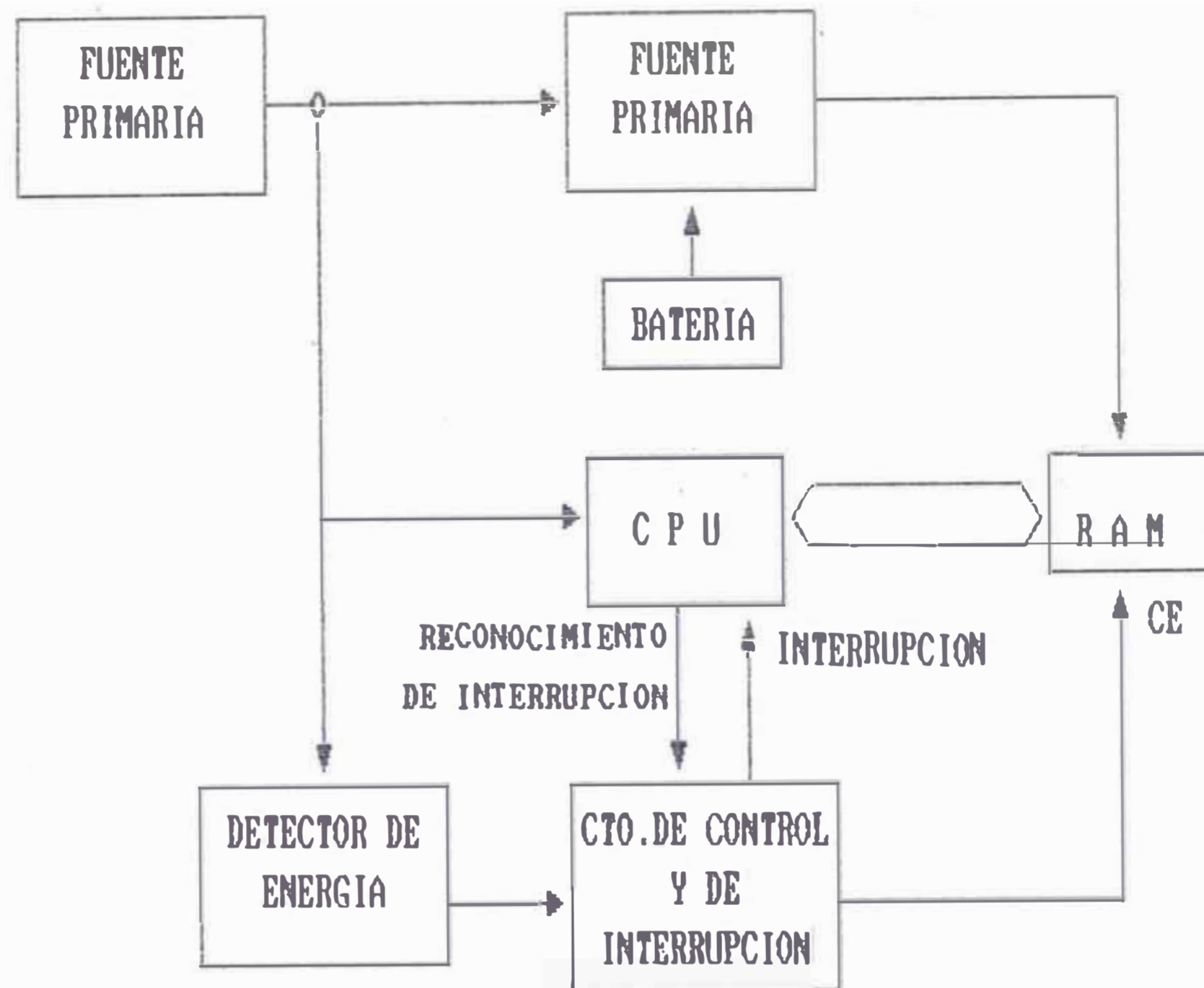


Fig. 2.3. Diagrama en bloques para la protección de RAM y registros.

predeterminado, el detector entrega una señal al circuito de control y de interrupciones anunciando la falla.

- El discriminador de polarización automáticamente conecta la batería de respaldo cuando la fuente primaria falla.
- El circuito de control y de interrupciones genera una señal de interrupción, cuando se produce la falla, para producir la detención del programa que se estaba

ejecutando y recibe una señal proveniente de la CPU, la que le informa que ha concluido la subrutina de salvado de registro, para que proceda a bloquear la transferencia de datos de la RAM.

- La CPU realiza una subrutina cuando se produce la falla la que almacena en RAM el contenido de todos los registros, los cuales quedarán protegidos en la memoria.

2.3. Análisis de las Alternativas y Elección de la Mejor

La primera alternativa (protección de RAM), da solución a una parte del problema, ya que los registros de la CPU se perderán al no estar polarizada esta última. Sin embargo es aplicable en aquellos casos en que no interesa continuar con la ejecución del programa en el lugar de la interrupción. Pero si interesa salvar los datos contenidos en RAM. Debido a que esta situación es poco usual, se descarta esta alternativa por no cumplir con el salvado de estatus.

La segunda alternativa (Protección del uP) cumple con los objetivos de salvar los contenidos de RAM y registros, pero se debe considerar que el uP estará alimentado durante toda la permanencia de la falla, en consecuencia que no habrá actividad en él.

En la tercera alternativa (Protección de RAM y registros) se hace una combinación de dos precedentes, en la que solo se protege la RAM y los registros son salvados en ella, por lo que esta última también cumple los objetivos planteados.

Las dos últimas alternativas aparecen entonces como soluciones válidas. Sin embargo, al considerar y comparar los consumos de corriente (Total del UP 800mA, solo la RAM 60mA), se puede ver que en la última alternativa se consume del orden de 13 veces menos corriente, por lo que para una misma batería, el respaldo que provee la alternativa tres es, en tiempo, 13 veces mayor que la alternativa dos.

Por lo tanto, considerando todos los aspectos presentados en los párrafos precedentes, se elegirá para el desarrollo y montaje la alternativa número tres, que se ha llamado "Protección de RAM y Registros".

CAPITULO III

CONSTRUCCION DEL SISTEMA PROPUESTO

Como se vio en el capítulo I, la mayoría de los uP de 8 bits, poseen características similares, por lo que la solución al problema planteado, aunque se desarrolle para uno de ellos, podrá ser válida para otros con pequeñas adaptaciones.

Tomando como base el diagrama de la figura 2.3 se analizará cada etapa por separado.

3.1. Circuito Detector de Energía

Este círculo deberá detectar la caída de tensión en la línea de alimentación del uP, suministrando una señal al circuito de control y de interrupciones para indicar que la tensión de alimentación a bajado. Para esto se usará un amplificador operacional (AO), el cual posee como características generales:

Z_i (impedancia de entrada) alta.

Z_o (impedancia de salida) baja.

A_v (ganancia de voltaje) muy grande.

En la figura 3.1. podemos ver su representación. En la entrada inversora se aplica una tensión fija de referencia (V_{ref}) y en su entrada directa se aplica una porción de la tensión de la fuente primaria, (V_i).

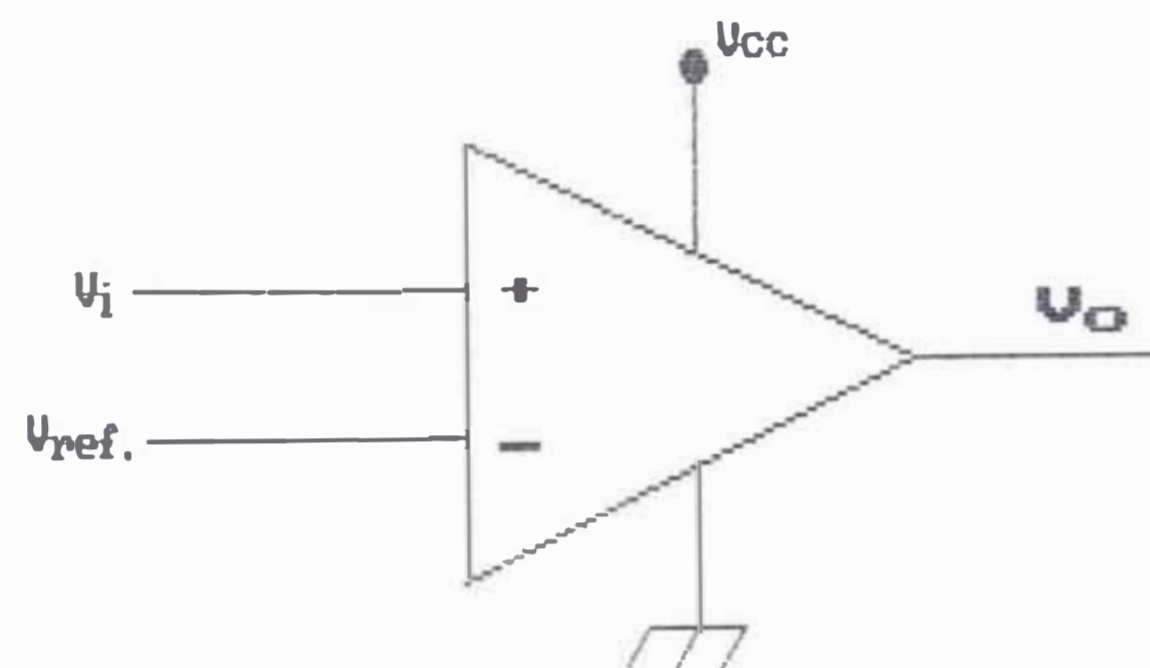


Fig. 3.1 Representación de un AO.

La tensión de referencia se ajusta para que en condiciones normales de funcionamiento V_i sea mayor que V_{ref} , con lo que la salida V_o será máxima. Si la tensión de la fuente primaria disminuye, también lo hará V_i y cuando esta última sea menor que V_{ref} se tendrá una salida mínima del AO. Para evitar el efecto de encendido-apagado cuando $V_i = V_{ref}$, se puede usar una realimentación produciendo una histéresis. La figura 3.2. muestra la representación de este circuito.

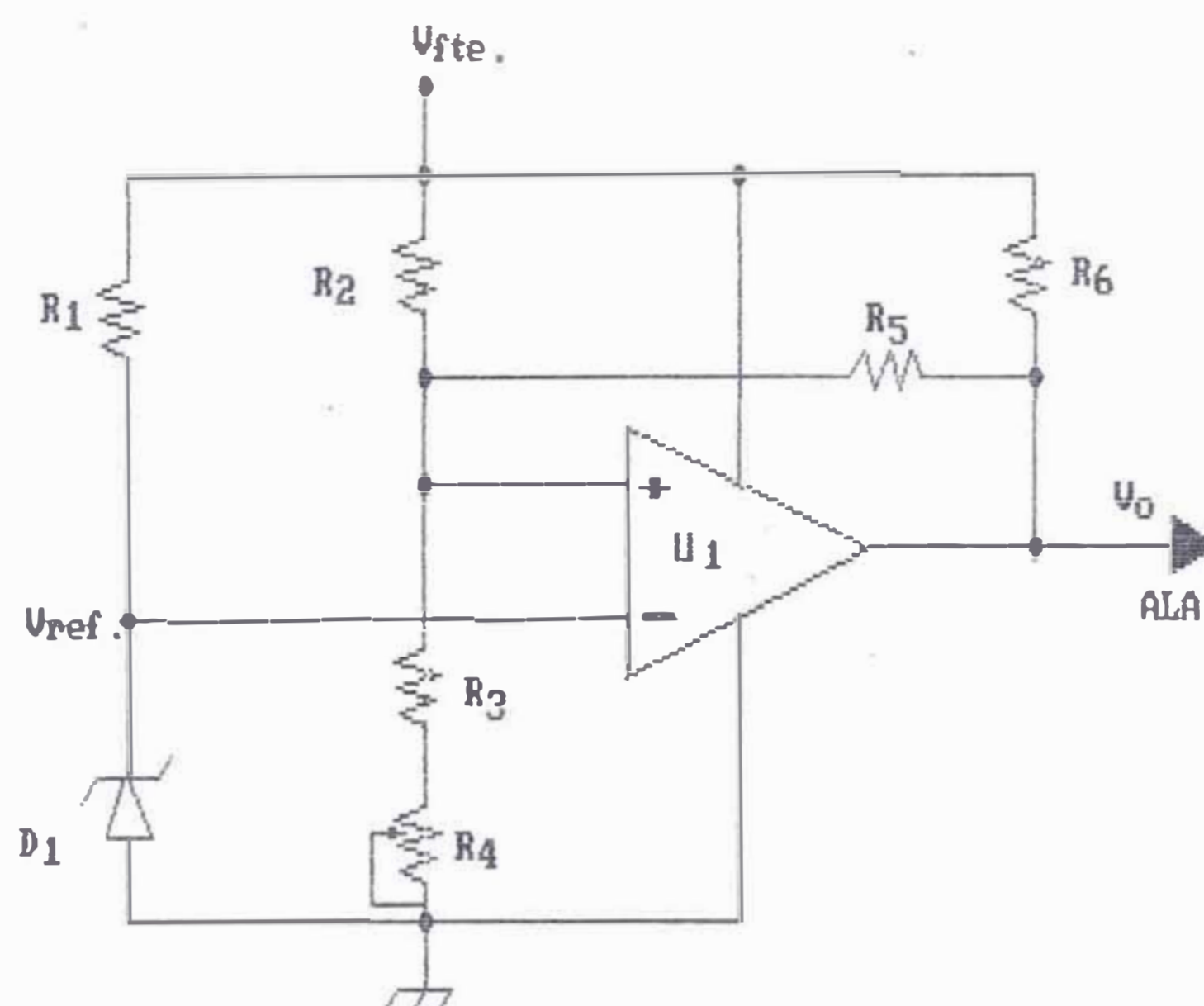


Fig. 3.2 Circuito detector de polarización de líneas

El AO es alimentado en su entrada inversora vía R_1 , D_1 provee un valor de tensión constante en ella; por otro lado es alimentado vía R_2 en su entrada directa R_3 y R_4 , forman, juntos R_2 , un divisor de tensión para ajustar, por medio de R_4 , la entrada no inversora del AO.

Cuando se produce una falla, la fuente comienza bajar su tensión y debido al filtro hay un tiempo de descarga dado por la constante de tiempo del filtro de la fuente. Junto a esta baja, se produce una caída de tensión en la entrada directa del AO la cual hace

que cambie de estado cuando $V_i = V_{ref}$. Las resistencias R_5 y R_6 proveen realimentación positiva para producir una histéresis en la transición del AO, para explicar mejor esta histéresis, se hará una descripción del efecto en el circuito de la fig. 3.2.

Si consideramos que la fuente de polarización está en su valor nominal de 5 volt, se tendrá que V_i es mayor que V_{ref} con lo que la salida del comparador será alta, en esta condición se puede considerar que R_5 está conectada directa a V_{ft} , quedando en un supuesto paralelo con R_2 y haciendo que esta última disminuya virtualmente su valor. Similarmente cuando V_{fte} es baja (menor o igual que 4,7 volt) la salida del comparador será de un nivel bajo, por lo que se puede considerar que R_5 está conectada a tierra, quedando en un virtual paralelo con $(R_3 + R_4)$, con la consiguiente disminución de la resistencia resultante.

Este efecto hace que cambien las características del divisor R_2, R_3, R_4 , haciendo que el comparador cambie de estado para valores diferentes de V_{fte} , cuando esta última está disminuyendo desde su valor nominal, a cuando está aumentando hacia su valor nominal.

Esta histéresis se muestra en la Fig. 3.3, donde las flechas indican las secuencias de las transiciones.

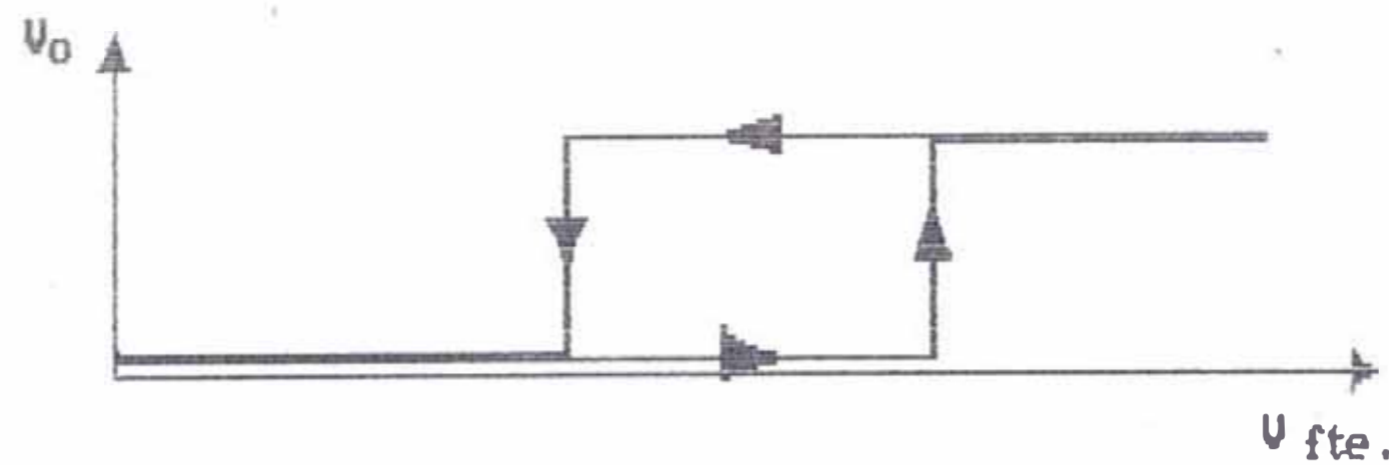


Fig. 3.3 Efecto de histéresis producida en un Amplificador Operacional.

3.1.1. Consideraciones Previas al Cálculo de Componentes.

El Z-80 usa una polarización única de 5 volt y experimentalmente se ha determinado que un sistema con esta CPU, funciona satisfactoriamente hasta con 4,5 volt (probado en el uP MPF-I, Sin embargo, considerando un factor de seguridad se definirá 4,6 volt como tensión mínima necesaria para que el sistema no sufra alteraciones, luego, si se ajusta el AD para que sufra una transición cuando V_{fte} sea de 4,7 volt, se tiene que el tiempo (T) para salvar el estatus de la máquina es de 0,5 ms. y se tendrá que V_{fte} (baja) \leq 4,7 volt y se tiene una histéresis de 0,1 volt, se tendrá V_{fte} (alta) \geq 4,8 volt. Luego las transiciones del AD deberán ser 4,7 volt cuando la fuente esté bajando su tensión y 4,8 volt se considerará que la fuente recuperó su valor nominal.

3.1.2. Cálculo de Componentes

Considerando D1 con $V_z = 3,3$ volt se puede elegir el 1N4728 y tomando I_z de 25 mA se puede calcular R1 donde:

$$R1 = \frac{V_{fte} - V_z}{I_z} \quad (3.1)$$

$$R1 = 68 \Omega.$$

Para calcular R2, R3, R4 y R5, se deberá tomar en cuenta los valores para las transiciones del AO, donde se definirá $V_f(+)$ como la tensión de la fuente a la cual el AO cambia su salida V_o , producto de que la fuente está bajando la tensión y $V_f(-)$ como la tensión de la fuente a la cual el AO cambia su salida V_o , producto de la subida de tensión. Para un valor nominal de V_{fte} de 5 volt, la salida deberá ser máxima, luego si la fuente comienza a disminuir su tensión, hasta llegar al punto de transmisión, la salida del AO será $V_o = 4,7$ volt. Por otro lado al ocurrir al proceso inverso, hasta el punto de transición, $V_o = 0$ volt.

El circuito deberá cumplir que $V_i = V_o$ en los dos casos mencionados luego de la fig. 3.2.

$$V_i = \frac{V_f(+)}{R_2} \times \frac{R_3}{R_3 + R_5} \quad (3.2)$$

$$V_i = \frac{V_f(-)}{R_2 + R_3} \times \frac{R_3 + R_4}{R_5} \quad (3.3)$$

Siendo: $R_3 = R_3 + R_4$

Definiendo:

$R_3 = 4.7K\Omega$ y $R_4 = 1K\Omega$ que el punto medio del potenciómetro = 500Ω , se calcularán R_5 y R_2 de las ecuaciones 3.2 y 3.3.

$$R_5 = 105.89\Omega \longrightarrow R_5 = 100 K\Omega$$

$$R_2 = 1986\Omega \longrightarrow R_2 = 2.2K\Omega$$

R_6 es una resistencia para suministrar corriente a la salida del AO, por lo que con $2.2K\Omega$ es suficiente.

$$R_6 = 2.2K\Omega$$

Las características de polarización y tiempo de transición para el AO, son cumplidas por la mayoría de los existentes. De esa forma se selecciona el uA741, el cual tiene un tiempo de respuesta típico de 250 ns lo que es más que suficiente para los requerimientos del sistema a desarrollar.

3.2. Circuito de Control y de Interrupciones

Este circuito deberá cumplir las siguientes funciones: producir la interrupción en el uP cuando el suministro de energía es interrumpido; detectar cuando el uP ha concluido la subrutina de salvado del estatus y bloquear la transferencia de datos de la RAM para proteger su contenido, ya que el resto del uP permanecerá apagado durante la falla y no habrá dominio sobre los buses de dirección, dato ni control.

3.2.1. Consideraciones Previas al Diseño.

La CPU Z-80 posee 2 niveles de interrupción, los cuales se analizaron en el capítulo I. Sin embargo, será necesario hacer un análisis más profundo de ellas.

Como ya se vio, el orden de prioridad es como sigue: \overline{NMI} más alta, le sigue INT. Debido a que una falla en la alimentación causaría un daño muy grande en la ejecución de programas, se precisa dar la más alta prioridad posible a esta situación, por lo que es recomendable usar la \overline{NMI} . Esto no tiene ningún inconveniente cuando se está diseñando un sistema con uP, no obstante en muchos casos el sistema ya está configurado y no es posible hacer uso de esta interrupción, como lo es en el uP

MPF-1 donde solo se dispone la interrupción $\overline{\text{INT}}$. Existen dos motivos para la utilización del $\overline{\text{INT}}$: primero es la de más alta prioridad y cuando se atiende una interrupción, las solicitudes de menor prioridad son ignoradas y segundo, dicha interrupción no es mascarable por lo tanto no puede ser deshabilitado.

Otro análisis importante es la forma como se activan las interrupciones. Para el caso del $\overline{\text{INT}}$, ésta se activa por nivel bajo y es reconocida. La $\overline{\text{INT}}$ es activada a nivel bajo, el cual es memorizado en cuanto se produce hasta que proceda a la atención de dicha petición.

Después de la ejecución de cada instrucción por parte de la CPU, es leído el estado de las líneas de solicitud de interrupciones y si alguna de ellas ha sido activada, la atiende siempre que esté habilitado y el procesador no esté en estado HALT. La forma de habilitación y deshabilitación para el caso del Zilog Z-80, es por medio de las instrucciones DI (para bloquear las interrupciones) y EI (para habilitar las interrupciones). La ejecución de la instrucción DI interpreta que las dos básculas IFF1 y IFF2, se coloquen a cero.

Mientras que la instrucción EI provoca que IFF1 y IFF2 se coloquen a uno habilitados, estas dos básculas son IFF1 y IFF2 llamados Flip - flop de interrupción.

En caso de que se use una interrupción distinta de \overline{NPI} , se deberá tener cuidado de mantenerla habilitada durante toda la ejecución del programa, así como durante la ejecución de subrutinas del mismo.

Algunos sistemas, como el PPF-I poseen subrutinas que pueden ser usadas en la ejecución del programa, las que pueden ocasionar deshabilitaciones temporales de las interrupciones mascarables, lo que hace que el tiempo que se demore en aceptarla, pueda ser mayor que el que se requiere para salvar el status de la máquina, por lo que sería necesario incluir una fuente de respaldo a todo el sistema, hasta que el uP acepte una interrupción esto se analizará mas adelante.

Resumiendo, se necesita un circuito que genere la solicitud de interrupción, una vez que el circuito detector de energía de aviso de la falla en la fuente.

Además debe bloquear la transferencia de datos de la RAM una vez que la subrutina de salvado haya concluido.

La solicitud de interrupción puede ser derivada desde la salida del circuito detector de energía.

Para producir el bloqueo de la RAM, puede usarse el efecto de cerrojo de las compuertas NOR realimentadas y actuar sobre el habilitados de RAM (CE).

El circuito se muestra en la figura 3.4, en el que se observa que BLO (bloqueo de RAM) solo pasará de 1 a 0 si se dan las siguientes condiciones:

- Que ALA (alarma, desde el circuito detector de energía) esté en 0.
- Que la entrada AND (salida del uP avisando que se ha dado servicio a la interrupción) cambie a 0.

Para comprender mejor esta parte del circuito, es necesario analizar más detenidamente su funcionamiento.

Considerando que BLO esté en 1(b2), ambas entradas de la compuerta C3 deben ser 0, para

esto asumiremos que ALA y END son 1(b2), luego si END cambia a 0 no se tendrán cambios en la salida, sin embargo, si ALA cambia a 0 y luego END hace lo mismo se tendrá que BLO cambia a 0. Nuevos cambios en END no alteran la salida BLO, en cambio si ALA vuelve a 1(b2) las compuertas volverán a su estado inicial.

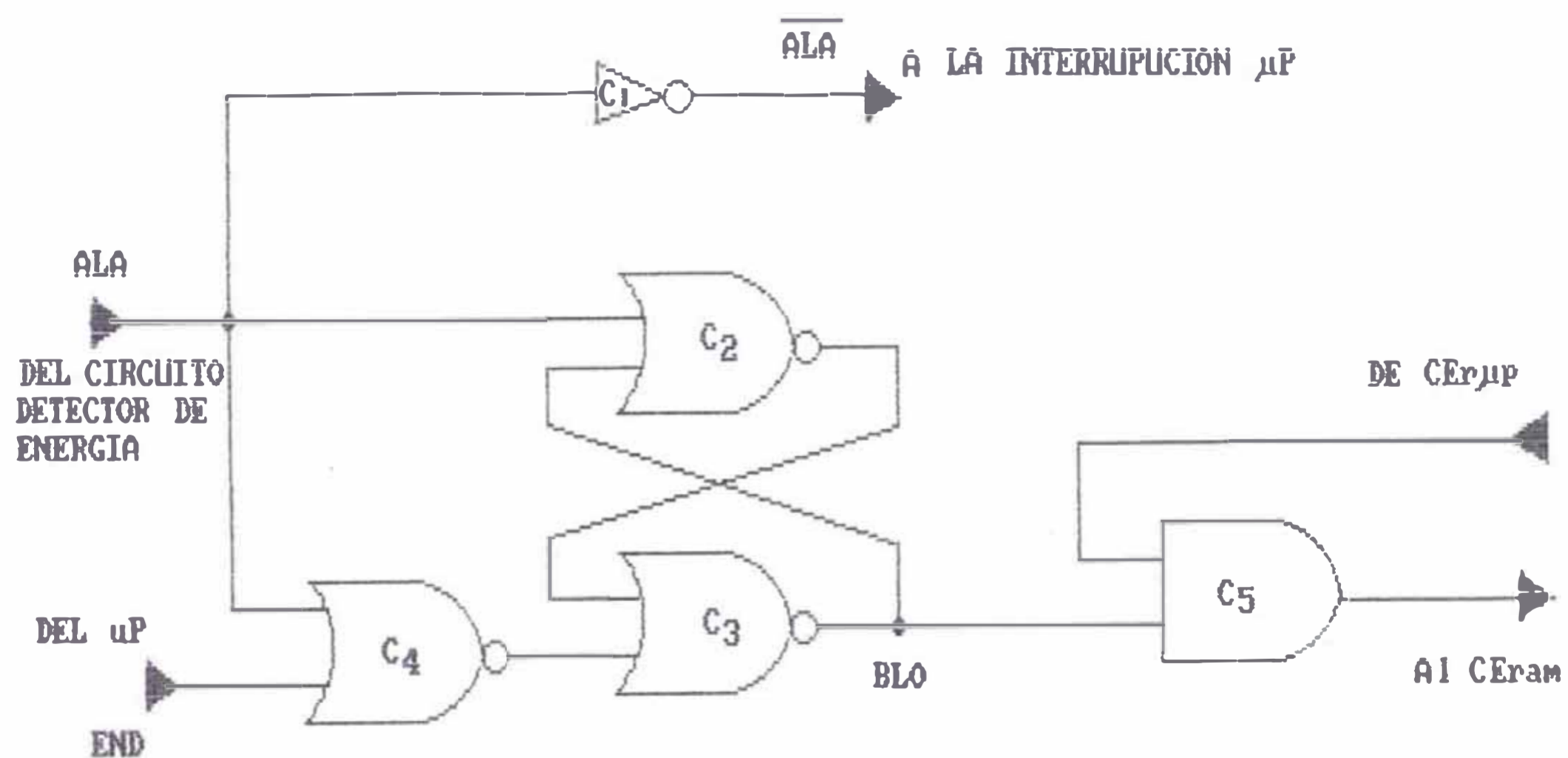


Fig. 3.4 Circuito de Control y de interrupciones.

La compuerta C5, habilita la señal CE de RAM, proveniente del uP, cuando la fuente primaria está presente y en ausencia de ella, bloquea la RAM para la protección de su contenido.

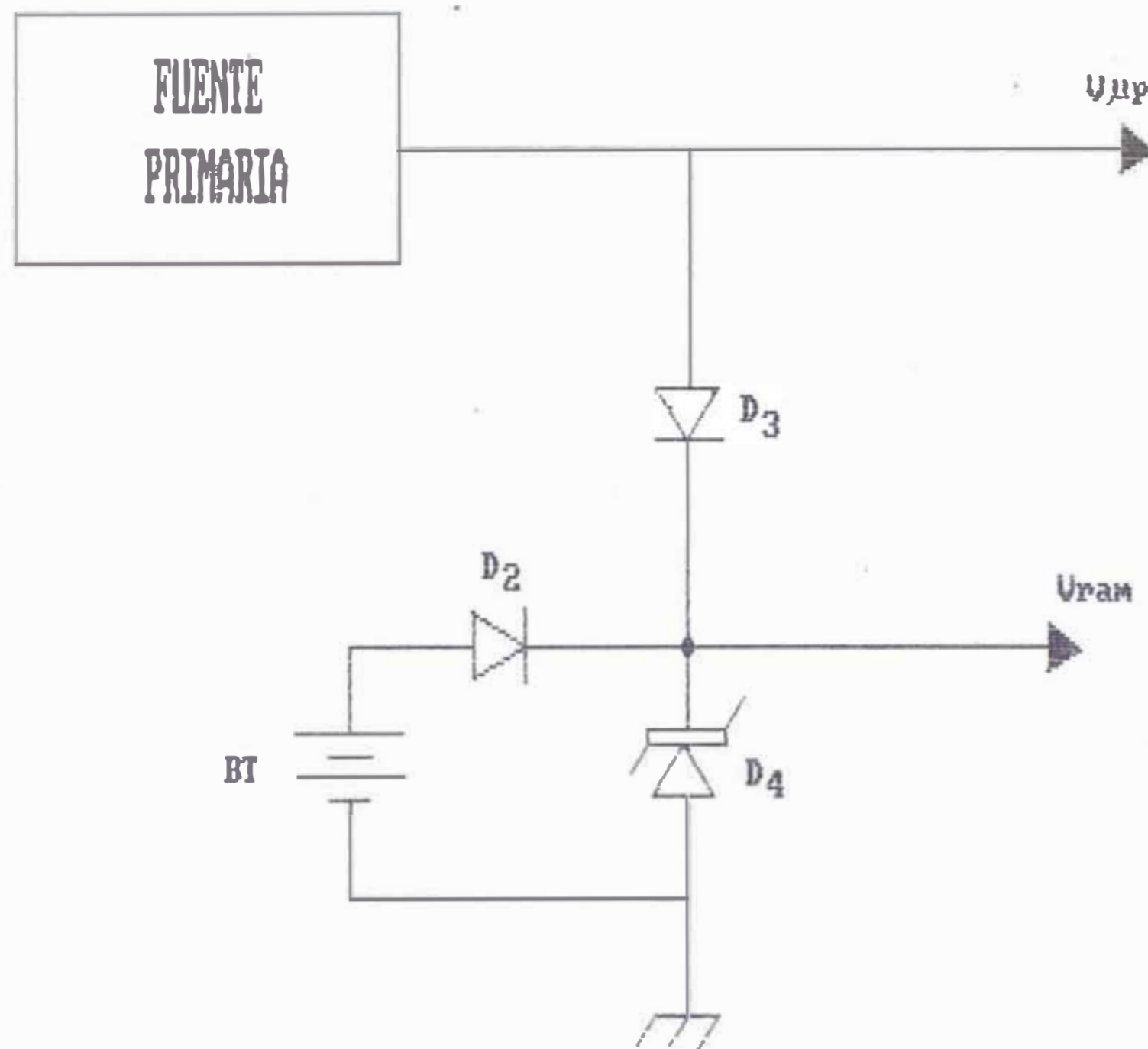


Fig 3.5. Fuente de respaldo para RAM.

Su funcionamiento se basa en que se dispone de dos fuentes de polarización v_{fp} (v_{fuente} primaria) y v_{bt} ($v_{batería}$). En condiciones normales de funcionamiento v_{bt} deberá ser lo suficientemente menor que v_{fp} , de manera que el diodo D_2 quede impedido de proveer corriente ya que no se logra la avalancha en él.

Si consideramos que la fuente primaria tiene una tensión nominal de 5 volt, podemos elegir v_{bt} , de 4, 5 volt. lo que se logra con 3 baterías de 1,5 volt. lo que se logra con 3 baterías de 1,5 volt y D_2 y D_3 diodos idénticos de silicio.

Ya que $V_{fp} > C_{bt}$, la tensión suministrada por la fuente primaria predominará sobre la de la batería y la RAM estará polarizada con $V_{fp} - V_{D3}$, siendo V_{D3} la caída de tensión del diodo D3 en polarización directa, esto es :

$$V_{RAM} = V_{fp} - V_{D3} \quad (3,4)$$

$$V_{RAM} = 4,3 \text{ volt.}$$

Esta tensión hace que D2 quede polarizado en forma directa, pero con una tensión insuficiente (0,2 volt) para crear la avalancha en polarización directa, por lo que D2 no conduce.

Experimentalmente se demostró que hasta con 3 volt. de polarización en la RAM, funciona satisfactoriamente.

Por otro lado, cuando se produce una falta de la fuente primaria, la RAM es alimentada vía D2 con 3,8 volt. tensión suficiente para mantener los datos en ella almacenados; D3 evita el consumo de la batería por parte del uP en ésta condición y D4 es un supresor de transientes, el cual absorbe las variaciones transitorias de la fuente al producirse la falta de evitar así que estos pulsos produzcan alguna variación en el contenido de la RAM.

Se elegirán para D² y D³ el diodo IN4007 y para el diodo D⁴ el ICTE-5 (tabla b).

3.3.2. Protección del Sistema al usar una interrupción distinta de $\overline{\text{NMI}}$

Al usar una línea de interrupción distinta de $\overline{\text{NMI}}$, el circuito deberá respaldar a todo el sistema desde cuando se produzca la falla, hasta que el uP haya realizado la rutina de salvado de registros y a partir de un instante, seguir protegiendo sólo a la P^{AM}.

Para esto se usaran las señales del circuito de control, de manera de suministrar el respaldo al uP, como muestra en la fig 3.6.

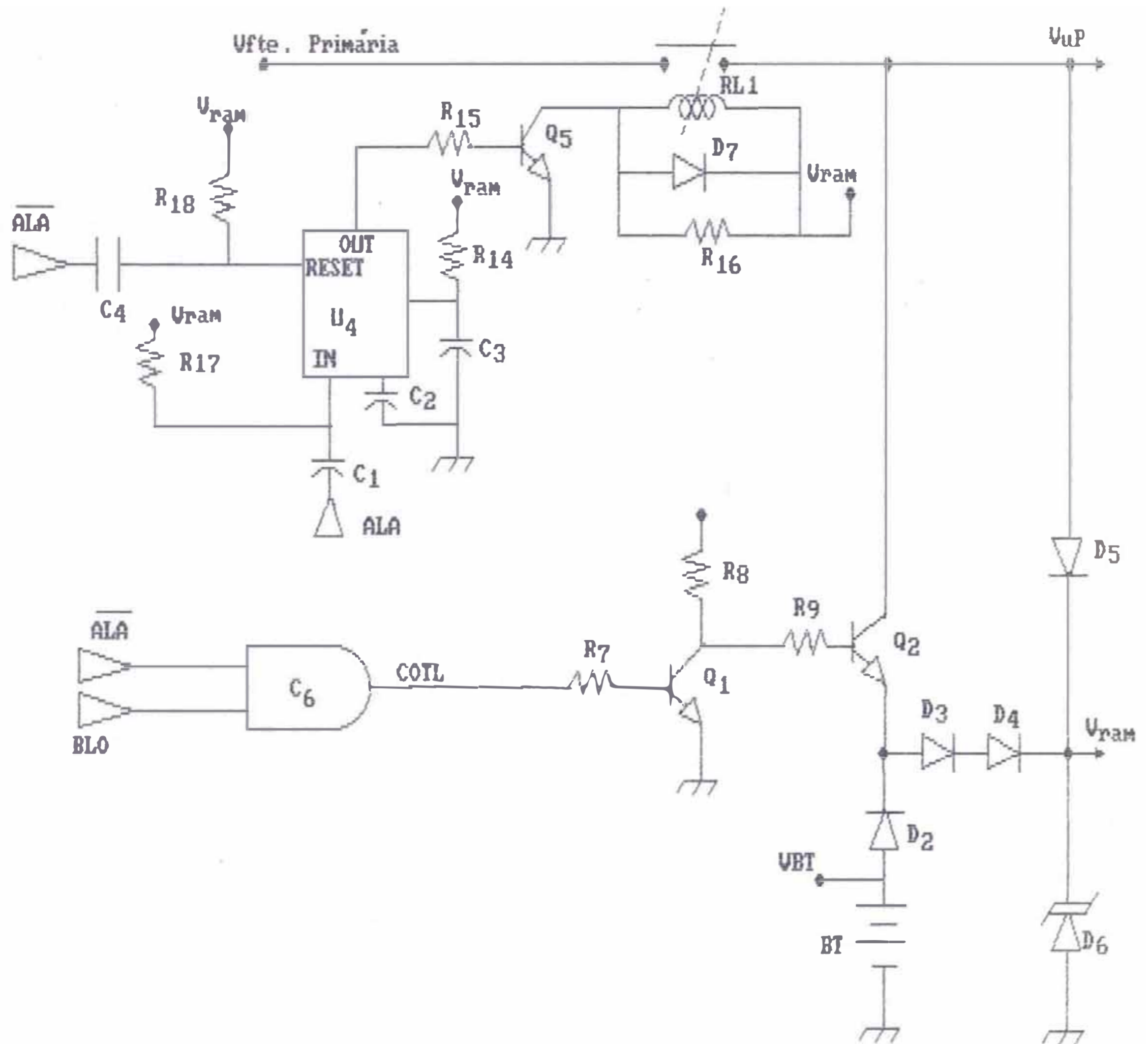


Fig. 3.6. Circuito de protección de sistemas y RAM.

El circuito es controlado por las señales BLO y \overline{ALA} , las controlan a $O1$ y $O2$, que actúan en corte y saturación y por la señal \overline{ALA} , que actúa sobre el mono-estable. La figura 3.7 muestra las señales provenientes del circuito de control.

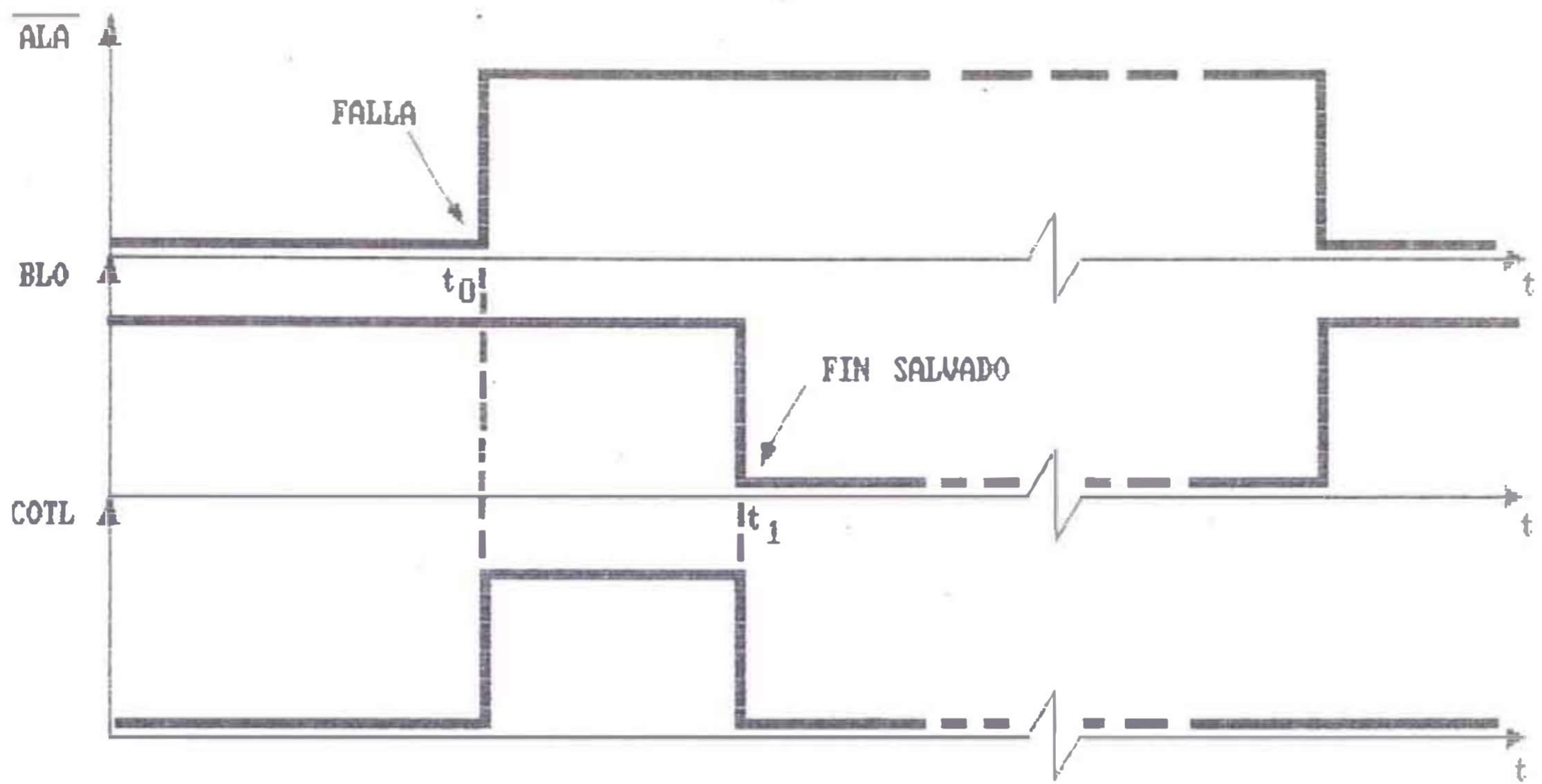


Fig. 3.7 Diagrama de tiempos de las señales \overline{ALA} y BLO , $COTL$.

Antes de t_0 , el transistor $Q1$ se encuentra en corte, lo que hace que en la base de $Q2$ se tenga una tensión alta, con lo que $Q2$ también está en corte. Entre t_0 y t_1 , $Q1$ se encuentra saturado, producto de la salida de $C6$, saturado a $Q2$, el cual suministra corriente al μP .

En el instante t_1 , $Q1$ y $Q2$ vuelven a cortarse, con lo que este último deja de suministrar corriente al μP .

Como la CPU no funciona con una polarización menor de 4,5 volt, a diferencia de la RAM, se precisa una

batería de mayor tensión que la del caso anterior, por lo que se elige una batería de 6 volt. por ser comercialmente disponible. El diodo D2 provee 0,7 volt de caída de tensión para ajustar, por medio de la tensión colector-emisor de saturación de Q2, el voltaje a suministrar al uP. De y D4 bajan la tensión de BT para impedir la circulación de corriente desde la batería hacia la RAM en presencia de Vfp. D6 es un supresor de transientes.

Cuando se produce las fallas, el circuito detector de energía solicita la interrupción y con ello Q2 comienza a suministrar la polarización al uP, por lo que se hace necesario aislar la alimentación primaria del microprocesador, para evitar que el circuito de control detecta los 5 volt suministrados por Q2, se requiere que el dispositivo que aisle ambas etapas, tenga una caída de tensión baja, un diodo sería el dispositivo ideal pero se requiere de un dispositivo por el cual circule 1A máx. Y que la caída de tensión en sus terminales, sea menor o a lo sumo igual que 0.1 volt, para no limitar el tiempo de salvado, razón por la cual se ha elegido un relé en configuración de contactos normal cerrado, el cual es abierto por el monostable por un tiempo suficiente para no producir la realimentación y mantener aislada la alimentación del uP.

Para C6 se usará una unidad sobrante del circuito de control y de interrupciones; Q2 debe ser un transistor PNP, capaz de suministrar la corriente requerida por el sistema, que en el caso de MPF-1 es del orden de 800mA , además, debe tener una característica de V_{CEsat} del orden de $0,3\text{ volt}$ para suministrar al μP , 5 volt , éstas condiciones las cumple el MJ2955 de Motorola. Según las curvas de V_{CE} de sat vs. I_B , para una corriente de colector de 1A con una corriente de base de 20 mA , se tiene $V_{CEsat2} = 0,25\text{ volt}$ lo que daría al μP $5,05\text{ volt}$ de polarización.

Para saturar a Q2 se requiere una corriente de base de 20 mA , luego Q1 se calcula para una I_{C1} de 20 mA , para lo cual se elige el 2N2222 de Motorola, el que con una corriente I_B de 2mA asegura la saturación. En estas condiciones se tiene $V_{CEsat1} = 0,4\text{ volt}$, luego :

$$R9 = \frac{V_{R9}}{I_{B2}} \quad (3.5)$$

Siendo:

$$V_{R9} = 6 - 0,7 - 0,4$$

$$V_{R9} = V_{bt} - V_{D2} - V_{BE2} - V_{CEsat1} \quad (3.6)$$

$$V_{R9} = 4,2\text{ volts y } R9 = 210\Omega$$

Para asegurar la saturación se elegirá $R9 = 150\Omega$

Por otro lado :

$$R7 = \frac{VR7}{IB1} \quad (3.7)$$

$$\text{Donde } VR7 = VOHC6 - VBEsat1 \quad (3.8)$$

VOHC6 es la tensión de salida alta de la compuerta C6, siendo VOH típico de 3,4 volts

Luego $R7 = 1350\Omega$ para asegurar la saturación

$$R7 = 1,2K\Omega$$

Puesto que la corriente de saturación de Q1 se suministra vía R9, la contribución de R8 no es relevante, importante de manera que se elegirá para una corriente de 2 mA cuando Q1 esté en saturación

$$VR8 = VBT - VCEsat1 \quad (3.9)$$

Como $VR8 = 5,6$ volt, entonces :

$$R8 = \frac{VR8}{IRS} \quad (3.10)$$

Luego $R8 = 2.800\Omega$, para asegurar la baja contribución $R8 = 3,3 K\Omega$.

Los diodos D2 a D5 son diodos rectificadores de silicio, con una tensión en polarización directa de 0,7 volt por lo que se elige el IN 0007, los que suministrarán 4,3 volt a la RAM en condiciones normales de funcionamiento de la fuente primaria y 3,9 volt cuando ésta no esté presente.

D6 es un supervisor de transientes, para lo cual se elige el ICTE-5.

El relé es activado por el mono-estable (M.E.) U4 para el cual se elegirá el LM555. Este es disparado por la señal ALA a través de C1. R14 y C3 definen el tiempo de duración del pulso de salida, el cual satura a Q5, abriendo de esta forma el relé durante la permanencia alta de U4. Esto impide la realimentación de la tensión suministrada por Q2 hacia el comparador U1, evitando que este último detecte que la fuente está nuevamente en su valor nominal. C2 provee el control de voltaje del M.E. R17 mantiene la entrada alta ya que ME se dispara con un flanco de bajada ($1/3$ de VCC).

El reset del M.E. es conectado a la señal ALA a través de C4, de manera que si la tensión retorna antes del tiempo definido de operación M.E., el relé vuelva a su posición de reposo, esto es cerrado.

Para asegurar que la tensión suministrada por Q2 no se realimente al AO, se elegirá un tiempo mayor que de salvado. Este tiempo está dado en el M.E. por la ecuación (3.11).

$$t_{ME} = 1,1 \times R14 \times C3 \quad (3.11)$$

Definiendo un tiempo de 1 segundo y $C3 = 10 \mu F$, se obtiene $R14 = 90909 \Omega$, luego se elige $R14 = 100K \Omega$ con lo que se obtiene $tPE = 1,1 \text{ seg.}$ en este tiempo la subrutina de salvado ya concluido, puesto que tarda solo unas decenas de $\mu\text{seg.}$ con lo que se cuenta con el resto del tiempo para mantener deshabilitada la interrupción. $C2$ se elige de $0.01 \mu F$ (tomando del manual de National); $C1$ y $C4$ son condensadores de baja capacidad para producir un flanco, por lo que se elige de $50 \mu F$. $R17$ y $R18$ son resistencias Full- μF , por lo que se eligen de $10K \Omega$, lo que da un tiempo de carga de los condensadores de $500 \mu\text{seg.}$ que es mas que suficiente para producir el disparo ya que con algunos μseg son activadas.

Por otro lado se elige $RL1$ el W64RFCX-1 de magnecraft, el cual tiene las siguientes características:

- Voltaje de operación de la bobina 4,2 a 10,6 volts
- Resistencia de la bobina $80 \Omega \pm 8 \Omega$
- Potencia nominal en la bobina 450 mW
- Max. corriente en el contacto 8 A con 250 VAC.

Luego al operar el relé, por $Q5$ circulará una corriente I_C aproximada de 63 mA , se elegirá el 2N2222, con lo que se calcula una corriente de

bases suficiente para producir la saturación de U5, esto es $I_B = 6mA$. Por otra parte se tiene que :

$$R_{15} = \frac{V_{oh} - V_{BE\ sat5}}{I_{B5}} \quad (3.12)$$

La salida típica del LM555 es de 3,3 volts, luego de la ecuación 3.12 se calcula $R_{15}=433\Omega$, para asegurar la saturación se tomará $R_{15}=390\Omega$. R_{16} se elige 2,2 K Ω y el diodo D7 es 1N4007, el cual es usado para suprimir los transientes desarrollados en la bobina del relé.

3.4. Software

El programa de salvado de registros, consiste de una serie de instrucciones que almacenan en el STACK (RAM) todo los registros generales de la CPU cuando se produce una falla. Este es ejecutado como consecuencia de una solicitud de interrupción. En una segunda etapa, el programa debe recuperar todos los registros y seguir la ejecución del programa principal.

3.4.1. Algoritmo

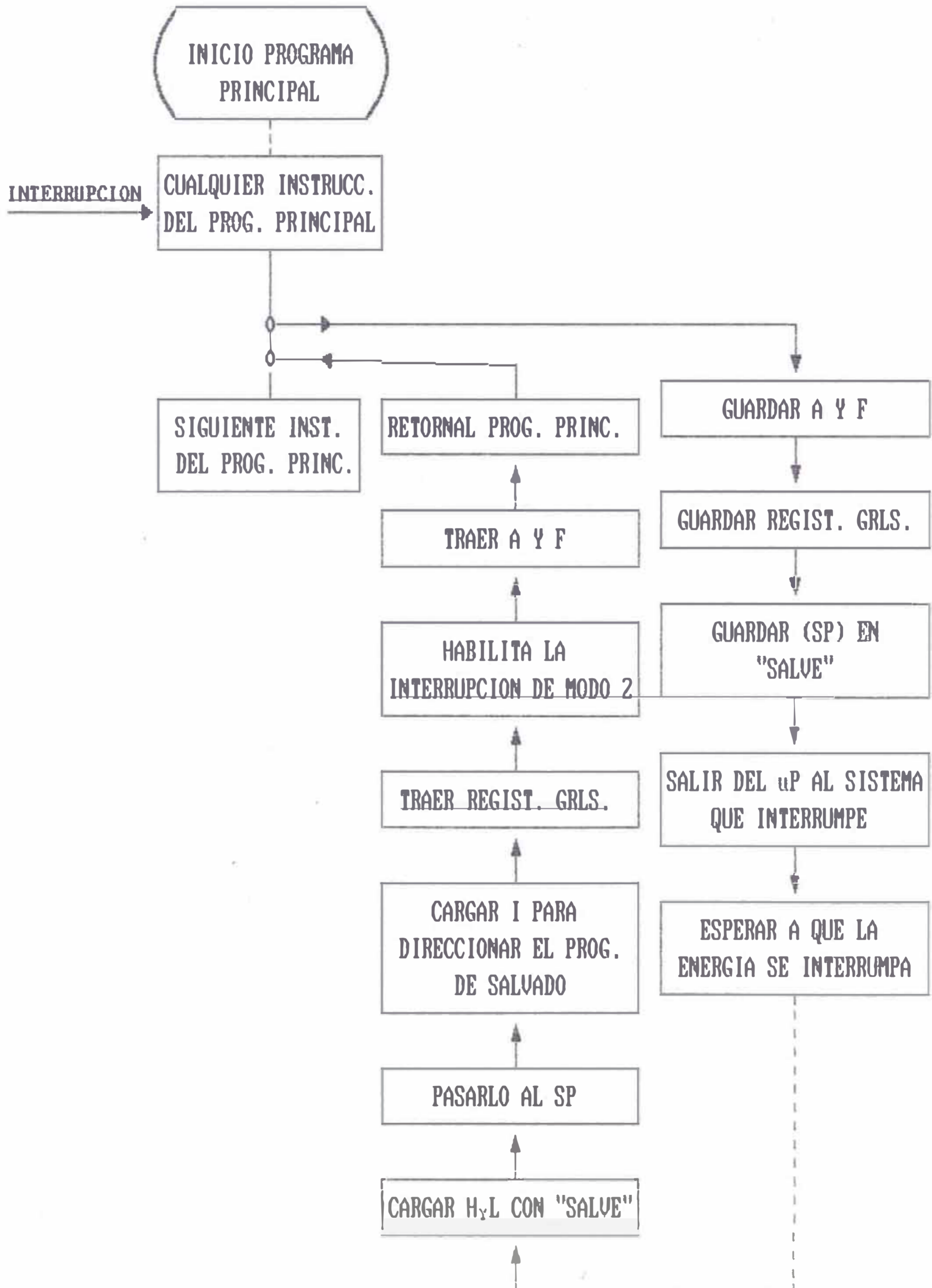
El programa se indica con una solicitud de interrupción y su posterior aceptación. El PC es guardado automáticamente en STACK. Luego a rutina de servicio asociada guarda en STACK el acumulador y el registro de banderas. En

seguida se guardan los registros generales B, C, D, E, H y L y después se almacena el par de registros apuntador de pila SP en una dirección predeterminada, la que se denominará "SALVE" y finalmente se dará aviso al dispositivo externo que el salvado ha concluido.

El retorno al programa principal se realiza en forma manual, el que se inicia cargando el contador de programa PC con la dirección de inicio del programa de retorno, el cual comienza cargando el par de registros SP con el contenido de "SALVE", luego se trae desde el SATCK los registros generales L, H, E, D, C y B; después se trae el registro de bandera y el acumulador, luego se habilita la interrupción de modo 2 y finalmente se retorna al programa.

3.4.2. Diagrama de flujo

NOTA: El retorno al programa principal debe ser iniciado manualmente por el usuario, cargando el PC con la dirección de inicio de la subrutina de restauración.



3.5. Limitaciones del Sistema MPF-I

El MPF-I por ser un sistema desarrollado para uso general, posee ciertas características, que se convierten en inconvenientes para el propósito deseado. Debido a esto se hará una breve descripción de ellas.

En lo que dice relación con las líneas de interrupción como ya se ha visto en los capítulos anteriores posee 2 niveles de interrupciones cuya utilización es la que se describe.

$\overline{\text{NMI}}$; usada por el programa del monitor del MPF-I
 $\overline{\text{INT}}$; disponible para el usuario.

Esta distribución hace posible solo elegir $\overline{\text{INT}}$

Debido a que $\overline{\text{INT}}$ se puede usar en tres modos, utilizaremos el modo 2 porque espera una dirección los otros dos esperan una instrucción; sin embargo hay dos precauciones que se deberán tomar: primero se deberá tener habilitada esta interrupción durante la ejecución de programas y segundo, a esta interrupción le precede uno de mayor prioridad y si, eventualmente, ocurriera una falla de energía durante la ejecución de una rutina de servicio asociada esta línea, se producirá el rechazo del programa de protección, por lo menos hasta que se completen estas rutinas, con el consiguiente riesgo de destrucción de programas.

Por otra parte el programa monitor, utiliza un sector de la RAM comprendido entre las direcciones 1F9F y 1FF3 lo que deja libre para el usuario 1964 posiciones de memoria, que al usar el programa de salvado disminuyen a 1953 posiciones libres para el usuario.

Por último se usará una de las salidas de la RAM para comunicar al circuito de control, que la subrutina de salvado a concluido.

3.6. Montaje del Circuito

Al uP se le han hecho algunas variaciones las cuales se detallan a continuación.

1ro. La alimentación de la RAM se ha intervenido de manera que sea suministrada por el circuito diseñado para ello.

2do. La línea de control CE de la RAM se ha intervenido para pasarla por una compuerta.

3ro. Se ha sacado una línea desde una de las salidas de la RAM.

3,7. Programa Salvado y Restauración Ordenado

NIVEL	OPCODE	NEMONICO	OBSERVACIONES
FALLA	F5	PUSH AF	salva A y F
	C5	PUSH B, C	salva B y C
	D5	PUSH D, E	salva D y E
	E5	PUSH H, L	salva H y L
	ED	LD (salve), SP	Carga SP
	73		
	50		
	18		
	D3	OUT (C5), A	Carga dato OUT
	C5		
76	HLT	espera	
RETORNO	2A	LD HL, (1850)	Carga HL con salve
	50		
	18		
	F9	LD SL, HL	Ponerlo al SP
	E1	POP H L	Traer todos los registros generales
	D1	POP DE	
	C1	POP BC	
	F1	POP AF	
	3E	LD A, 18	Carga I para direccionar el programa de salvado.
	18		
	ED	LD I, A	
	47		
	ED	IM2	Habilitar la interrupción del modo2
	5E		
FB	E1		
ED	RET I	Retorno al programa principal.	
40			

Ambas subrutinas deberán ser grabadas por el usuario en la última parte disponible de la RAM, desde la dirección 1920 hasta 1951, además se deberán grabar

al comienzo del programa del usuario las siguientes instrucciones :

NIVEL	OPCODE	NEMONICO	OBSERVACIONES	
1. INST. DEL PROGRAMA	3E	LD A, 18	Cargar el registro I la dirección del Programa.	
	18			
	ED	LA I, A		
	47			
	21	LD HL, 1920		
	20			
	19			
	22	LD(18FF), HL		
	FF			
	18			
	ED	IM2		Habilitar la interrupción de modo 2
	SE			
	FB	EI		
	31	LD 8L, 1F9C		
9C				
1F				
C3	JP 1820	Saltar al Programa Principal.		
20				
18				

Estas interrupciones habilitan la interrupción modo 2 solamente, por lo que el usuario puede manejarlas dependiendo de sus necesidades, teniendo la precaución de mantener habilitada en todo momento la interrupción modo 2.

El programa de salvado utiliza 11 posiciones de memoria y la memoria disponible del MPF-I parte en la dirección 1800 y termina en la dirección 1FFF

inclusive. De manera que, la rutina de salvado se deberá iniciar en la dirección 1920 y las direcciones 1850 y 1851 deben ser reservadas para SALVE.

En la dirección 18FF se deberá grabar un salto a la dirección "FALLA", ya que la aceptación de la interrupción causará un salto RST a la dirección mencionada.

Finalmente, el retorno al programa principal, una vez que la energía ha retornado, deberá en el PC la dirección de inicio de la subrutina de restauración (1940) y se le ejecutará, volviendo de esta forma el punto donde fue interrumpido el programa principal.

CAPITULO IV

CONCLUSIONES Y RECOMENDACIONES.

4.1. Resultados

El tiempo que emplea sistema en salvar el programa es de 68 useg, mas el tiempo que podría estar habilitado la interrupción; dentro de este tiempo está considerado que en el momento de que se produce la interrupción, el microprocesador el uP comenzará a ejecutar la instrucción más larga del juego.

El tiempo que el sistema puede mantener los datos almacenados en RAM dependerán de la capacidad de la batería a usar, razón por la cual no se especifica su característica de corriente, sin embargo el consumo total de la batería es de 100mA, este valor no considera el consumo del uP, pero si la de la RAM y del circuito desarrollado.

Los programas realizados mostraron una alta razón de efectividad sistema de respaldo, la que fue de un 96%, sobre la base de 50 pruebas realizadas.

La causa más frecuente de fallas, del sistema de respaldo, se produce cuando el corte de alimentación ocurre en la cercanía física del uP, por ejemplo al apoyar la fuente cuando ésta se encuentra el lado del uP, lo que causa cambios en algunas de las direcciones de la RAM, debido al arco que se produce en el corte, sin embargo este origen de falla no es usual.

Por otro lado, la capacidad de la batería dependerá del tiempo que se desea proteger la información. Por ejemplo, usando una batería del tipo GELITE SOULD modelo FB-626 de 6 voltios/2,6AH, con un consumo de 86 mA, se tendrán unas 20 horas de uso. Usando 6 celdas de NICAD del tipo GOULD modelo 100b de 1 voltios/100mAH, con el mismo consumo se tendrá 1,16 horas de uso.

4.2. Recomendaciones.

Al construir y probar la solución escogida se encontraron algunos problemas de funcionamiento, razón por la cual se desarrollaron algunos cambios, también se hicieron algunas adaptaciones por disponibilidad las cuales son detalladas a continuación.

1.- En el diseño de la solución se calculó el circuito de control en forma general, sin embargo al usar la RAM 6116 fue necesario cambiar la compuerta C5 de la figura 3.4, ya que esta ne-

- moria usa un nivel lógico alto para bloquear la transferencia de datos por medio de la línea de control de datos por medio de la línea de control CERAM, de manera que se cambió la compuerta C5 por una NAND. Esto produce una inversión de la señal CELP, de forma tal que se incluyó otra compuerta NAND para su previa inversión.
- 2.- Para la compuerta C6 de la figura 3.6 se usaron dos NAND sobrantes, para no incluir otro circuito integrado.
 - 3.- Para la compuerta C1 de la figura 3.4 se usó la otra NAND disponible para producir la inversión de la señal ALA.
 - 4.- Debido a que la salida del comparador u1 de la figura 3.2 es cargada por cuatro compuertas (Fig. 3.4), más la entrada de u4 (fig. 3.6), se utilizó una interfase para no cargar a u1, usando un doble inversor con transistores.
 - 5.- Al producir la falla en la fuente de alimentación, el monoestable abre el relé RL1 aislando la fuente primaria del uP1 lo que se puede apreciar en la figura 3.6, en este instante Q2 está suministrando la tensión al uP. Debido a que el relé permanece abierto

durante 1,1 seg, cuando este se cierra la subrutina de salvado ya ha concluido y Q2 se encuentra cortado. Si la energía retorna antes que RL1 se cierre, se produce una diferencia de tensión en los contactos de relé de 5 voltios que al cerrarse hace que la fuente baje su tensión y el detector de energía u1 se active, abriendo nuevamente el relé, convirtiéndose este efecto en un proceso repetitivo.

Para solucionar este problema se incorporó un diodo en los contactos del relé, de manera de bajar la caída de tensión a 0,7 voltios, consiguiéndose un resultado positivo.

Todos estos cambios están en el anexo 1 donde se muestra el circuito en forma global.

4.3. Conclusiones

Con el trabajo realizado se logró el objetivo de tener un respaldo al uP, ante desvanecimientos o cortes totales de la alimentación. Sin embargo por estar limitado al MFF-I, que es un sistema para fines generales, el circuito de respaldo es un poco más amplio ya que se está usando una interpretación mascarable y de una prioridad intermedia. No obstante la aplicación de este respaldo a un diseño específico, simplifica esta situación, incluso es

posible grabar la subrutina de respaldo en ROM, de manera que el usuario no necesite alterar su estructura de programación, usando la línea de interrupción \overline{NMI} .

En lo que se refiere al retorno al programa principal, debe ser hecho en forma manual, el cual se realiza cargando el PC con la dirección de inicio de la subrutina de restauración, la que se encuentra en una dirección específica de la RAM. Se deja planeado, para un trabajo futuro, la realización de un respaldo a un sistema específico, con retorno automático el programa principal.

El trabajo realizado, desde el punto de vista global, es aplicable a un gran número de microprocesadores usados en la actualidad, por lo tanto es de carácter general.

El sistema posee una dependencia de la constante de tiempo del filtro, por lo que la protección no es garantizada, ante una falla en la salida de la fuente primaria.

Debido a los diferentes tipos de baterías que es posible usar, en cuanto a capacidad de corriente, no se desarrolló un cargador para darle más autonomía al sistema, sin embargo su incorporación puede ser realizada.

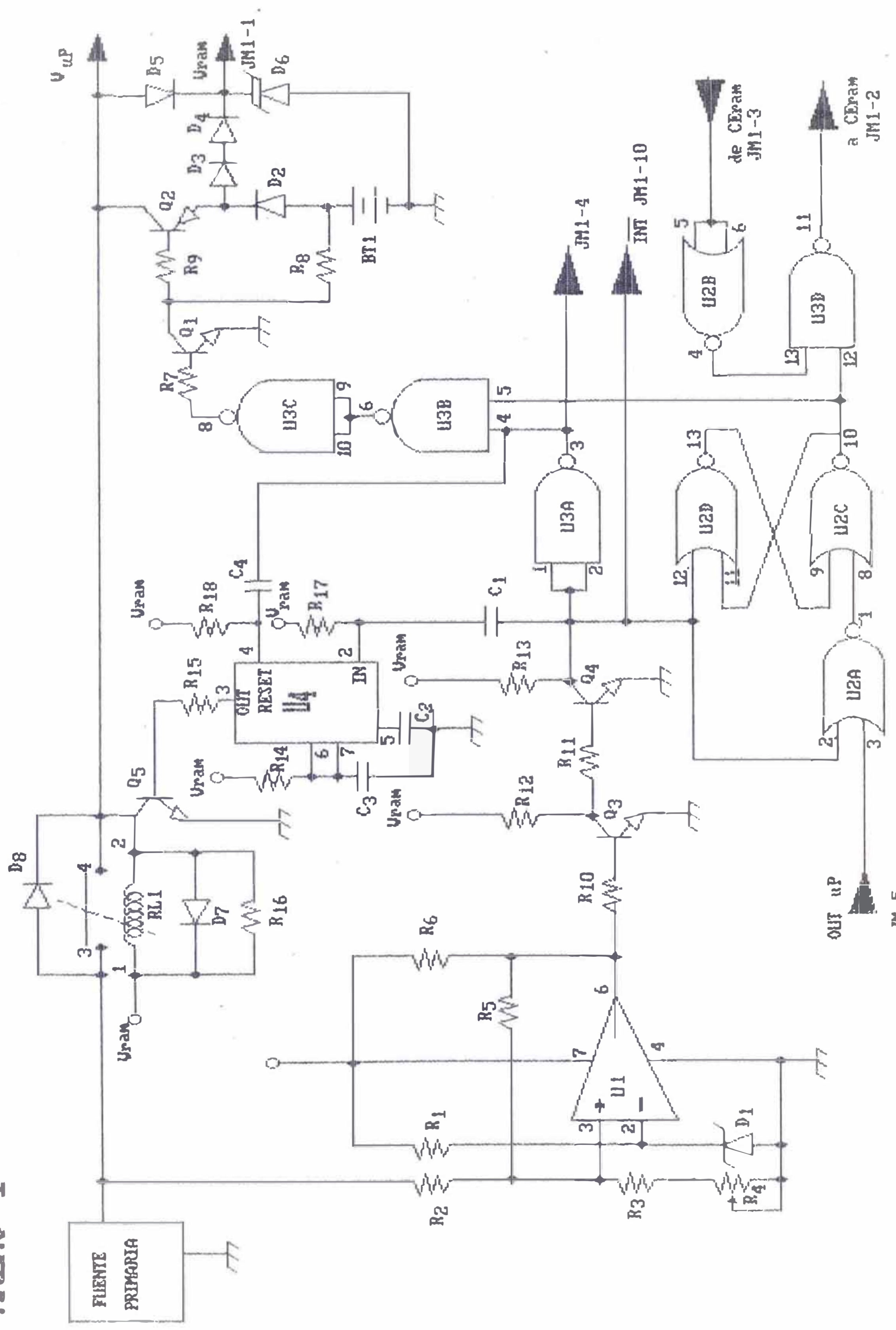
BIBLIOGRAFIA

- 1.- Angulo J.A.: "Electrónica Digital Moderna", (libro)
2a. Edición, Paraninfo, Madrid, 1982.
- 2.- Angulo J.M.: "Microcomputadoras, Arquitectura, Programación y Desarrollo de Sistemas",
(libro) 1a. Edición, Paraninfo,
Madrid, 1981.
- 3.- Greane Jeraldo: "Applications of Operational Amplifier"
(libro), Mc Graw-Hill, USA, 1973.
- 4.- Hewlett-Packard Company: "Basic Circuits Casebook",
(libro), USA, 1969.
- 5.- Hewlett-Packard Company: "Basic Circuits Casebook",
(libro), USA, 1984.
- 6.- Hewlett-Packard Company: "Optoelectrónica / Fiber-Optics Applications Manual", (libro),
2a. Edición Mc Graw-Hill Book, USA,
1981.

- 7.- Intel Corporation: "MCS-85 User's Manual", (libro),
USA 1979.
- 8.- Intel Corporation "SDK-85 System Design Kit User's
Manual", (libro) USA 1988.
- 9.- Millman-Halkias: "Integrated Electronics: Analog and
digital circuit and System", (libro)
Edición Internacional del estudiante,
Mc Graw-Hill, Tokyo, 1972.
- 10.- Motorola Inc.: "Linear Integrated Circuits",
(libro), 2a. Edición, USA, 1979.
- 11.- Motorola Inc.: "The Semiconductor Data Library",
Series A Vol. I, (libro), USA, 1974.
- 12.- Motorola Inc.: "The Semiconductor Data Library"
Series A Volumen III, (libro), USA,
1974.
- 13.- Motorola Inc.: "Zener Diode Manual", (libro), USA,
1980.
- 14.- National Semiconductor Corporation: "Línea Data
Book", (libro), USA, 1980.
- 15.- Texas Instrument Inc.: "The Linear control Circuits
Databook" (libro), 2a, Ed., USA, 1980

A N E X O S

ANEXO 1



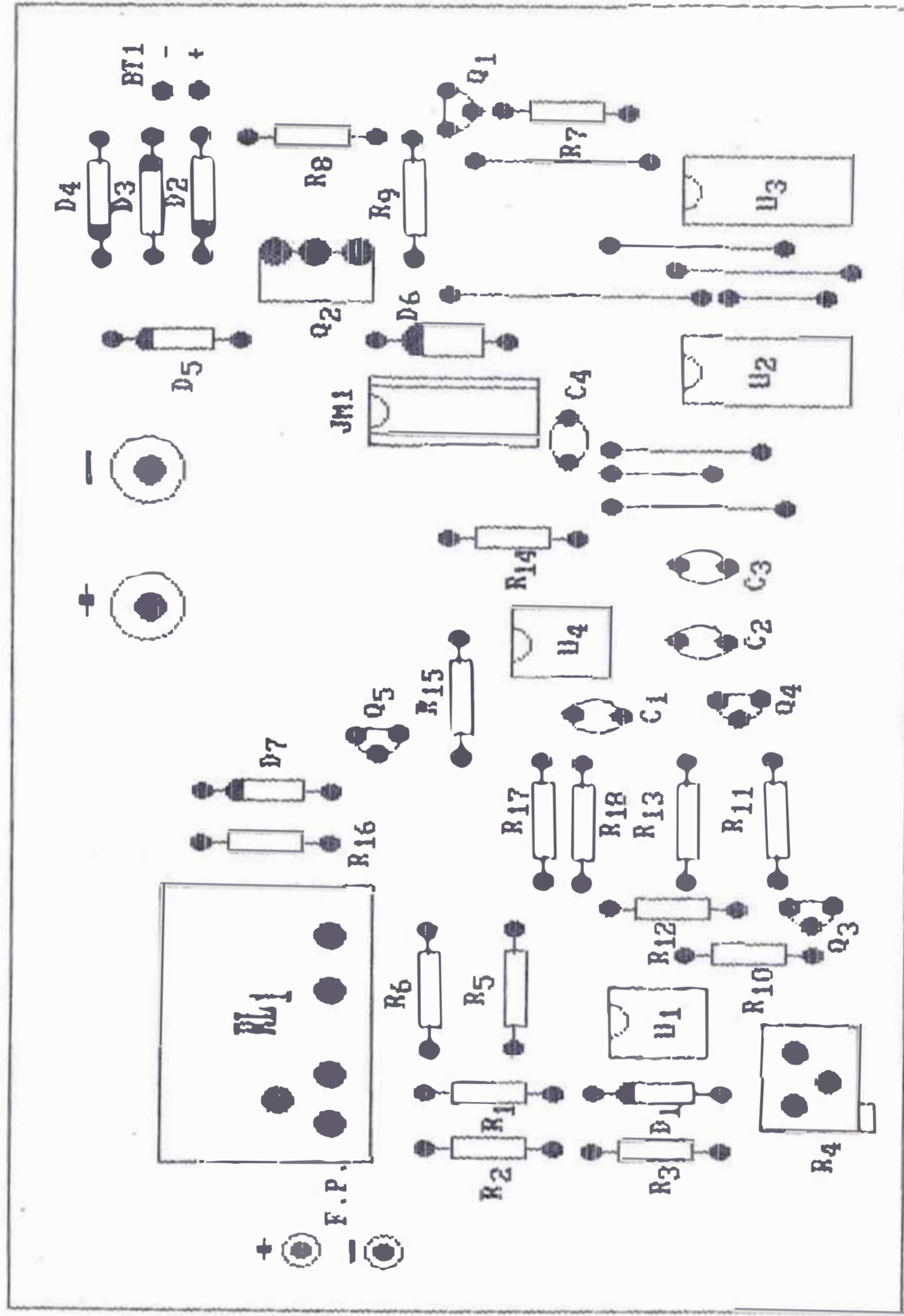
CIRCUITO GENERAL DE LA SOLUCION ESCOLIDA

ANEXO 2

PRESUPUESTO Y LISTA DE COMPONENTES

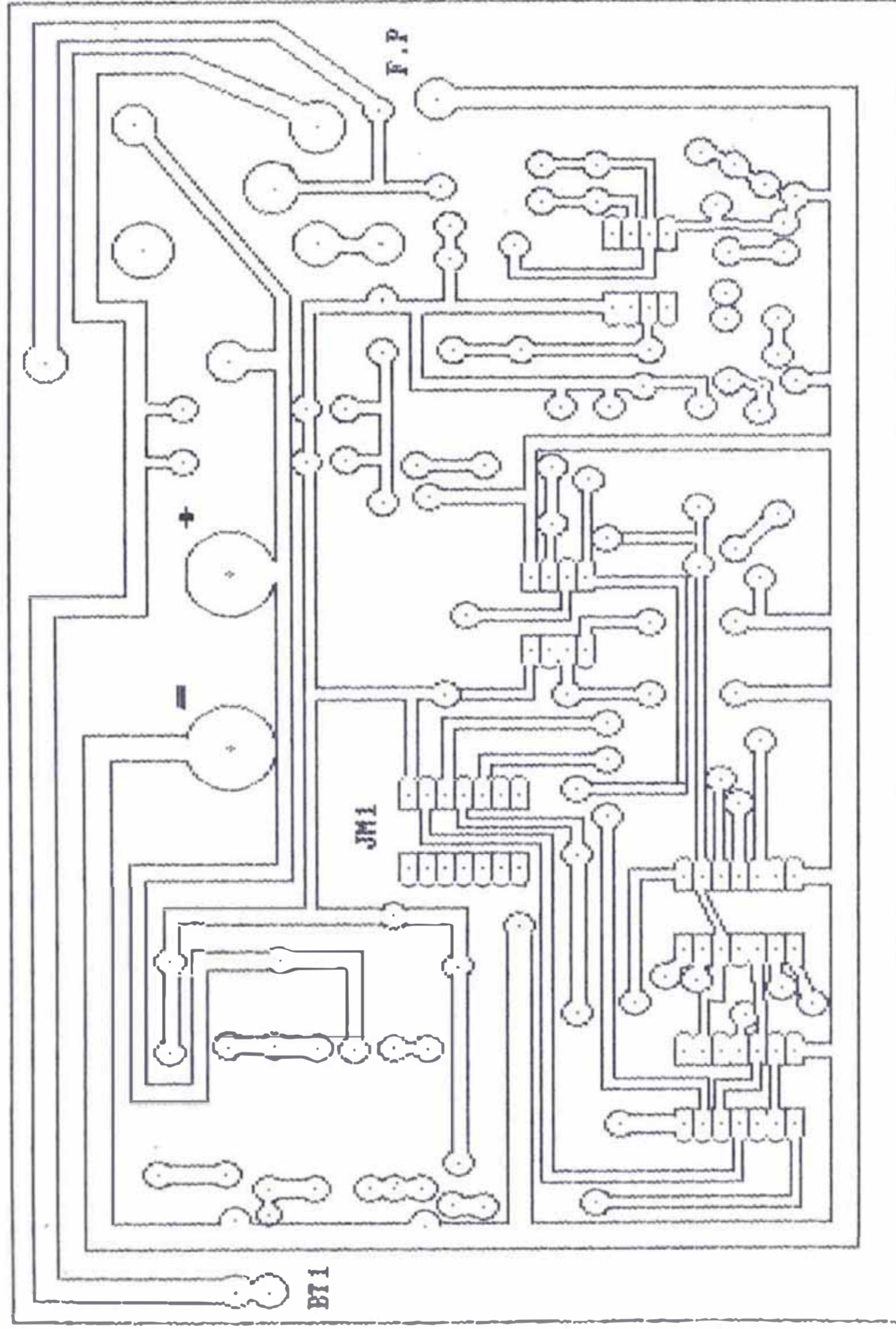
DENOMINACION	Nº FABRICACION	CARACTERISTICAS	CANTIDAD	PRECIO UNIT S/.	PRECIO TOTAL S/.
BT1	-----	1.5V 800 mA H	4	1	4
C1	-----	50 nf.	1	0.3	0.3
C2	-----	0.01 uF	1	0.3	0.3
C3	-----	10 uF 35V tant.	1	0.5	0.5
C4	-----	50 nf	1	0.3	0.3
D1	1N4728	Zener .,3 V.	1	0.8	0.8
D2	1N4007	1000 V. 1A.	1	0.5	0.5
D3	1N4007	1000 V. 1A.	1	0.5	0.5
D4	1N4007	1000 V. 1A.	1	0.5	0.5
D5	1N4007	1000 V. 1A.	1	0.5	0.5
D6	1CTE-5	Sup. Trans. 5W.	1	1	1
D7	1N4007	1000 V. 1A.	1	1	1
D8	1N4007	1000 V. 1A.	1	1.5	1.5
Q1	2N2222	Prop. Generales	1	1.5	1.5
Q2	TIP 2955	15 A. 150 W.	1	2	2
Q3	2N2222	Prop. Generales	1	1.5	1.5
Q4	2N2222	Prop. Generales	1	1.5	1.5
Q5	2N2222	Prop. Generales	1	1.5	1.5
R1	-----	680, 1/2 Watts	1	0.1	0.1
R2	-----	2.2KΩ 1/2 Watts	1	0.1	0.1
R3	-----	3.3KΩ 1/2 Watts	1	0.1	0.1
R4	-----	1KΩ Pot.	1	0.1	0.1
R5	-----	100KΩ 1/2 Watts	1	0.1	0.1
R6	-----	2.2KΩ 1/2 Watts	1	0.1	0.1
R7	-----	1.2KΩ 1/2 Watts	1	0.1	0.1
R8	-----	2.2KΩ 1/2 Watts	1	0.1	0.1
R9	-----	150 Ω 1/2 Watts	1	0.1	0.1
R10	-----	220KΩ 1/2 Watts	1	0.1	0.1
R11	-----	1 KΩ 1/2 Watts	1	0.1	0.1
R12	-----	2.2KΩ 1/2 Watts	1	0.1	0.1
R13	-----	2.2KΩ 1/2 Watts	1	0.1	0.1
R14	-----	100KΩ 1/2 Watts	1	0.1	0.1
R15	-----	390 Ω 1/2 Watts	1	0.1	0.1
R16	-----	2.2KΩ 1/2 Watts	1	0.1	0.1
R17	-----	10 KΩ 1/2 Watts	1	0.1	0.1
R18	-----	10 KΩ 1/2 Watts	1	0.1	0.1
RL1	W65RPCX1	8A. 250V. AC-6V, 880	1	5	5
U1	LM7441	Amp. Op.	1	1.5	1.5
U2	74LS02	Comp. NOR	1	1.5	1.5
U3	74LS00	Comp. NAND	1	1.5	1.5
U4	LM555	TIMER	1	1	1
COSTO TOTAL					32.0

ANEXO 3



CIRCUITO IMPRESO LADO DE COMPONENTES

ANEXO 4



CIRCUITO IMPRESO