

UNIVERSIDAD NACIONAL DE INGENIERÍA

FACULTAD DE INGENIERÍA ELÉCTRICA Y ELECTRÓNICA



DISEÑO E IMPLEMENTACIÓN DEL MÓDULO DE CAPTURA DE DATOS DEL SISTEMA UNIFICADO DE CONTROL EN TIEMPO REAL –SUCTR, PARA LA SUPERVISIÓN DE LAS MÁQUINAS TRAGAMONEDAS POR PARTE DE MINCETUR Y SUNAT

**INFORME DE COMPETENCIA PROFESIONAL
PARA OPTAR EL TÍTULO PROFESIONAL DE:
INGENIERO ELECTRÓNICO**

**PRESENTADO POR:
EDGAR ZÚÑIGA GONZALES**

**PROMOCIÓN
2003-II**

**LIMA-PERÚ
2014**

**DISEÑO E IMPLEMENTACIÓN DEL MÓDULO DE CAPTURA DE
DATOS DEL SISTEMA UNIFICADO DE CONTROL EN TIEMPO
REAL –SUCTR, PARA LA SUPERVISIÓN DE LAS MÁQUINAS
TRAGAMONEDAS POR PARTE DE MINCETUR Y SUNAT**

A mis padres, Lucio y Evangelina.

A mi esposa Sahara

A mis hijas Julia y Tania

SUMARIO

En el presente informe se explica el diseño e implementación de una tarjeta electrónica denominada "módulo de captura de datos" la cual pertenece al "Sistema Unificado de Control en Tiempo Real" o SUCTR, y que tiene la finalidad de que las Salas de Juego cumplan con la exigencia del Ministerio de Comercio Exterior y Turismo (MINCETUR) y de la Superintendencia Nacional de Aduanas y de Administración Tributaria (SUNAT), de que sus máquinas tragamonedas sean fiscalizadas contablemente en tiempo real. Siendo esta una oportunidad de negocio para satisfacer la demanda de las salas de juego.

Entre las normas se cuentan diversas leyes, decretos supremos de MINCETUR y resoluciones de superintendencia SUNAT, las cuales son detalladas en el capítulo I.

La solución general del sistema consta de lo siguiente:

- El módulo de captura de datos a ser instalado en cada máquina tragamonedas.- El diseño incluye diversos submódulos (suministro de energía, conexión serial, Ethernet, lectura de pulsos, memoria, etc.) y se incluye su respectivo firmware y software. El módulo de captura es la interfaz entre la máquina tragamonedas y un servidor.
- La aplicación web.- Con su respectiva interfaz gráfica de usuario, se ejecuta sobre cualquier explorador de Internet realizando diversas prestaciones sobre un servidor. Interroga y recibe la información de cada módulo de captura, procesa la información y brinda acceso a las instituciones fiscalizadoras a esta información.

La solución de hardware ha sido desarrollada por el autor del presente informe, mientras que la aplicación web por otro equipo de trabajo, sin embargo también se describe esta herramienta.

ÍNDICE

INTRODUCCIÓN	1
CAPÍTULO I	
PLANTEAMIENTO DE INGENIERÍA DEL PROBLEMA	3
1.1 Descripción del problema	3
1.2 Objetivos del trabajo	3
1.3 Evaluación del problema	3
1.4 Alcance del trabajo	7
CAPÍTULO II	
MARCO TEORICO CONCEPTUAL	9
2.1 Esquema básico de funcionamiento del tragamonedas	9
2.2 Protocolos de transferencia de información del estado del tragamonedas	11
2.2.1 Protocolo SAS	11
2.2.2 Protocolo Xseries	12
2.2.3 Protocolo Dacom	13
2.3 Interfaces de comunicaciones seriales	15
2.3.1 Interfaz serial RS232	15
2.3.2 Interfaz serial RS422	17
2.3.3 Interfaz serial RS485	20
2.3.4 Transceptor UART	22
2.4 Interfaz Ethernet	22
CAPÍTULO III	
METODOLOGÍA PARA LA SOLUCIÓN DEL PROBLEMA	27
3.1 Requerimientos de la solución	27
3.2 Opciones tecnológicas y dimensionamiento	28
3.2.1 Opción 1	28
3.2.2 Opción 2	29
3.2.3 Opción 3	29
3.3 Soporte físico del módulo de captura	31
3.3.1 Módulo de alimentación	32
3.3.2 Módulo de conexión serial	34
3.3.3 Módulo de Ethernet	37
3.3.4 Módulo de lectura de pulsos	37
3.3.5 Módulo de memoria	40
3.3.6 Construcción de tarjeta	41

3.4	Soporte lógico del módulo de captura.....	43
3.4.1	Firmware	43
3.4.2	Software	47
CAPÍTULO IV		
PRUEBAS, CRONOGRAMA Y COSTOS		49
4.1	Pruebas realizadas	49
4.3	Cronograma de trabajos.....	52
4.4	Estructura de costos.....	52
CONCLUSIONES Y RECOMENDACIONES		54
ANEXO A		
LM2576 - REGULADOR CONMUTADO AJUSTABLE 3A.....		55
ANEXO B		
SMD075F- FUSIBLE AUTORESETEABLE.....		61
ANEXO C		
AP1117 - REGULADOR DE TENSIÓN DE BAJAS PÉRDIDAS		63
ANEXO D		
65HVD08 - TRANSECTOR RS485		67
ANEXO E		
SP3222EBEY - TRANSECTOR RS232		71
ANEXO F		
DM9000EP - CONTROLADOR FAST ETHERNET MAC		76
ANEXO G		
FM25V10-G - MEMORIA NO VOLÁTIL DE 1 MEGABIT.....		79
BIBLIOGRAFÍA		84

INTRODUCCIÓN

La solución de ingeniería presentada en este trabajo surge por la necesidad de cumplir con las exigencias normativas peruanas para efectuar la fiscalización contable de cada una de las máquinas tragamonedas de toda sala de juego existente en el territorio peruano. Las normativas principales son las siguientes:

- Ley que regula la explotación de los juegos de casino y máquinas tragamonedas (Ley N° 27153).
- Reglamento para la explotación de los juegos de casino y máquinas tragamonedas (Decreto Supremo N° 009-2002-MINCETUR).
- Disposiciones relativas al Sistema Unificado de Control en Tiempo Real (Resolución de Superintendencia N° 145-2003-SUNAT).
- Ley de reordenamiento y formalización de la actividad de explotación de juegos de casino y máquinas tragamonedas (Ley N° 28945).
- Normas Técnicas Complementarias para la implementación del Sistema Unificado de Control en Tiempo Real – SUCTR (Decreto Supremo N°015-2010-MINCETUR).

Básicamente, el diseño del módulo de captura (colector) debía satisfacer los siguientes requisitos.

- Ser capaz de coleccionar los datos técnicos y contables de cada tragamonedas.
- Soportar la comunicación con distintos protocolos que se usan en la mayoría de máquinas tragamonedas, como son SAS, Xseries, Dacom.
- Ser lo más barato posible en su construcción de hardware.
- Soportar distintos protocolos de línea como RS232, RS485.
- Cumplir con las especificaciones dispuestas por MINCETUR y SUNAT.
- Ser confiable y fácil de dar soporte

Para la elaboración de la solución se propuso diseñar un circuito especial que se apoyara en un microprocesador que posea varios GPIO (General Input/Output Port). Para ello se seleccionó el S3C2440 ARM9 Board que cumpliría el rol de la tarjeta hija (daughter board).

El circuito propuesto estuvo pues conformado por la tarjeta hija (Micro2440), cuatro módulos de diseño propio (alimentación, serial, lector de pulsos, memoria no volátil) y uno compatible con la tarjeta hija (el módulo de Ethernet).

El presente informe de competencia profesional está organizado en cuatro capítulos

principales:

- Capítulo I "Planteamiento de ingeniería del problema".- En este capítulo se explica el problema de ingeniería y se precisan los objetivos. También se hace una evaluación de la problemática y se establecen los alcances del proyecto desarrollado
- Capítulo II "Marco Teórico conceptual".- En este capítulo se explica el esquema de funcionamiento de un tragamonedas orientado a la información que proporciona y que es requerida por MINCETUR. Además se explican los protocolos existentes relacionados a brindar información sobre el estado de las máquinas tragamonedas.
- Capítulo III "Metodología para la solución del problema".- Este capítulo se enfoca en exponer el diseño del Módulo de Captura del Sistema Unificado de Control en Tiempo Real, al cual MINCETUR lo denomina "colector". Se especifican los requerimientos, se presentan las opciones tecnológicas, y luego se presenta el diseño del soporte físico (hardware) y del lógico (firmware y software).
- Capítulo IV "Pruebas, Cronograma y Costos".- Se tocan los temas involucrados a las pruebas realizadas, al presupuesto y al cronograma del proyecto de ingeniería.

CAPÍTULO I PLANTEAMIENTO DE INGENIERÍA DEL PROBLEMA

En este capítulo se explica el problema de ingeniería y se precisan los objetivos de la tesis. También se hace una evaluación de la problemática y se establecen los alcances del proyecto desarrollado.

1.1 Descripción del problema

Necesidad del Ministerio de Comercio Exterior y Turismo (MINCETUR) y de la Superintendencia Nacional de Aduanas y de Administración Tributaria (SUNAT), de realizar una fiscalización contable en tiempo real de las máquinas tragamonedas.

1.2 Objetivos del trabajo

Diseñar e implementar el módulo de captura del Sistema Unificado de Control en Tiempo Real (SUCTR), para que éste sistema sea comercializado entre las casas de máquinas tragamonedas, las cuales están obligadas a transmitir la información requerida, cumpliendo así con las normativas vigentes a las que están sujetas.

El SUCTR debe:

- Lograr la certificación por parte de las entidades designadas por MINCETUR.
- Ser un producto óptimo, es decir que pueda competir en el mercado con las soluciones presentadas por otras empresas.

1.3 Evaluación del problema

La ley N° 27153, "Ley que regula la explotación de los juegos de casino y máquinas tragamonedas" [1], entró en vigencia el 18 de junio de 1999, teniendo como finalidad preservar y proteger a la ciudadanía de los posibles perjuicios o daños que afectan la moral, la salud y seguridad pública; así como promover el turismo receptivo; y establecer el impuesto a los juegos de casino y de máquinas tragamonedas. Esta ley Derogó la legislación y reglamentación previa relativa a los mismos aspectos. La ley N° 27153 tiene el objetivo de:

- Garantizar que los juegos de casino y máquinas tragamonedas sean conducidos con honestidad, transparencia y trato igualitario.
- Establecer medidas de protección para los grupos vulnerables de la población.
- Evitar que la explotación de los juegos de casino y de máquinas tragamonedas sea empleada para propósitos ilícitos.

Posteriormente, con la ley N° 27796 [2] del 24 de julio de 2002 "Ley que modifica artículos de la Ley N° 27153, que regula la explotación de los juegos de casino y máquinas tragamonedas 227134", se incluye en su primera disposición final, lo relacionado a lo desarrollado en el presente informe. Literalmente indica lo siguiente:

"Las empresas que actualmente explotan juegos de casino y máquinas tragamonedas en hoteles 3 (tres), 4 (cuatro) y 5 (cinco) estrellas, restaurantes turísticos de 5 (cinco) tenedores y en bingos y discotecas, deben implementar dentro de un plazo de un (1) año, contado a partir de la vigencia de la presente Ley, un sistema computarizado de interconexión en tiempo real a un computador central, interconectado a su vez con la SUNAT y el Ministerio de Comercio Exterior y Turismo, en cada uno de los establecimientos donde operan, de tal forma que facilite las labores de control y fiscalización.

Este requisito es exigido para aquellas empresas que decidan explotar juegos de casino y máquinas tragamonedas en los lugares establecidos en el Artículo 6° de la Ley N° 27153 y sus modificatorias.

El software y hardware de aplicación informática del sistema unificado de control de juegos de casino y máquinas tragamonedas será renovado a los tres (3) años de uso. Su amortización y depreciación respectiva será durante este período."

En resumen, el plazo establecido para la implementación del sistema computarizado vencía el 26 de julio de 2003 (un año después del día siguiente de su publicación).

También en el año 2002, mediante Decreto Supremo N° 009-2002-MINCETUR [3], se aprueba su reglamento que dispone, entre otros aspectos, que la SUNAT en coordinación con el MINCETUR establecerá las características técnicas para el SUCTR.

Según lo mencionado, es que el 25 de julio de 2003, SUNAT emite la Resolución de Superintendencia N° 145-2003-SUNAT [4], en la cual establece y define lo siguiente: el Sistema Unificado de Control en Tiempo Real, sus características técnicas, el ingreso de información, el sustento de la información contenida en el computador central, las acciones de control y la vigencia.

Este reglamento, en su anexo A, se especifican las características técnicas, pero estas se enfocan en la información diaria requerida para cada máquina tragamonedas: fecha de registro, código/serie/fabricante/número de registro/etc. de la máquina, tipo de moneda, contadores iniciales y finales, así como su diferencia, el ingreso bruto, tipo de cambio, etc. Mediante esta resolución, se da un nuevo plazo para la implementación del SUCTR, es decir para el 31 de diciembre de 2003. A pesar de lo precisado, pasado el plazo establecido, la exigencia del sistema computarizado no fue aplicada.

Años después, con la ley N° 28945 [5] "Ley de reordenamiento y formalización de la

actividad de explotación de juegos de casino y máquinas tragamonedas”, del 22 de diciembre de 2006, se complementa las leyes antes mencionadas, destacando en ella la creación de la Dirección General de Juegos de Casino y Máquinas Tragamonedas (DGJCMT), teniendo entre sus funciones “f) Establecer sistemas de fiscalización y control de las operaciones de las mesas de juego, máquinas tragamonedas y proceso de conteo.”

Es recién en el año 2010, mediante Decreto Supremo N°015-2010-MINCETUR del 1 de setiembre de 2010 [6], que se aprueba el reglamento “Normas Técnicas Complementarias para la implementación del Sistema Unificado de Control en Tiempo Real - SUCTR”, y en la cual se basa finalmente el diseño. Este reglamento tuvo la finalidad de complementar lo especificado en la Resolución de Superintendencia N° 145-2003-SUNAT, para que así, tanto SUNAT como MINCETUR, “cuenten con información fehaciente de los datos económicos así como de los eventos significativos generados por cada una de las máquinas tragamonedas instaladas y lograr que el SUCTR constituya un mecanismo eficiente de control, fiscalización y determinación del monto a pagar por concepto del impuesto a los juegos de máquinas tragamonedas” [6].

De acuerdo al Decreto Supremo mencionado, es MINCETUR el órgano competente para autorizar y registrar los Modelos SUCTR, así como autorizar a las Entidades Calificadas, además de fiscalizar la correcta operación de los Modelos SUCTR instalados en las salas de juegos. Por otro lado, SUNAT realiza la recaudación y administración del Impuesto.

El Decreto supremo mencionado, establece la obligatoriedad de contar con un SUCTR por local, con acceso irrestricto para las entidades fiscalizadoras las 24 horas de los 365 días del año. También que el costo del SUCTR, del enlace y demás aspectos relacionados, sea asumido por cada titular.

El reglamento define al SUCTR de la siguiente manera: “El modelo SUCTR constituye un mecanismo en tiempo real que facilita las labores de fiscalización y control de las salas de juego así como del correcto cálculo del monto a pagar por concepto del impuesto” [6], y precisa que el SUCTR debe:

1. Garantizar la integridad, confidencialidad, disponibilidad, certeza, transparencia y eficacia de los resultados generados por cada una de las máquinas tragamonedas que operan en la sala de juegos.
2. Garantizar técnicamente la inviolabilidad de los datos que generen todas y cada una de las máquinas tragamonedas que se explotan en una sala de juegos, posibilitando una auditoria permanente en las salas de juegos y/o el domicilio fiscal del Titular (in situ) por parte del MINCETUR y/o la SUNAT. La auditoría por parte de MINCETUR permitirá incluir

toda la arquitectura, hardware y/o software que formen parte integral del Modelo SUCTR instalado; asimismo, a través de la aplicación web se mostrarán los requerimientos de reportes en línea que soliciten el MINCETUR y/o la SUNAT.

3. Proporcionar al MINCETUR y/o a la SUNAT la información necesaria para garantizar fehacientemente la información de los contadores así como los eventos significativos generados por cada una de las máquinas tragamonedas en explotación en la sala de juegos.

Dado que la implementación del SUCTR no implicaba que cada empresa diseñara su propio producto, el reglamento estableció ciertas condiciones en relación al fabricante de la solución, en resumen que, antes de ser implementado en la sala de juegos, el fabricante cuente con el Certificado de Cumplimiento emitido por una Entidad Calificada, luego de haber pasado las pruebas, ensayos y certificaciones de idoneidad, conforme a las condiciones técnicas establecidas en el anexo I de tal reglamento. Siendo así, la DGJCMT verificaría el cumplimiento de los requisitos señalados para entonces emitir la autorización y registro del Modelo SUCTR correspondiente, a fin de que ya pueda ser utilizado.

El Anexo I de dicho reglamento, es un documento extenso, pero que está estructurado de la manera siguiente, precisando los aspectos técnicos de:

1. Colector y transmisor de datos.
2. Servidor y la base de datos.
3. Protocolo de comunicaciones.
4. Datos económicos (ver nota)
5. Eventos significativos, es decir datos técnicos (ver nota)
6. Reloj del sistema.
7. Copias de seguridad y la restauración.
8. Modificación de los datos.
9. Control de acceso al modelo SUCTR.
10. Terminal o estaciones de trabajo.
11. Requisitos para el acceso remoto.
12. Interfaz para contador electromecánico (circuito acondicionador).
13. Interfaz convertidor de protocolos externo al colector y transmisor de datos.
14. Seguridad del jugador y las máquinas tragamonedas.
15. Inmunidad electrostática.
16. Interferencia electromagnética.
17. Generación de reportes (ver nota).
18. Condiciones de seguridad y auditoria

Nota: Los ítems 4, 5 y 17, recurren a su vez a los Anexos I-A, I-B y I-C, los cuales especifican la estructura de las tramas y los datos económicos y técnicos que deben contener.

Este reglamento especificaba un nuevo plazo, el 1 de octubre del 2011, para que todos los titulares de salas de juegos de máquinas tragamonedas cumplan con instalar, implementar y operar un Modelo SUCTR en cada una de las salas de juego. Sin embargo, el 14 julio 2011, mediante Decreto Supremo N° 012-2011-MINCETUR [7], realiza modificaciones a este reglamento, destacándose el nuevo plazo para el 1 de julio de 2012, pudiéndose prorrogar por 90 días calendario para la instalación, implementación y puesta en funcionamiento del SUCTR. Adicionalmente, se da la condición de carácter opcional a la aplicación WEB.

Finalmente, mediante la ley N° 29829 [8], se modifica la primera disposición final de la ley N° 27796, en donde se establece un nuevo plazo de seis meses contados a partir de 8 de enero. Además se modifica lo relacionado al hardware y software:

“La renovación del hardware y software del Sistema Unificado de Control de Tiempo Real (SUCTR) se realizará cada tres (3) años, computados a partir de la fecha de instalación, implementación y puesta en funcionamiento de dicho sistema en cada sala de juegos de máquinas tragamonedas, siempre que MINCETUR a través de la DGJCMT determine que tales equipos y/o programas han devenido en obsoletos, con relación a las nuevas tecnologías y/o necesidades de control y fiscalización”

Según lo expuesto, la empresa que desarrolla la solución que contiene el presente informe, decide conformarse en proveedor autorizado del SUCTR. El equipo técnico de la empresa definió que la solución constaría de dos etapas:

- Una etapa de hardware (con su respectivo firmware y software), es decir el módulo de captura, el cual se constituye en una interfaz entre la máquina tragamonedas y un servidor.
- Una etapa de software, es decir una aplicación, que ejecuta una serie de prestaciones sobre un servidor y permite la conectividad con las instituciones fiscalizadoras.

El módulo de captura es desarrollado por el autor del presente informe, mientras que la aplicación es realizada por otro equipo de trabajo.

1.4 Alcance del trabajo

El trabajo desarrollado en el informe de competencia se enfoca en explicar la metodología y el diseño del módulo de captura (hardware, software y firmware). Complementariamente, a efectos de ilustrar la solución global, se presentará la información pertinente correspondiente a la etapa de software propiamente dicha. El autor del presente informe no desarrolla el diseño de la etapa de software (web y

servidores), por haber sido esta etapa desarrollada por otros profesionales.

El informe se desarrolla tomando en consideración los aspectos de confidencialidad exigidos por la empresa dueña de la patente.

El diseño ha sido efectuado cumpliendo los requerimientos impuestos por MINCETUR en sus distintas normativas. Así mismo, es necesario recalcar que la solución global se encuentra actualmente implementada, luego de haber sido certificada por las entidades designadas y haber recibido la autorización y registro de parte de la DGJCMT.

La solución global fue planteada para ser diseñada, certificada y puesta en marcha en cinco meses bajo un presupuesto límite por pieza (solo hardware de 270 dólares).

CAPÍTULO II MARCO TEORICO CONCEPTUAL

En este capítulo se explica el esquema de funcionamiento de un tragamonedas orientado a la información que proporciona y que es requerida por MINCETUR. Además se explicarán los protocolos existentes relacionados a brindar información sobre el estado de las máquinas tragamonedas.

2.1 Esquema básico de funcionamiento del tragamonedas

Las máquinas tragamonedas tienen una determinada lógica de juego al azar con la que vienen programadas que hace que den o no un premio cuando se las utiliza.

Las máquinas tragamonedas están compuestas de las siguientes partes principales que son mostradas en la Figura 2.1:

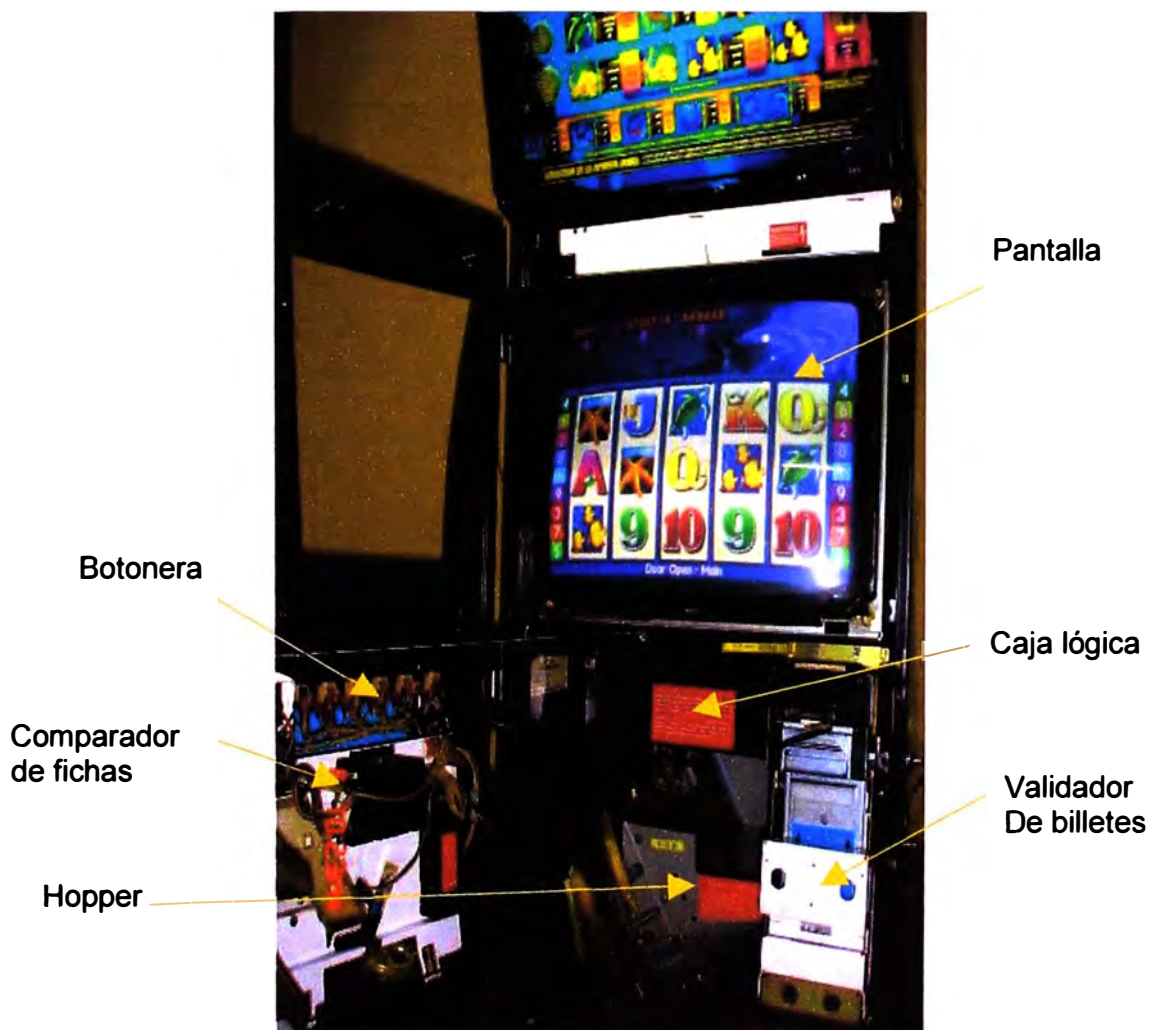


Figura 2.1 Partes de un tragamoneda

- La pantalla: es el dispositivo que se encarga de mostrar las imágenes y animaciones propias del juego en curso.
- La botonera: está compuesto por botones o pulsadores colocados en la parte frontal de la maquina tragamonedas, estos se usan para realizar las apuestas y otras acciones. Estos botones suelen tener indicados para lo que se utilizan y algunos de estos son:
 - o botones líneas: se utiliza para escoger cuantas líneas distintas se van a apostar por tiro o apuesta.
 - o botones créditos: se utiliza para escoger cuantos créditos se van a apostar por líneas.
 - o botón cobrar: que se usa para cobrar y retirar todo el crédito indicado en el marcador de créditos.
 - o botón doblar: se usa para doblar una jugada ganadora, no todas las maquinas cuentan con este botón.
 - o botón tomar lo ganado: Se usa para cobrar solo los premios y acumularlos al crédito total.
 - o botón de servicio: Se utiliza para indicar mediante el encendido de una luz que se encuentra en la parte superior de la máquina que el cliente que juega la maquina requiere de servicio del personal de sala tragamonedas. La apuesta está dada por la multiplicación del número de líneas escogido por la cantidad de créditos seleccionados.
- El Hopper: Este se utiliza para pagar las fichas cuando se presiona el botón de cobrar. Es un sistema electromecánico compuesto por un plato giratorio, un motor y un sensor óptico o en algunos casos un interruptor eléctrico que se utiliza para contar las fichas salientes mientras el motor gira el plato que recolecta dichas fichas.
- El validador de billetes: Es un dispositivo que recibe los billetes y dependiendo de la denominación de la maquina dará el correspondiente crédito que se carga al crédito total en máquina.
- La Caja lógica o Procesadora: que es la parte donde se encuentra la tarjeta principal, que contiene los microprocesadores, microcontroladores, las memorias ya sean del tipo flash, EPROM, EEPROM Y RAM. En las maquinas antiguas los archivos binarios del juego estaban grabados en EPROM y ahora se graban en distintos tipos de memorias flash. Esta tarjeta es la encargada de controlar todo el sistema electrónico de la maquina tragamonedas y también de la lógica animaciones y matemática del juego.
- La fuente de Poder: Es la encargada de suministrar la corriente necesaria para los distintas partes electrónicas con la que cuenta la maquina tragamonedas.
- El comparador de fichas: es un dispositivo encargado de validar la ficha ingresada. Funcionan comparando la ficha entrante con una ficha de muestra, otros más modernos se programan con muestreo de fichas mediante sensores ópticos y magnéticos.

La mayoría de máquinas tragamonedas cuentan con puertos de comunicación, que pueden ser seriales como RS232 y RS422, pero las más modernas ahora cuentan con puertos Ethernet.

Mediante estos puertos y a través de un protocolo se pueden obtener información contable y técnica del funcionamiento de las máquinas tragamonedas que son las requeridas por parte de MINCETUR.

2.2 Protocolos de transferencia de información del estado del tragamonedas

Existen varios protocolos propietarios de transferencia de información, entre ellos tenemos: Xseries, SAS, Dacom, Gamma, etc. Todos ellos envían información contable, como del total de ingreso de fichas, el total de salida de fichas, el total ganado, el total jugado, etc. Y también información técnica como las fallas del billetero, las fallas del Hopper, las veces que se abrió la puerta y las veces que se cerró, las veces que se apagó y prendió la máquina, etc.

En este sistema solo se manejaron los siguientes protocolos: SAS, XSERIES, DACOM. Las máquinas antiguas no poseen protocolo y se aplicó la lectura de los metros electromecánicos. Se pasa a describir los protocolos usados.

2.2.1 Protocolo SAS

El protocolo SAS [9][10], es un protocolo serial propietario de IGT. Donde la comunicación entre el host y máquina de juego (tragamonedas) ocurre a través de un enlace serial a 19.2 kbps en un modo de activación (wakeup). El paquete de data consta de 11 bits, un bit de inicio, 8 de datos, un bit de activación (wakeup) y un bit de parada.

En modo de activación el host pone a uno el noveno bit cada vez que se envía el primer byte de un mensaje a la máquina de juego. Para todos los adicionales bytes en el mensaje este bit es cero. Las máquinas de juego usan el bit de activación para determinar si el recibido byte es el primero de un nuevo mensaje o un adicional byte del actual mensaje.

Las máquinas de juego ponen a cero el bit de activación para todos los bytes cuando estas responden al host. El puerto de interface generalmente sigue la especificación eléctrica EIA (Electronic Industries Alliance) RS232, según se muestra en la figura 2.2.

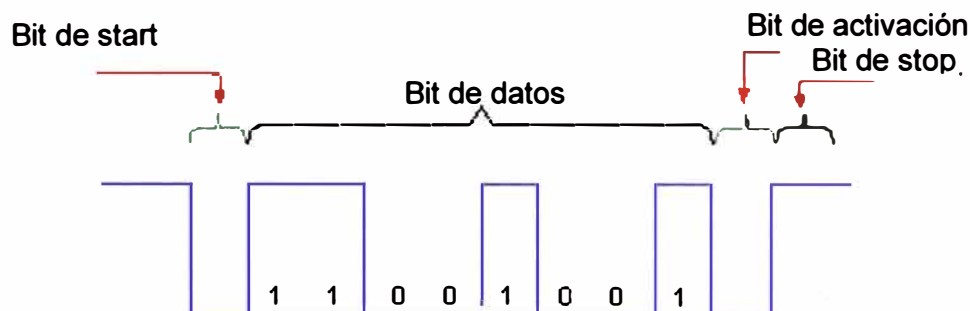


Figura 2.2 Trama de bits de SAS

Para la comunicación a la máquina de juego se le identifica con una dirección (address) en el rango de 0 a 127, cuando se configura la máquina de juego con dirección 0, esta ignora todas las comunicaciones del host.

El host utiliza dos tipos de preguntas para interrogar a la máquina de juego, utiliza una llamada pregunta general (general poll) y la otra llamada pregunta larga (long polls).

- El general poll.- Es usado para solicitar un evento excepción de una máquina de juego, el host transmite un mensaje simple que consiste en un OR de bytes entre la dirección de la máquina de juego y 80hex con el bit de activación en uno. La máquina de juego responde al general poll enviando un simple byte que indica una excepción.

- El long poll.- Es usado para solicitar una información específica de la máquina de juego y para configurar la máquina de juego. Existe seis tipos de preguntas largas (long polls) que están disponibles para la comunicación entre el host y la máquina de juego.

El protocolo SAS, tiene varias versiones desde la más antigua SAS versión 3 hasta las últimas versiones SAS versión 6.

El Protocolo SAS se ha convertido en el estándar de comunicaciones para los casinos en todo el mundo. En 2002, el Gaming Standards Association (GSA) reconoció oficialmente SAS 6 como el estándar de la industria.

2.2.2 Protocolo Xseries

Este protocolo es utilizado por las máquinas de origen australiano en su mayoría ya que este es un estándar de New South Wales (NSW) [11], el cual define los requerimientos de comunicación que existen entre la máquina de juego y un sistema centralizado de monitoreo. Este protocolo consiste en una trama de 128 bytes que la máquina de juego envía continuamente cada 1.5 segundos, y si la máquina de juego se le está jugando envía la trama de 128 bytes cada 15 segundos, se transfiere esta data a una velocidad de 9600 bps. El puerto de interface generalmente sigue la especificación eléctrica EIA (Electronic Industries Alliance) RS422. Cada carácter o dígito está representado por 11 bits (1 bit de start + 8 bits de datos (Paquete BCD) + 1bit de paridad (par) + 1 bit de stop). El byte de datos es transmitido con el LSB primero, el bit de paridad es transmitido después del MSB, como se muestra en la figura 2.3.

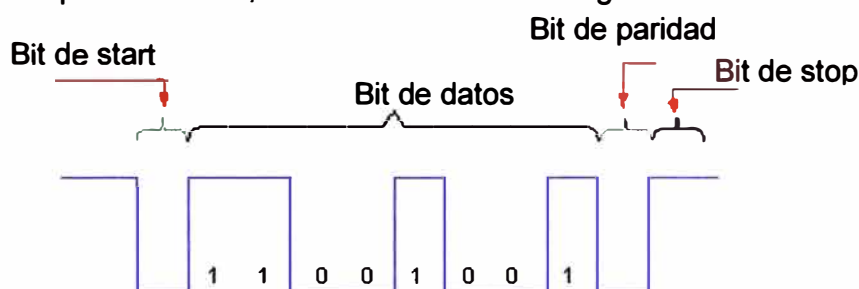


Figura 2.3 Trama de bits de Xseries

Por este puerto se transmite 3 tipos de bloques de datos, estas son: El Standard Data Block, CCCE Command1 y CCCE Command2.

El CCCE command1 y el CCCE command2 se usan para transferencia y retiro de créditos a la máquina de juego, lo cual no se utilizó en el proyecto.

El Standard Data Block, este bloque de datos la máquina de juego lo utiliza para enviar información contable y técnica, este bloque de datos si se utilizó en el proyecto. Se describe a continuación:

El Standard Data Block, es codificado en su mayor parte en paquetes en formato BCD, excepto en el byte de inicio que es en hexadecimal FF y los bytes de estado que se interpretan bit a bit indicando cada bit un estado de la máquina de juego.

La trama de datos consiste en un primer byte de cabecera igual a 0xFF, seguido por un byte 0x00 que identifica el tipo de bloque, seguido por 2 bytes que indican el número de versión del protocolo, seguido por un byte que indica la secuencia, seguido por 3 bytes que indican el GMID (Gaming Machine Identification), seguido por 5 bytes que describen los diferentes estados de la máquina, seguido por 49 bytes que indica los valores de los distintos contadores de la máquina de juego y por ultimo 2 bytes de checksum.

2.2.3 Protocolo Dacom

Este protocolo fue utilizado por máquinas de juego de origen norteamericano, este protocolo es utilizado para reportar la información contable de la máquina de juego y la condición o estado en que se encuentra.

Este protocolo tiene las siguientes características, según muestra la figura 2.4:

- Es uni-direccional
- Señal eléctrica estándar RS232.
- 9600 baudios de velocidad.
- 10 bit por carácter (1 bit start, 8 bits de datos, sin bit de paridad, 1 bit de stop)
- El protocolo tiene 2 tipos de paquetes de datos (Standard y Manufacturer data blocks).
- Cada paquete es de 128 bytes.

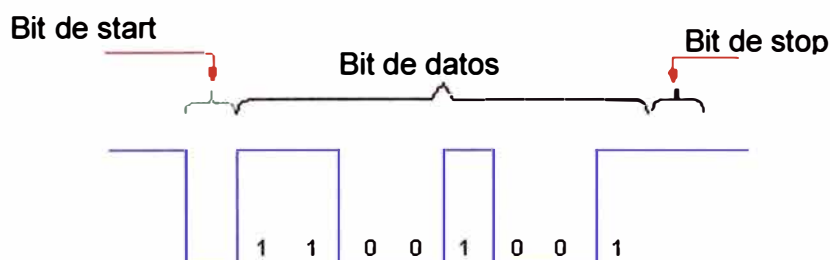


Figura 2.4 Trama de bits de Dacom

A continuación se explica lo concerniente a los paquetes "Standard Data Block" y "Manufacturer Data Block".

- El Standard Data Block (SDB).- Este paquete es transmitido bajo las siguientes circunstancias:

- o Después de un periodo de 3 segundos de haber ocurrido la última transmisión mientras la maquina este en idle o en un estado de reposo (nadie juega la maquina).
- o Después de un periodo de 3 segundos de haber ocurrido la última transmisión cuando la maquina estaba en un estado bloqueado (puede ser puerta abierta, mal funcionamiento de la billetera o del Hopper).
- o Después de un periodo de 15 segundos de haber ocurrido la última transmisión cuando la máquina tragamonedas entra en un ciclo de juego.

- El Manufacturer Data Block (MDB).- Este paquete es transmitido bajo las siguientes circunstancias:

- o Después de un periodo de 3 segundos de haber ocurrido la última transmisión mientras la maquina este en idle o en un estado no bloqueado (nadie juega la maquina).
- o Después de un periodo de 3 segundos de haber ocurrido la última transmisión cuando la maquina estaba en un estado bloqueado (puede ser puerta abierta, mal funcionamiento de la billetera o del Hopper).
- o Después de un periodo de 15 segundos de haber ocurrido la última transmisión cuando la máquina tragamonedas entra en un ciclo de juego.

El Standard data Block es alternado con el Manufacturer Data Block cada 1.5 segundos mientras la maquina este desocupada o en un estado no bloqueado o en un estado bloqueado.

La transmisión de los paquetes no es interrumpida por un cambio en el estado de la máquina de juego. La transmisión de los paquetes debe ser completada dentro de un periodo de 300 ms. Además la Transmisión del paquete MDB no interfiere de ninguna manera con el paquete MDB.

El Standard Data Block, envía información contable y técnica, este bloque de datos si se utilizó en el proyecto. Es similar al de Xseries, se diferencia en la interpretación de los bytes de estado. Se describe a continuación:

El Standard Data Block, es codificado en su mayor parte en paquetes en formato BCD, excepto en el byte de inicio que es en hexadecimal FF y los bytes de estado que se interpretan bit a bit indicando cada bit un estado de la máquina de juego.

La trama consiste de manera consecutiva de:

- Un (1) primer byte de cabecera igual a 0xFF,
- Un (1) byte 0x00 que identifica el tipo de bloque
- Dos (2) bytes que indican el número de versión del protocolo
- Un (1) byte que indica la secuencia

- Tres (3) bytes que indican el GMID (Gaming Machine Identification),
- Cinco (5) bytes que describen los diferentes estados de la máquina
- Cuarenta y nueve (49) bytes que indica los valores de los distintos contadores de la máquina de juego
- Por ultimo dos (2) bytes de checksum.

2.3 Interfaces de comunicaciones seriales

El proyecto fue diseñado considerando el uso de las interfaces seriales RS232, RS422 y RS485, en las subsecciones siguientes se desarrolla lo correspondiente a los aspectos físicos y eléctricos, así como al USART con el cual se habilita las funcionalidades para las tres interfaces utilizadas.

2.3.1 Interfaz serial RS232

RS-232.C significa literalmente "Recomendado Standard 232 revisión C" (también conocida como EIA/TIA RS-232C). El RS-232C es un estándar que constituye la tercera revisión de la antigua norma RS-232, propuesta por la EIA (Asociación de Industrias Electrónicas), que define las especificaciones mecánicas, eléctricas, funcionales y de procedimientos típicos de un protocolo orientado al enlace físico punto a punto, que deben presentar los elementos de conexión para la comunicación serie entre ordenadores y equipos periféricos [12].

Este puerto está presente en algunos ordenadores actuales, es la forma más comúnmente usada para realizar transmisiones de datos entre ordenadores, realizándose posteriormente un versión internacional por el CCITT (Comité Consultivo Internacional Telegráfico y Telefónico), actualmente UIT, conocida como V.24 [13]. Las diferencias entre ambas son mínimas, por lo que a veces se habla indistintamente de V.24 y de RS-232C (incluso sin el sufijo "C"), refiriéndose siempre al mismo estándar.

En la comunicación serial se distinguen dos tipos de dispositivos. Ver figura 2.5:

- Los equipos terminales de datos DTE ("Data Terminal Equipment"),
- Los equipos de comunicación de datos DCE ("Data Communication Equipment").

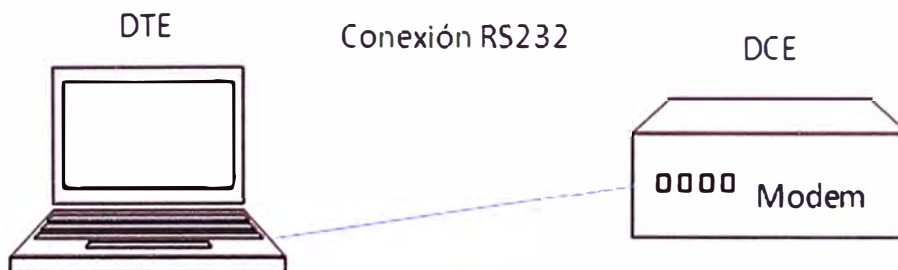


Figura 2.5 DTE y DCE respectivamente conectados serialmente

a. Especificaciones mecánicas

El conector empleado en RS-232 es un conector DB-9. El estándar define que el conector hembra se situará en los DCE y el macho en el DTE. Ver figura 2.6.



Figura 2.6 Conector DB9 Macho y hembra

Aunque es fácil encontrar excepciones. También es frecuente que muchas interfaces sólo incorporen parte de los circuitos descritos en la especificación. La disposición de los pines es la siguiente (respecto al conector macho). Ver figura 2.7:

- Pin 1.- DCD (Data Carrier Detect), detectora de portadora de datos
- Pin 2.- RXD (Received Data), recepción de datos.
- Pin 3.- TXD (Transmit Data), Transmisión de datos
- Pin 4.- DTR (Data Terminal Ready), Terminal de datos listo. Esta señal le indica al modem que está listo para entablar comunicación.
- Pin 5.- GND (Ground), tierra
- Pin 6.- DSR (Data Set Ready) Modem listo. Así el modem indica al Terminal que está preparado para entablar comunicación.
- Pin 7.- RTS (Request to Send) Petición de envío. Es la línea que dice al modem que el PC quiere enviar datos.
- Pin 8.- CTS (Clear to Send) Libre para envío. Es la línea que indica que el modem está preparado para recibir datos desde el PC
- Pin 9.- RI (Ring Indicator) Indicador de timbrado

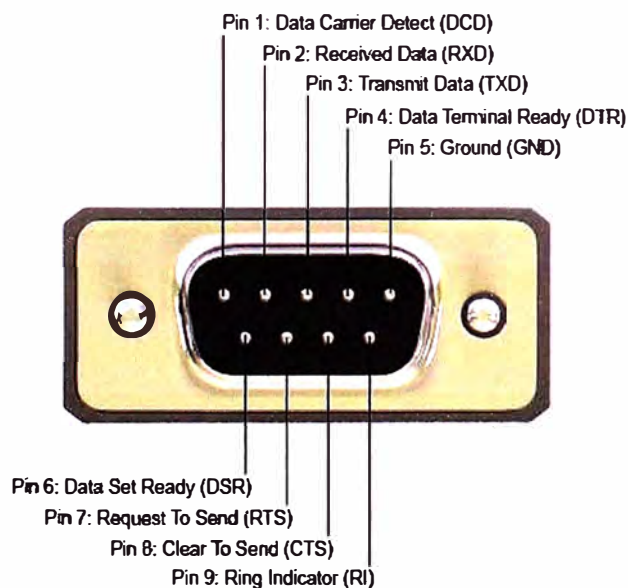


Figura 2.7 Distribución de pines

b. Especificaciones eléctricas

El interfaz eléctrico utiliza una conexión eléctrica asimétrica con circuitos no equilibrados, todos referenciados a tierra. Los estados lógicos son definidos por los niveles de voltaje mostrados en la figura 2.8:

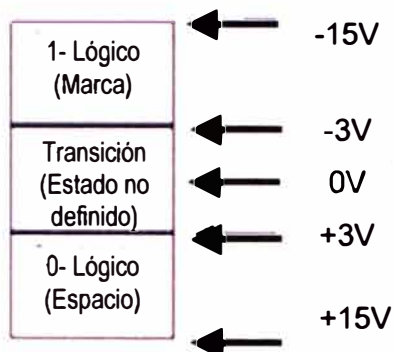


Figura 2.8 Niveles eléctricos/lógicos

La interfaz se utiliza a una razón de menos de 20Kbps para una distancia menor de 15m. En la práctica se pueden exceder estos límites utilizando cables de baja capacidad en entornos eléctricamente poco ruidosos.

2.3.2 Interfaz serial RS422

Como se indicó en la sección anterior, se utilizó en el proyecto una velocidad de 9600 bps para un cable de 1.5 m. no teniendo problema de comunicación alguna.

El ANSI/TIA/EIA-422-B es un estándar técnico del American National Standards Institute (ANSI). Llamado simplemente RS-422 que tiene su equivalente en la internacional Recomendación UIT-T T-REC-V.11. Este estándar especifica las características eléctricas de un circuito Transmisor/receptor, de señales digitales de voltaje balanceado o diferencial [14].

En una interfaz diferencial como la RS-422, los niveles lógicos (0 y 1 lógico) son definidos por la diferencia de voltaje entre una pareja de señales de entrada o de salida, así como se muestra en la siguiente figura 2.9.

Las interfaces diferenciales tienen mayor inmunidad al ruido o a picos de tensión que pudieran tener lugar en las líneas de comunicación. Las interfaces diferenciales tienen mayores capacidades de conducción, lo que hace posible utilizar cables más largos.

La interfaz serial RS-422 alcanza velocidades de transmisión de hasta 10 Mbps a 12 metros de longitud y puede alcanzar longitudes de hasta 1200 metros con una velocidad de 100 kbps. El bus RS-422 permite 1 transmisor y hasta 32 receptores a la vez en la línea. Los niveles de la señal del RS-422 van desde 0 a +5 voltios como se muestra en la figura 2.10. Este estándar serial RS-422 no define un conector físico concreto, pero el cable tiene que ser de par trenzado para una mejor inmunidad al ruido eléctrico y magnético, como se ilustra en la figura 2.11.

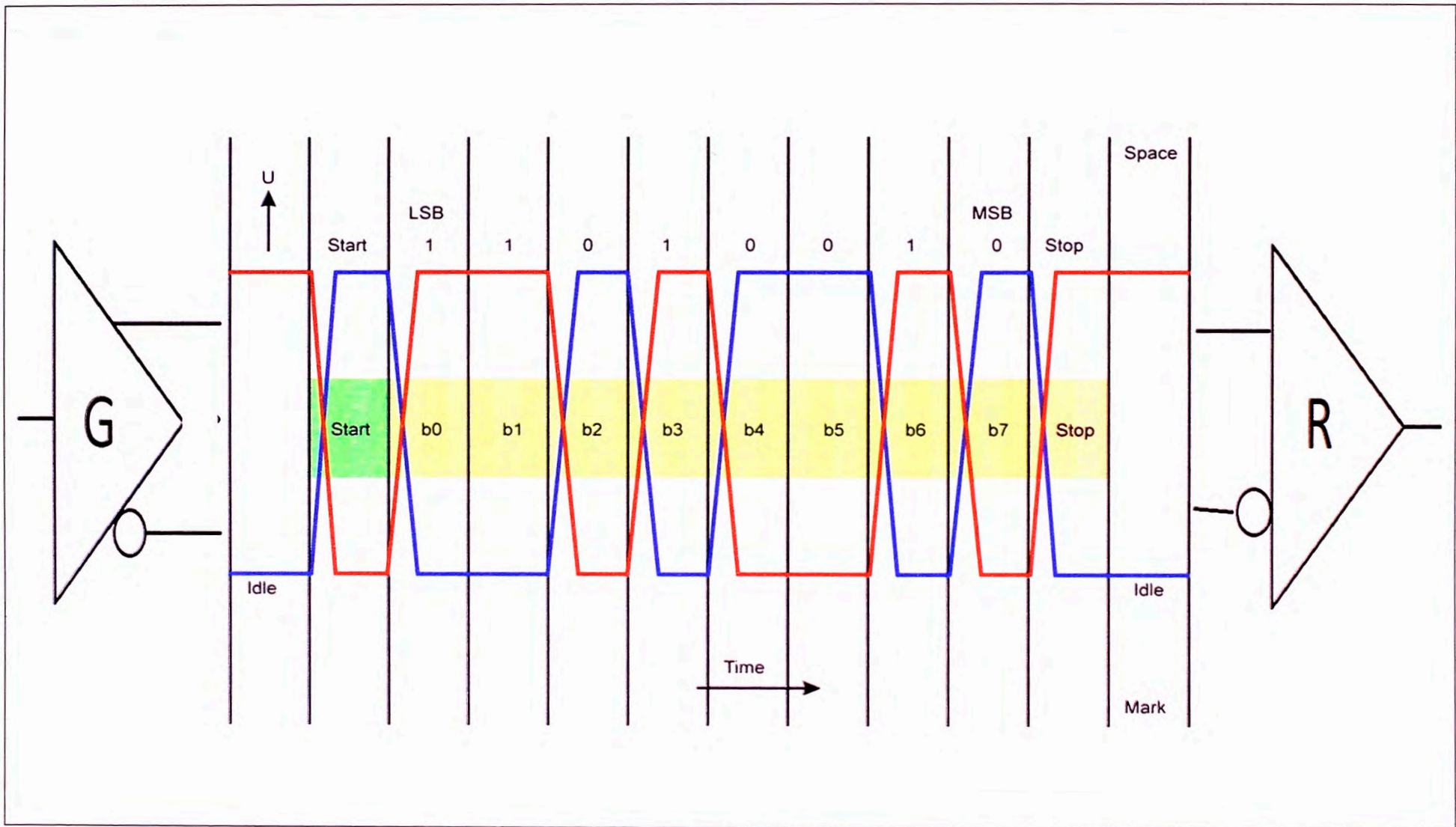


Figura 2.9 Niveles lógicos

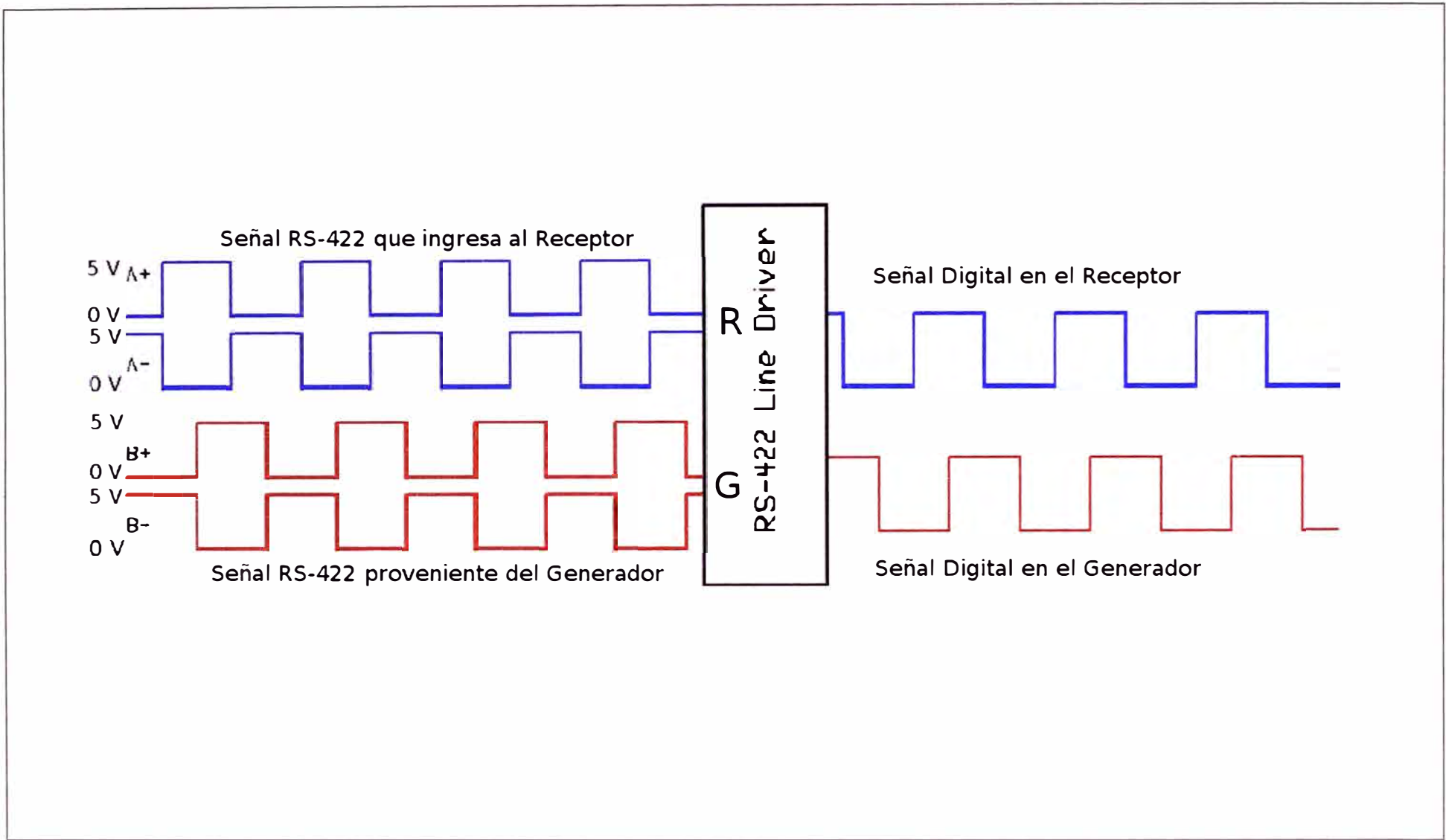


Figura 2.10 Niveles de señal

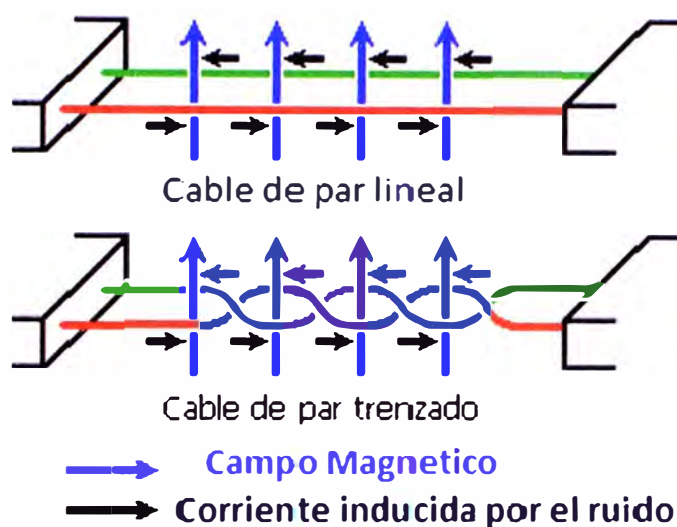


Figura 2.11 Par trenzado

2.3.3 Interfaz serial RS485

El RS485 también conocido como la norma TIA/EIA-485 [15], se define como un sistema de bus de transmisión multipunto diferencial (señales diferenciales) es ideal para transmitir a largas distancias y también a altas velocidades (35 Mbit/s hasta 10 metros y 100 kbit/s en 1200 metros) a través de canales ruidosos, ya que reduce los ruidos que aparecen en los voltajes producidos en la línea de transmisión. El medio físico por donde se transmite es un par entrelazado que admite hasta 32 estaciones, con una longitud máxima de 1200 metros operando entre 300 y 19 200 bit/s y la comunicación half-duplex (semiduplex).

Es un estándar bastante abierto que permite muchas y muy diferentes configuraciones y utilidades.

Se tiene la RS485 de 4 hilos que es conocida como 4D-RS-485(full-duplex), en la cual se utiliza un par para transmisión del maestro y el otro par para la recepción, las señales que son necesarias para la comunicación se muestran en la tabla 2.1

Tabla 2.1 Relación de señales

Nombre	Función
TXD (+)	TRANSMISIÓN DE DATOS (SALIDA +)
TXD (-)	TRANSMISIÓN DE DATOS (SALIDA -)
RXD (+)	RECEPCIÓN DE DATOS (ENTRADA +)
RXD (-)	RECEPCIÓN DE DATOS (ENTRADA -)
TIERRA	TIERRA

En esta configuración se tiene un Maestro (Master) donde solo él puede transmitir datos en cualquier momento, mientras que los Esclavos (Slave) solo pueden responder si el mensaje va dirigido a ellos, como se ilustra en la figura 2.12.

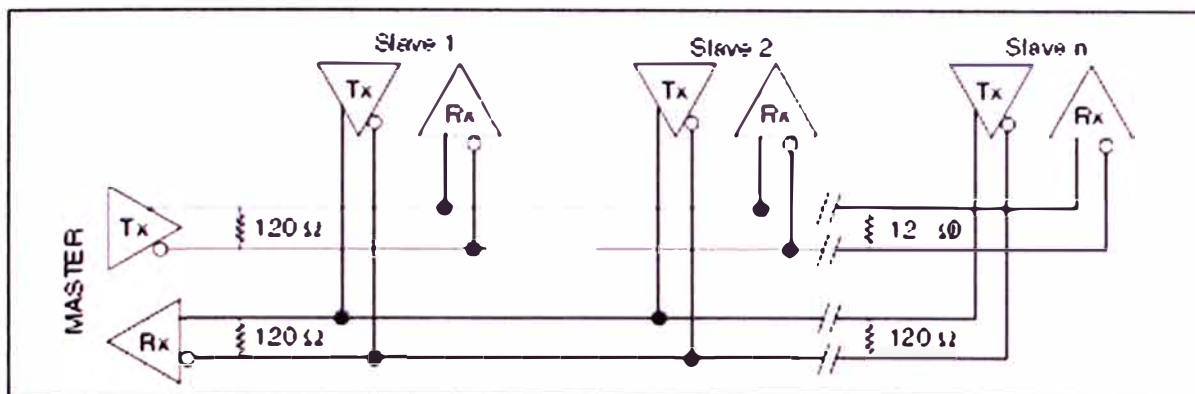


Figura 2.12 Red RS485 de cuatro cables

También se tiene la conexión a 2 hilos que es la más conocida como RS485, que es el estándar 2D-RS-485 (semiduplex), en esta configuración se utiliza solo un par para la transmisión y la recepción. Por lo tanto la diferencia con la anterior configuración es que los dispositivos deben conmutar entre modo receptor y modo transmisor, para así evitar que varios dispositivos emitan simultáneamente. Además se pueden comunicar hasta 32 estaciones rs485. En la tabla 2.2 se muestra las señales para esta configuración.

Tabla 2.2 Relación de señales

Nombre	Función
TXD / RXD (+)	TRANSMISIÓN DE DATOS (SALIDA +)
TXD / RXD(-)	TRANSMISIÓN DE DATOS (SALIDA -)
TIERRA	TIERRA

En la figura 2.13 se muestra una conexión RS485 a dos cables en la cual se especifica la distancia máxima de estación a estación igual a 500 metros y la longitud total del cable puede llegar hasta 1200 metros, también se observa que en cada estación terminal existe una resistencia de 120 ohm llamada resistencia de terminación, esta resistencia es sumamente importante ya que sin ella podría ocurrir grandes descargas eléctricas que pueden dañar los circuitos de las estaciones.

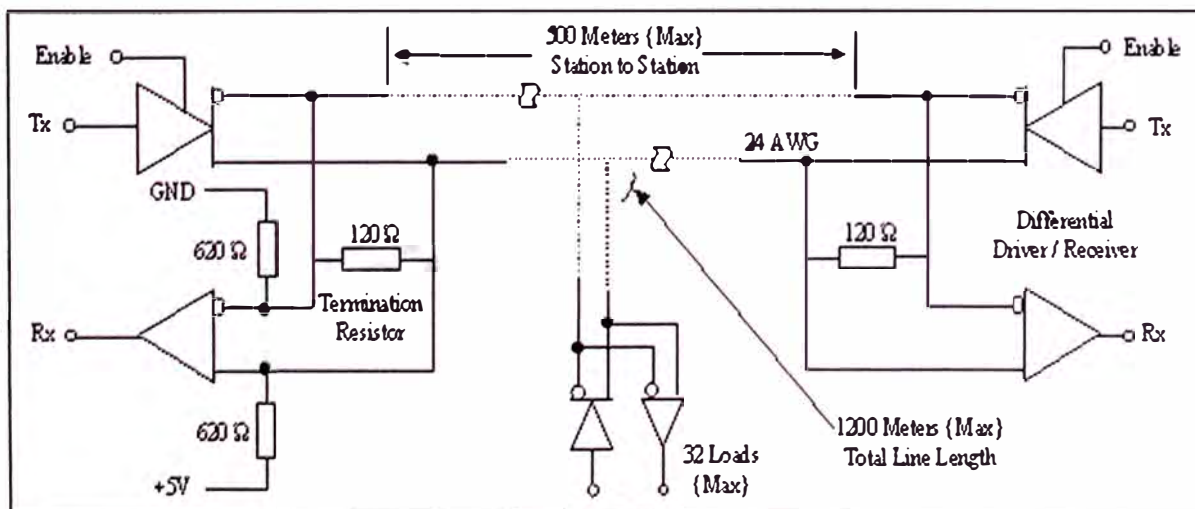


Figura 2.13 Red RS485 dos cables.

2.3.4 Transceptor UART

El UART (universal asynchronous receiver transmitter) es el puerto que se encarga de la comunicación serial como un periférico de un microprocesador.

Cuenta con un generador de baudios que se encarga de generar la velocidad de transferencia de datos. El controlador UART (Universal Asíncrono Receptor Transmisor) es el principal componente del subsistema de comunicaciones seriales de un microprocesador. El UART toma los bytes de datos y los transmite secuencialmente hacia un segundo UART donde este UART reensambla los bit en un byte completo.

En la figura 2.14 se muestra como se transmite en el tiempo bit por bit un dato serial por el UART, primero se empieza por un bit start (bit de inicio) seguido por 8 bit (generalmente es 8 bit pero puede ser 7 ,8 y 9 bit) que forma el byte de data y un bit de stop(bit de parada), también puede ir un bit de paridad antes del bit de stop. Antes de iniciar la transferencia, el emisor y el transmisor deben estar configurados con la misma velocidad de transmisión, el mismo tamaño de la data para que la comunicación entre ellos sea correcta [16].

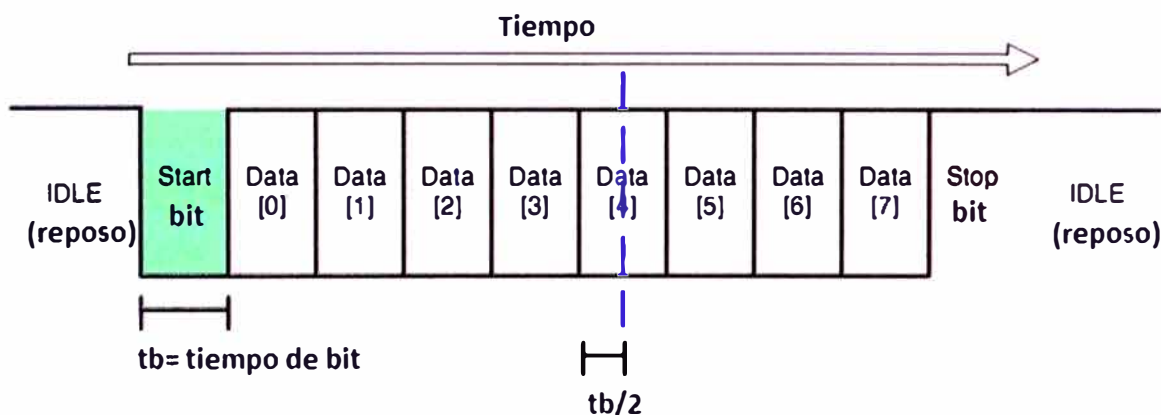


Figura 2.14 Trama de transmisión serial. (Fuente ref. [17]).

Los valores normalizados son: 110, 150, 330, 600, 1200, 2400, 4800, 9600, 14400, 19200, 28800, 31250, 38400, 57800.

Normalmente el UART no genera o recibe directamente las señales externas provenientes de diferentes módulos de otros equipos. Usualmente se usan dispositivos de interfaz separados para convertir las señales de nivel lógico del UART hacia niveles de línea externos como puede ser el RS232, RS422 o RS485 y desde los niveles de señalización externos hacia niveles lógicos.

Uno de los dispositivos más usados que blindo señales del tipo RS232 es el Integrado max232 que es uno de los más comerciales, y para las señales del tipo diferencial que nos sirve para crear una red RS422 o RS485 tenemos al sn75176 o al max485.

2.4 Interfaz Ethernet

La interfaz Ethernet es también conocido como estándar IEEE 802.3, es un estándar

de transmisión de datos para redes de área local para computadores con acceso al medio por detección de la onda portadora y con detección de colisiones (CSMA/CD). El estándar Ethernet fija las características de cableado, señalización de nivel físico y los formatos de tramas de datos del nivel de enlace de datos del modelo OSI (Open System Interconnection). A continuación, la figura 2.15 muestra como referencia al modelo OSI [18].



Figura 2.15 Trama de transmisión serial. (Fuente ref. [18]).

Para Ethernet Tenemos las siguientes velocidades de transmisión:

- 10Mbps Ethernet original.
- 100Mbps FastEthernet.
- 1000Mbps GigabitEthernet.
- 10000Mbps 10 GigabitEthernet.

Se tienen los siguientes medios de transmisión:

- El Cable coaxial grueso y delgado que es utilizado en la Ethernet original 10Mbps.
- El Cable UTP Desde categoría 3 hasta categoría 6 que es utilizado con todas las velocidades de transmisión.
- Fibra óptica Monomodo y multimodo que es utilizado para 100Mbps y 1000Mbps.

En Ethernet se tienen las siguientes topologías [19]:

Topología en bus

En la topología de la figura 2.16 se tiene todos sus nodos conectados directamente a

un enlace y no tiene ninguna otra conexión entre nodos. Físicamente cada host está conectado a un cable común, por lo que se pueden comunicar directamente, aunque la ruptura del cable hace que los hosts queden desconectados. Las redes de bus comúnmente utilizan cable coaxial como medio de comunicación.

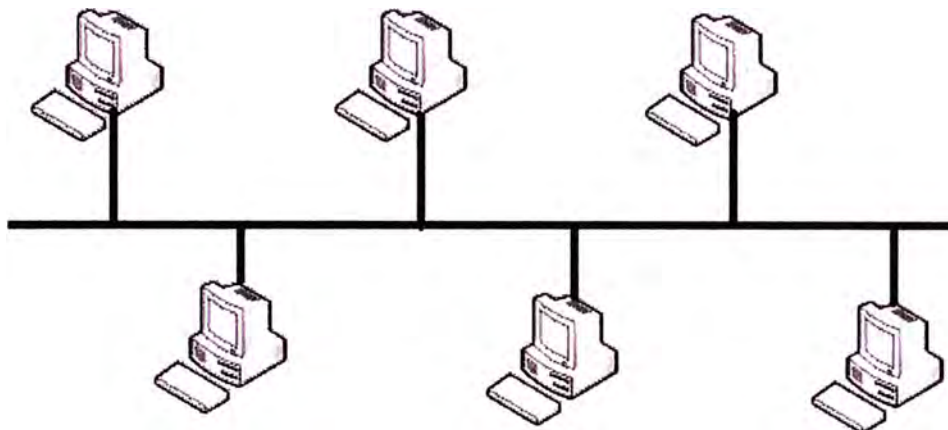


Figura 2.16 Topología en bus . (Fuente ref. [19])

Topología en malla

En la topología de la figura 2.17, cada nodo está conectado a uno o más de los otros nodos. De modo que es posible llevar los mensajes de un nodo a otro por diferentes caminos. Las redes de malla, obviamente, son más difíciles y caras para instalar que las otras topologías de red debido al gran número de conexiones requeridas.

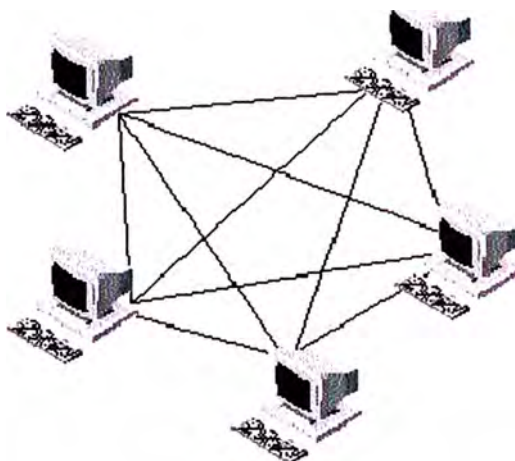


Figura 2.17 Topología en malla. (Fuente ref. [19]).

Topología en estrella

En la topología de la figura 2.18, todos los elementos de la red se encuentran conectados directamente mediante un enlace punto a punto al nodo central de la red denominado concentrador (hub), quien se encarga de gestionar las transmisiones de información por toda la estrella.

Las redes que usan la topología de estrella son mucho menos vulnerables, ya que se

puede eliminar una de las conexiones fácilmente desconectándola del concentrador sin paralizar el resto de la red. Se utiliza sobre todo para redes locales. La mayoría de las redes de área local que tienen un enrutador (router), un concentrador (hub) o un conmutador (switch) siguen esta topología. El nodo central en estas sería el enrutador, el concentrador o el conmutador, por el que pasan todos los paquetes.

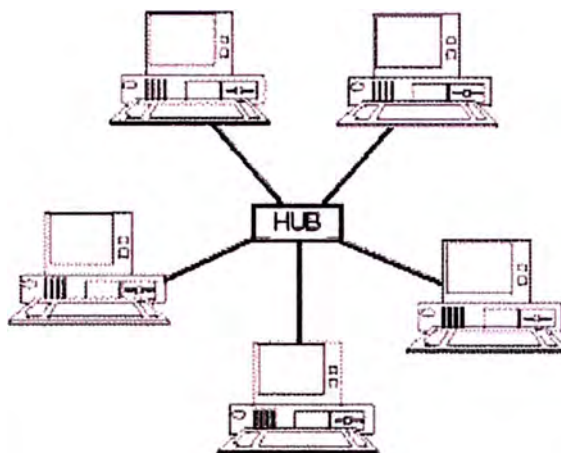


Figura 2.18 Topología en estrella. (Fuente ref. [19]).

Topología en anillo

Esta topología se basa en el principio de comunicación sucesiva, es decir, cada equipo de la red tiene la oportunidad de comunicarse en determinado momento. Un paquete de datos (token) circula en bucle de un equipo a otro, y determina qué equipo tiene derecho a transmitir la información. Ello se ilustra en la figura 2.19.

Cuando un equipo tiene el token puede transmitir durante un período de tiempo determinado. Después, el token pasa al equipo siguiente.

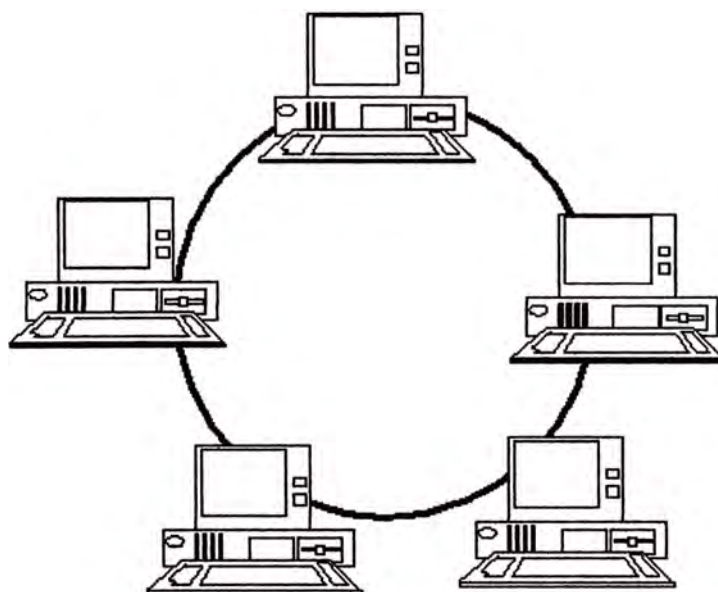


Figura 2.19 Topología en anillo. Fuente ref. [19].

Topología en árbol

Esta topología es una variante de la de estrella. Como en la estrella, los nodos del

árbol están conectados a un concentrador central que controla el tráfico de la red. Sin embargo, no todos los dispositivos se conectan directamente al concentrador central.

La mayoría de los dispositivos se conectan a un concentrador secundario que, a su vez, se conecta al concentrador central.

La topología de árbol combina características de la topología de estrella con la BUS. Consiste en un conjunto de subredes estrella conectadas a un BUS. Esta topología facilita el crecimiento de la red, ello se puede mostrar en la figura 2.20.

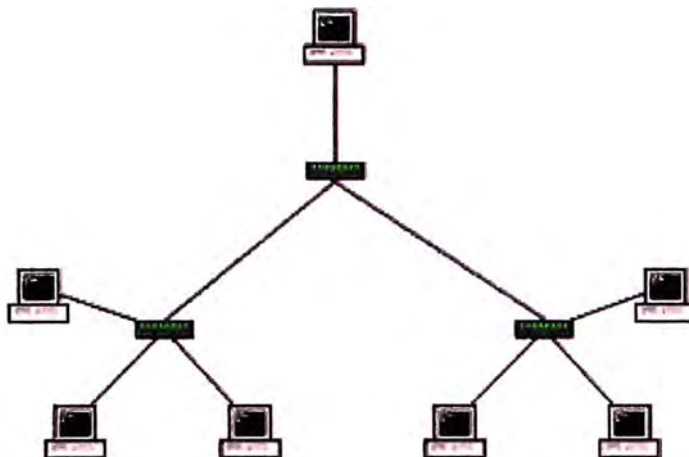


Figura 2.20 Topología en árbol. Fuente ref. [19].

CAPÍTULO III METODOLOGÍA PARA LA SOLUCIÓN DEL PROBLEMA

Este capítulo se enfoca en exponer el diseño del Módulo de Captura del Sistema Unificado de Control en Tiempo Real, al cual MINCETUR lo denomina “colector”.

Se especifican los requerimientos, se presentan las opciones tecnológicas, y luego se presenta el diseño del soporte físico (hardware) y del lógico (firmware y software).

3.1 Requerimientos de la solución

La solución para el módulo de captura tenía que contemplar los siguientes requisitos.

- Ser capaz de coleccionar los datos técnicos y contables de cada tragamonedas.
- Soportar la comunicación con distintos protocolos que se usan en la mayoría de máquinas tragamonedas como son SAS, Xseries, Dacom.
- Ser lo más barato posible en su construcción de hardware.
- Soportar distintos protocolos de línea como RS232, RS485.
- Cumplir con las especificaciones dispuestas por MINCETUR.
- Ser confiable y fácil de dar soporte.

El sistema se diseñó a base de la estructura mostrada en la Figura 3.1:

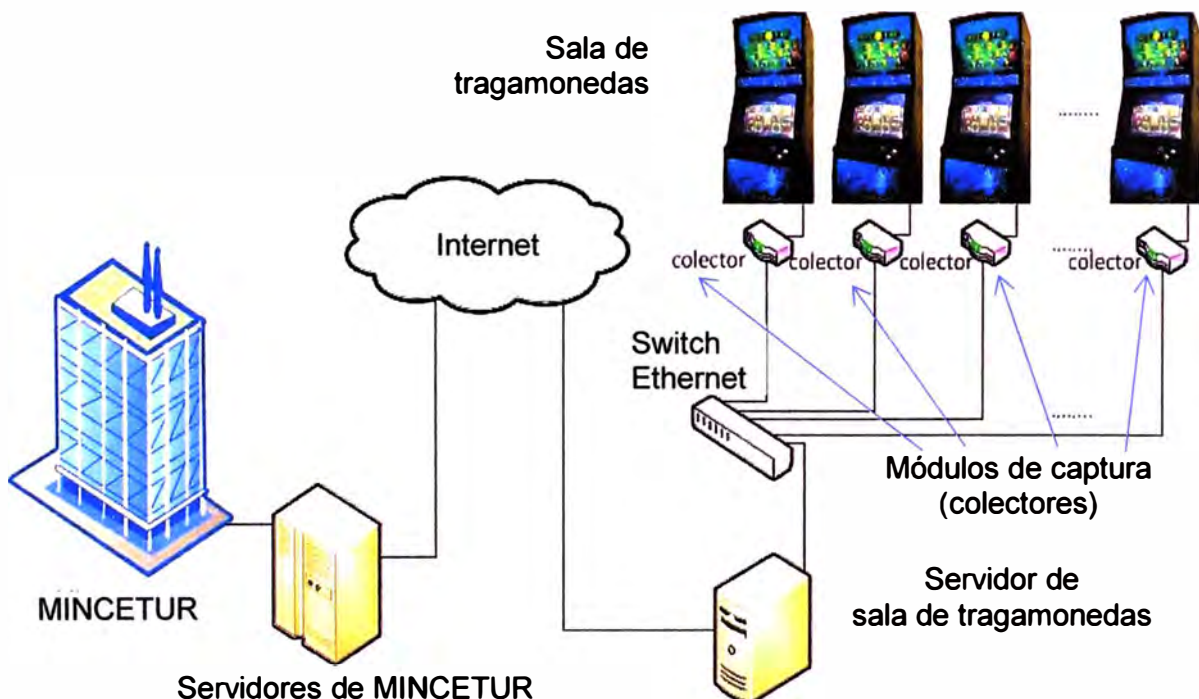


Figura 3.1 Esquema general de interconexión sala Tragamonedas-MINCETUR

Cada tragamonedas está conectado a un “colector” y el mismo luego a un switch

Ethernet. El switch se conecta a un servidor y este se comunica con los servidores de MINCETUR brindándoles la información requerida.

3.2 Opciones tecnológicas y dimensionamiento.

Para la implementación del módulo de captura se evaluaron tres opciones tecnológicas. El criterio de selección era que, además de cumplir con los requerimientos de MINCETUR, debía de ser económico y que el diseño no quede obsoleto después de 5 años.

La empresa debía asegurar que el producto final sea flexible en su diseño, que su implementación fuera realizada en corto tiempo y que el módulo sea multipropósito, a fin de satisfacer cualquier necesidad adicional que se presentara en el futuro.

3.2.1 Opción 1

Consistía en desarrollar todo el circuito del módulo de captura de datos, en una sola placa impresa (Figura 3.2). Esta opción presentaba las siguientes observaciones:

- Este diseño tomaría mucho más tiempo de desarrollo, ello porque se necesitaría de varios prototipos antes que quedar totalmente funcional debido a que el banco de memoria y el microprocesador estarían en la misma placa impresa que todos los demás circuitos que podrían afectar su correcto funcionamiento.
- Este circuito podría quedar fácilmente obsoleto ya que no se podría aumentar su capacidad de almacenamiento y no podría ser usado en otras aplicaciones para la empresa.

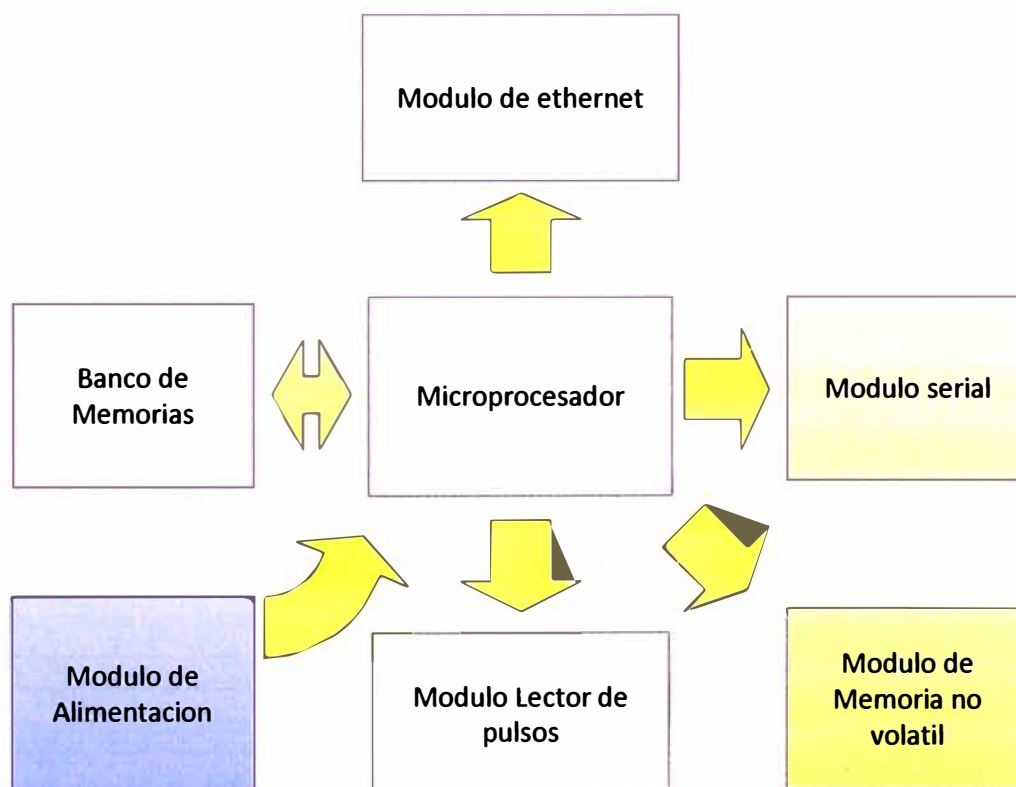


Figura 3.2 Esquema de la primera opción

3.2.2 Opción 2

Esta opción consistía en utilizar diversos módulos externos (tarjetas hijas) para la construcción de la placa impresa del módulo de captura de datos, utilizando un Microprocesador de menor capacidad de cálculo, procesamiento y de menor costo como es el PIC24FJ256GA110 que estaría como tarjeta hija. Esta opción presentaba las siguientes observaciones:

- Le podría faltar capacidad para realizar las tareas que se necesitaba y que se necesitaba utilizar una tarjeta hija para la conexión Ethernet.
- Quedaría obsoleta en un corto tiempo debido al tipo de microprocesador utilizado, tampoco no podría ser usado en otras aplicaciones para la empresa.

El esquema del colector se muestra en la figura 3.3. Esta propuesta, fue desechada debido a los inconvenientes mencionados anteriormente.

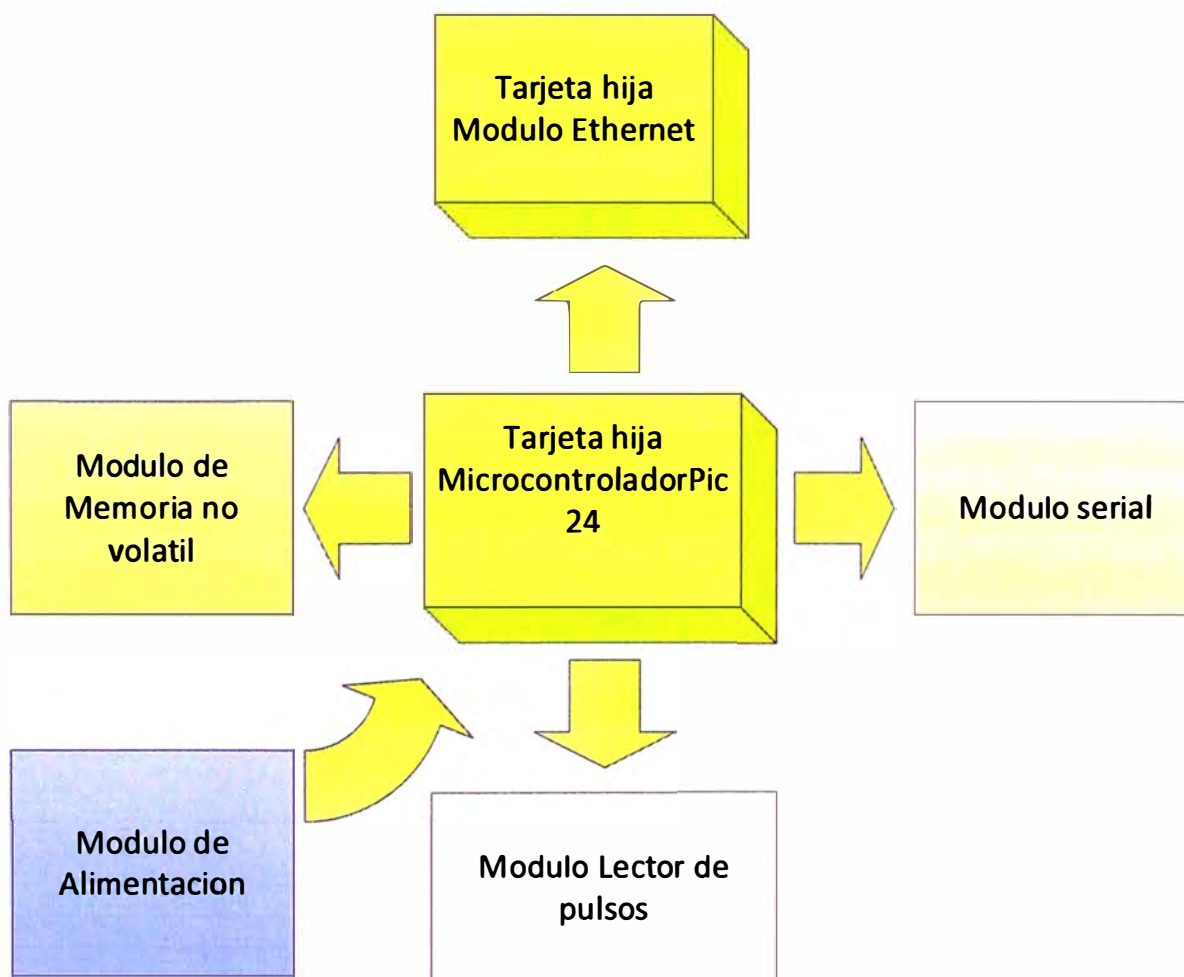


Figura 3.3 Esquema de la segunda opción

3.2.3 Opción 3

Se evaluó utilizar un microprocesador de bajo costo con alta capacidad de cálculo y procesamiento como tarjeta hija. En este caso fue la opción seleccionada ya que:

- Sería capaz de realizar varias tareas a vez y soportar la instalación de un sistema

operativo linux,

- No quedaría fácilmente obsoleto ya que la opción podría ahora ser multipropósito, es decir que podría ser utilizado en otras aplicaciones para la empresa.

El circuito del módulo de captura (el colector) propuesto estaría pues conformado por la tarjeta hija (Micro2440), cuatro módulos de diseño propio y uno compatible con la tarjeta hija (el módulo de Ethernet). El esquema del colector se muestra en la figura 3.4.

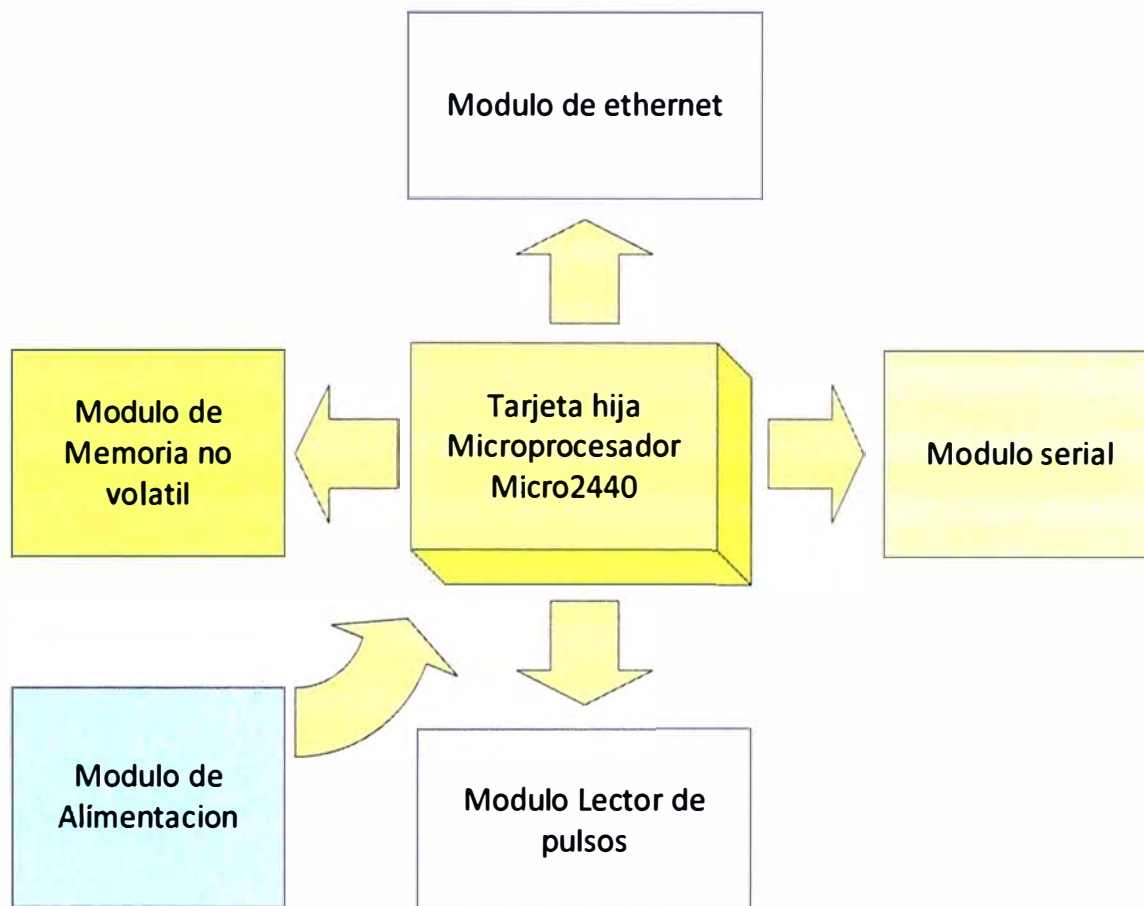


Figura 3.4 Diagrama modular del circuito del módulo de captura. (Fuente: Elab. propia)

Los módulos de la solución son el módulo de Ethernet, el módulo serial y el módulo lector de pulsos, el módulo de alimentación y el módulo de memoria no volátil.

- El módulo de Ethernet se comunica con el Switch Ethernet.
- El módulo serial se comunica con las tragamonedas que poseen puerto serial.
- El módulo de lector pulsos sirve para la obtención de datos de máquinas de tragamonedas sin puerto serial.
- El módulo de alimentación sirve para polarizar los circuitos.
- El módulo de memoria no volátil sirve para almacenar diversos datos de respaldo.

Para la elaboración de la solución (el colector) se propuso diseñar un circuito especial que se apoyara en un microprocesador que posea varios GPIO (General Input/Output Port). Para ello se seleccionó el S3C2440 ARM9 Board (Figura 3.5), que cumpliría el rol de la tarjeta hija (daughter board) y la cual tiene las siguientes características [20]:

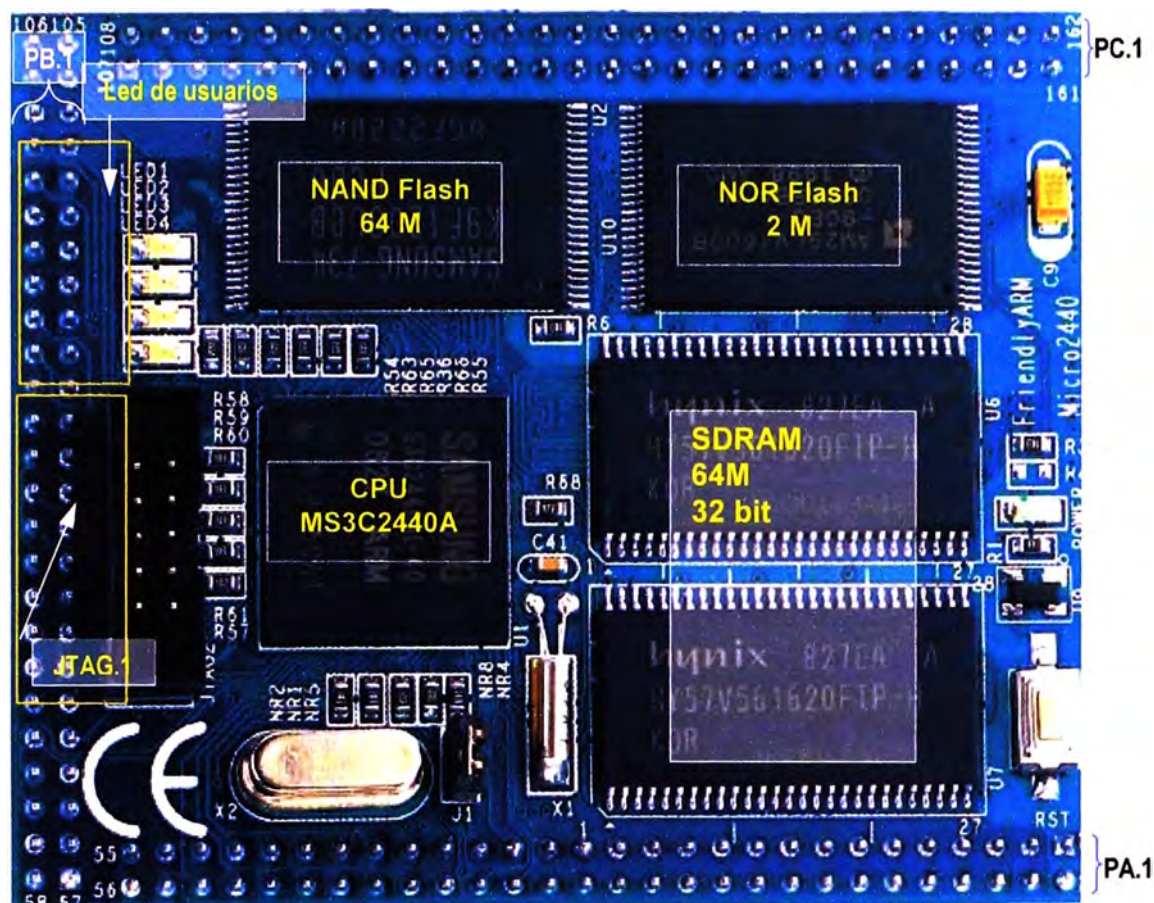


Figura 3.5 Micro2440 [20]

- Dimension: 63 x 52 mm
- CPU: 400 MHz Samsung S3C2440 ARM926T (max freq. 533 MHz)
- RAM: 64 MB SDRAM, 32 bit Bus
- Flash: up to 1GB NAND Flash and 2 MB NOR Flash
- Serial, SPI, USB, LCD, CMOS Camera Interface
- Analog Input and Output
- User Outputs: 4x LEDs
- Expansion headers (2.0 mm)
- Debug: 10 pin JTAG (2.0 mm)
- OS Support
- Windows CE 5 and 6
- Linux
- Android

Se utilizó esta tarjeta debido a: Su bajo costo, la gran cantidad de entradas y salidas que tiene, los tres buses seriales que posee, su soporte del sistema Operativo Linux.

3.3 Soporte físico del módulo de captura.

El diseño de los módulos es descrito en esta sección. La totalidad de circuitos fue construida con dispositivos de montaje superficial ya que se quería un hardware

moderno. El diseño de la placa impresa se realizó con el Programa Orcad Layout.

3.3.1 Módulo de alimentación

Este módulo, ver la figura 3.6, se diseñó de tal manera que proveyera dos niveles de tensión DC, una de 5 Vdc para alimentar todos los módulos externos de diseño propio y otra de 3.3 Vdc para la lógica del microcontrolador Micro2440 y para el módulo de Ethernet. La alimentación principal del módulo es una fuente de 12 Vdc 700 ma. Se consideró utilizar dos integrados de bajo costo y fáciles de conseguir (LM2576 y AP1117).

a. 5 Vdc

Se describen sus componentes a continuación:

- Para 5 Vdc se utiliza el LM2576 (Anexo A) que es un regulador de alta eficiencia (aproximadamente 77 %) y de bajo costo que puede brindar hasta 3 Amperios. Es un regulador tipo switching que necesita como mínimo un voltaje mayor en 1.5v en la entrada para mantener la regulación. Además tiene una entrada de realimentación para mantener el voltaje de salida estable y también tiene un pin de control para activar o desactivar su salida.
- El diodo D6 es el 1N4007 de la figura 3.6, se utiliza para evitar que cualquier error de conexión al momento de alimentar el circuito con una fuente externa pueda causar daño a alguna parte del circuito. Su corriente promedio de trabajo es de 1 Amperio.
- El Fusible F1 es el SMD075F, el cual se utiliza para evitar daños al módulo de alimentación ya que cualquier sobrecarga o cortocircuito a su salida, causaría un pronto deterioro de sus componentes que afectarían el módulo de alimentación deteriorándolo y que ya no trabaje correctamente. Este fusible es de tipo autoreseteable y su corriente de ruptura es de 0.7 Amperios, mayor información se puede ver en el Anexo B.
- L1 es una bobina de 100 uH con núcleo ferromagnético que se utiliza como choque, para dejar pasar la corriente continua.
- El diodo D5 es del tipo Schottky, que se utiliza para evitar que altos voltajes sean inducidos en el inductor L1 y también para habilitar un camino para el paso de la corriente hacia la carga.
- Los condensadores C1 y C2 se utilizan para filtrar la corriente y eliminar el rizado o ripple remanente que pudiera haber en la corriente de entrada.
- El Led D2 se utiliza para indicar que la fuente esta operativa, finalmente el resistor R1 se utiliza para polarizar el Led.

El sistema requiere una fuente de 5 voltios y 1.3 amperios como máximo para alimentar la parte de los circuitos que se alimentan con 5 voltios además de una salida auxiliar de 5 voltios y 500 miliamperios también como máximo para alimentar algún otro hardware que el futuro se pueda requerir.

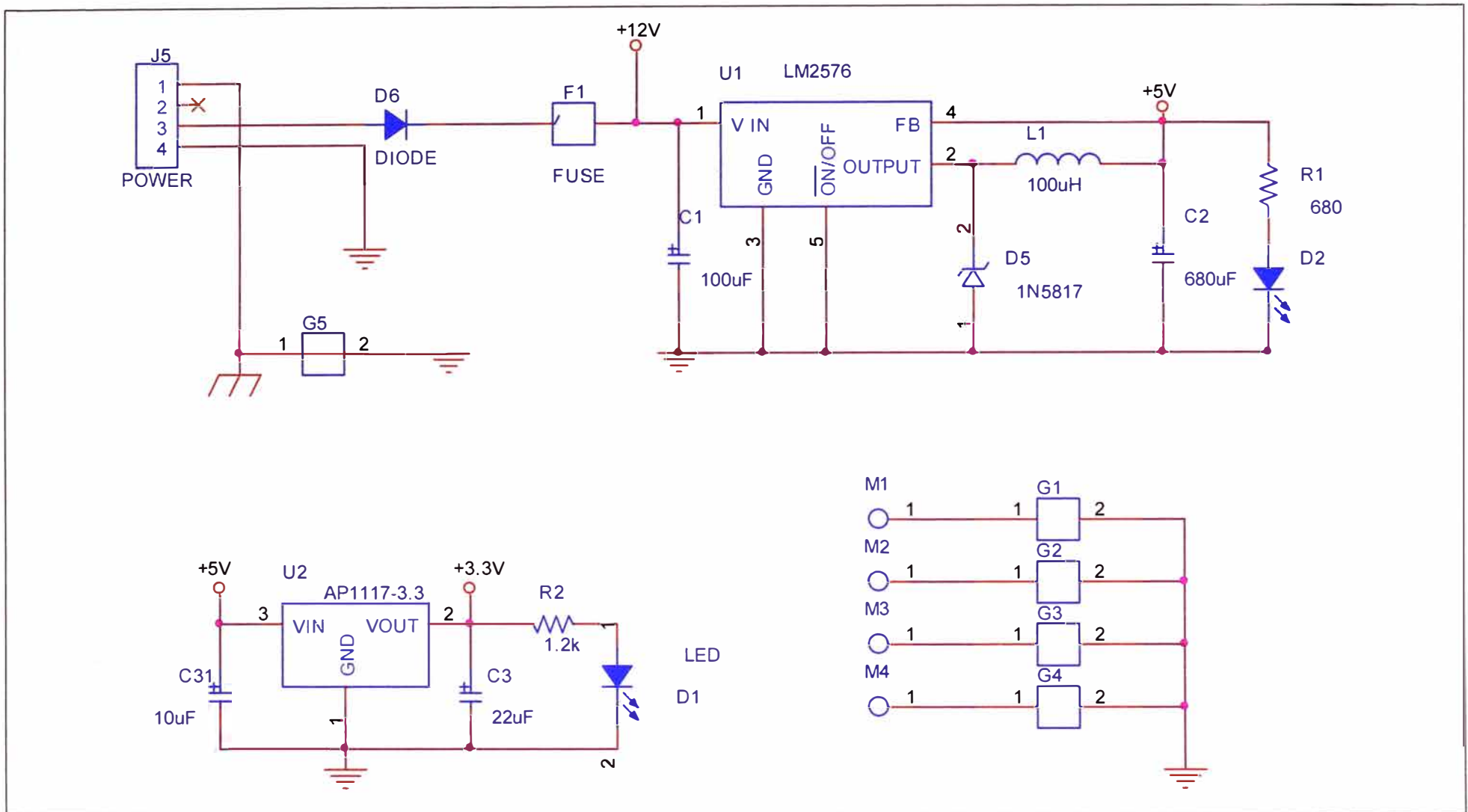


Figura 3.6 Módulo de Alimentación. (Fuente: Elaboración propia)

Por lo tanto, haciendo cálculos para el circuito de 5 Voltios, se tiene que:

- Potencia de salida máxima = 5 Voltios x 1.3 Amperios = 6.5 watts.

Como la eficiencia de este regulador es $n=77\%$ entonces a la entrada debemos se debe tener:

- Potencia de salida máxima = 77% Potencia de entrada máxima.

Entonces:

- Potencia de entrada máxima = Potencia de Salida máxima/ 77%
- Potencia de entrada máxima = $6.5 \text{ watts}/0.77 = 8.4 \text{ Watts}$.

Como el voltaje es de 12 voltios, la corriente tiene que ser aproximadamente:

- Corriente de entrada máxima = $8.4 / 12 = 0.7 \text{ Amperios}$.

Entonces se determina el uso de un fusible de 0.7 amperios para darle protección a los circuitos del módulo de captura y delimitar la corriente en caso de sobrecarga o corto circuito.

b. 3.3 Vdc

Se describen sus componentes a continuación:

- Para 3.3 Vdc se utiliza al AP1117 (Anexo C) que es un regulador de tensión de bajas pérdidas y bajo costo, que puede dar hasta 1 Amperio. Este regulador se alimenta con los 5 Voltios de salida del regulador U1, y se utiliza para alimentar la parte digital relacionado con la tarjeta hija.
- Los condensadores C31 y C3 se utilizan para filtrar la corriente y eliminar el rizado o ripple remanente que pudiera haber en la corriente de entrada y salida para el regulador U2, y sus valores son 10 y 22 μF respectivamente.
- El Led D1 se utiliza para indicar que el regulador de 3.3 voltios está operativo.
- La resistencia R2 se utiliza para la polarización del Led D1.
- El conector J5 es el conector de entrada de 12 Voltios.
- Los condensadores G1, G2, G3, G4 y G5 son para la descarga de alto voltaje que se pudiera originar, su valor es 3.3 nF a 2 kV.
- Los M1, M2, M3 y M4 son puntos de descarga.

3.3.2 Módulo de conexión serial

Este módulo (ver Figura 3.7) se encarga de la conexión serial entre la máquina tragamonedas y el módulo de captura SUCTR para así obtener la información contable y técnica que estas máquinas reportan mediante sus puertos seriales.

La conexión serial posee dos puertos, uno destinado a respaldo, idéntico al de la figura 3.7. Cada uno de ellos posee un conector RJ45 (S1) para habilitar la comunicación serial. Es necesario destacar que este módulo fue diseñado para funcionar de acuerdo al estándar de comunicación serial de cada tragamonedas (RS232, RS422 o RS485).

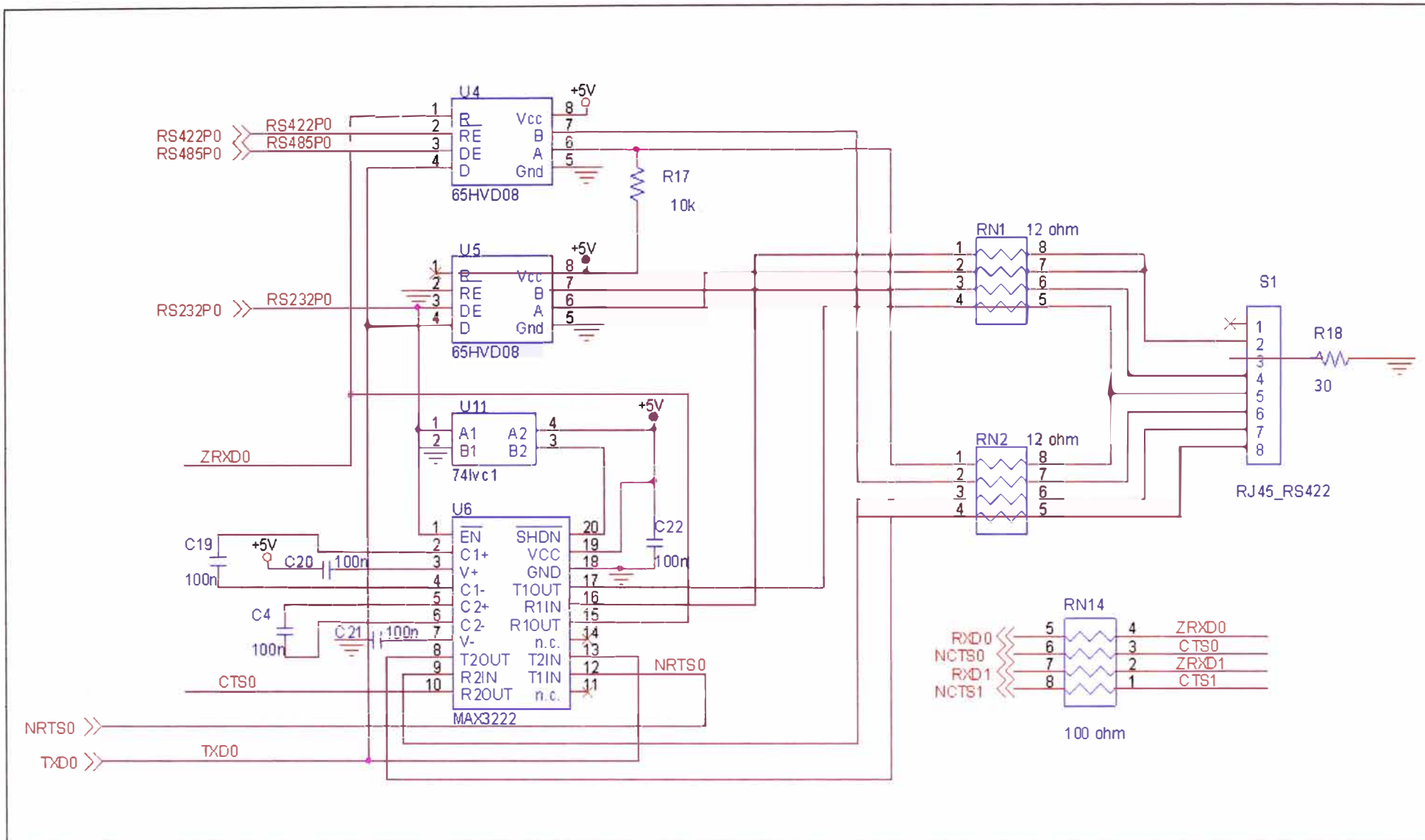


Figura 3.7 Módulo de conexión serial. Fuente: Elaboración propia.

Por ende este puerto puede ser configurado para trabajar como cualquiera de esos estándares (RS232, RS422 o RS485) ya sea utilizando dos o cuatro cables.

Este módulo consta de los siguientes componentes. Es necesario recalcar que todos los integrados que a continuación se describen trabajan a 5 Vdc:

- El integrado U4 (65HVD08 ver Anexo D) es un transceptor RS485 que se utiliza para la comunicación RS422 como receptor y para comunicación RS485 de 2 cables como transmisor-receptor y como receptor para la comunicación RS485 de 4 cables. Este es configurado mediante los pines de control 2 y 3 del mismo integrado, y para cuando se requiere una conexión RS232 es configurado en alta impedancia mediante estos mismos pines. Todos controlados desde la tarjeta hija, la Micro2440.
- El integrado U5 (65HVD08) es el mismo que U4, se utiliza para la comunicación RS422 y RS485 de 4 cables como transmisor. Este es a veces configurado como transmisor mediante los pines de control 2 y 3, y cuando se requiere una conexión RS232 está configurado en alta impedancia (De igual manera desde el Micro2440).
- La resistencia R17 es de 10k y se utiliza como pull-up para cuando el integrado U4 esté configurado como entrada.
- El integrado U11 (SN74LVC1G04YZVR) es un simple inversor que se utiliza para invertir la señal que va del pin 1 al pin 20. El pin 1 es un pin de activación de recepción, en bajo para operación normal y en alto para deshabilitar las salidas TTL de recepción del integrado U6 y las pone en alta impedancia, el pin 20 es una entrada de control que en alto es para operación normal y en bajo desactiva las salidas RS232 y las pone en alta impedancia.
- El integrado U6 (SP3222EBEY-L, ver Anexo E) es un transceptor RS232 que se utiliza cuando se requiere que el módulo serial trabaje con comunicación RS232. Esta configuración maneja cuatro señales que son Rx, Tx, CTS y RTS. Pero comúnmente solo trabajan Rx y Tx en una comunicación RS232.
- Los arreglos de resistencia RN1 y RN2 son de 12 ohm y sirven para acoplar impedancias de entrada y salida.
- El arreglo de resistencias RN14 es de 100 ohm, sirve para el acoplamiento y delimitación de corriente entre el integrado U6 y el micro controlador principal que es trabaja a 3.3 voltios.
- El integrado U13 (74HC05) contiene 6 inversores lógicos con drenador abierto este se utiliza para controlar el encendido de los LEDs que se usan para indicar la transmisión y recepción de datos seriales para cada canal. Ello se puede ver en la figura 3.8.
- El arreglo de resistencias RN13 es de 560 Ohm y se utiliza para alimentar los diodos LEDs.

- La resistencia R18 es de 30 ohm y se utiliza para referencia a tierra lógica del bus serial.
- Los condensadores C4, C19, C20 y C21 son de 0.1uF y se utiliza para que el integrado U6 pueda crear las tensiones correspondientes al protocolo de línea RS232.
- Los condensadores C22 y C28 son de 100nf y se utiliza para filtrar la corriente y aminorar el ripple remanente que pudiera generarse.

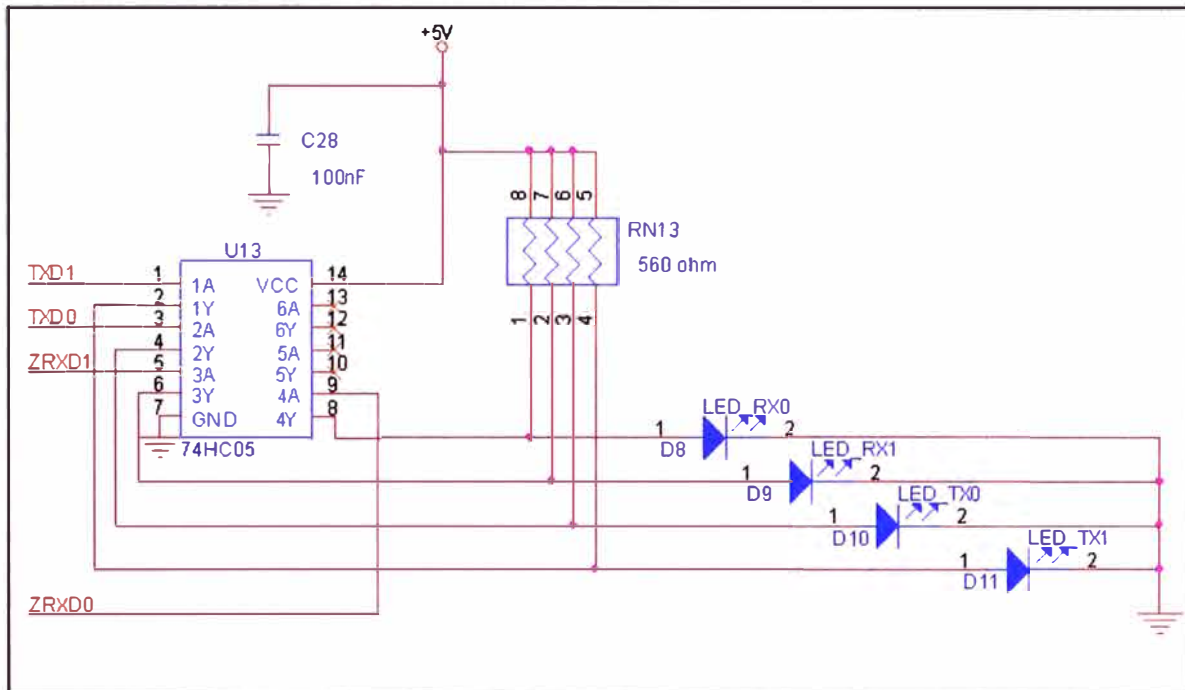


Figura 3.8 LEDs indicadores de comunicación serial. (Fuente: Elab.propia).

3.3.3 Módulo de Ethernet

El módulo de la figura 3.9 es el encargado de la conectividad Ethernet del circuito del módulo de captura (colector) con el switch de la sala de tragamonedas.

Para este módulo (U3) se utiliza el DM9000EP (ver Anexo F), un integrado de bajo costo y efectivo controlador Fast Ethernet MAC a 10/100M PHY and 4K Dword SRAM.

Este integrado es el recomendado para usar con el microcontrolador de la tarjeta hija.

Toda la configuración de resistencias, condensadores y señales son dadas por el fabricante de la tarjeta hija.

Los pines del integrado se conectan con la tarjeta hija a excepción de los pines RX y TX (29, 30, 33 y 34), los cuales se conectan al conector J5 (MAGJACK), las resistencias R6, R7, R8 y R9 se utilizan para polarizar las bobinas internas del MAGJACK, la resistencias R10 y R11 se usan para polarizar los LEDs internos del MAGJACK y los condensadores son para estabilizar las señales y corrientes.

3.3.4 Módulo de lectura de pulsos

El módulo de la figura 3.10, se encarga de capturar los pulsos eléctricos enviados por la máquina de juego (TGM) y contarlos ya que cada pulso representa el incremento en 1 de los contadores electromecánicos.

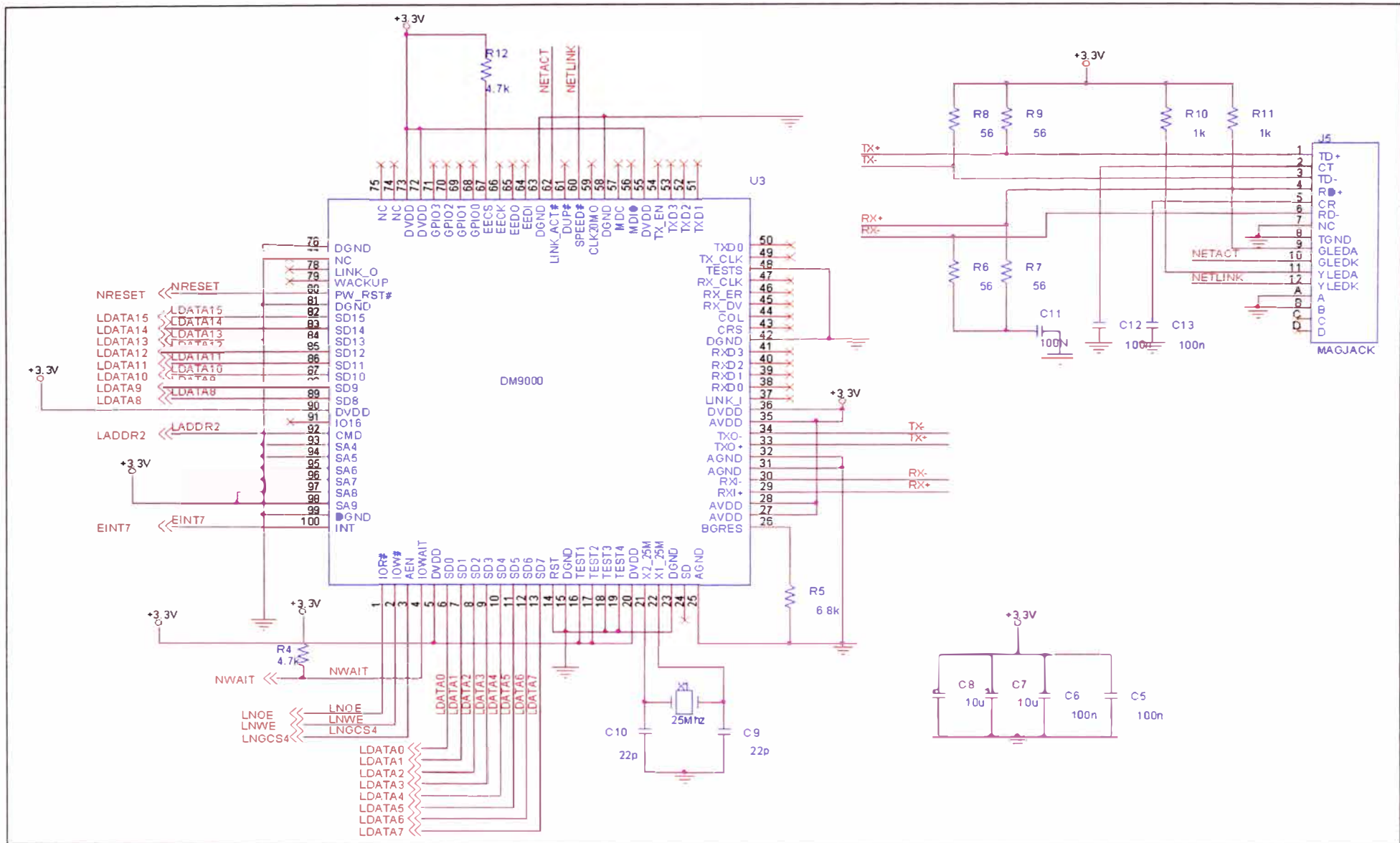


Figura 3.9 Módulo Ethernet. Fuente: Elaboración propia.

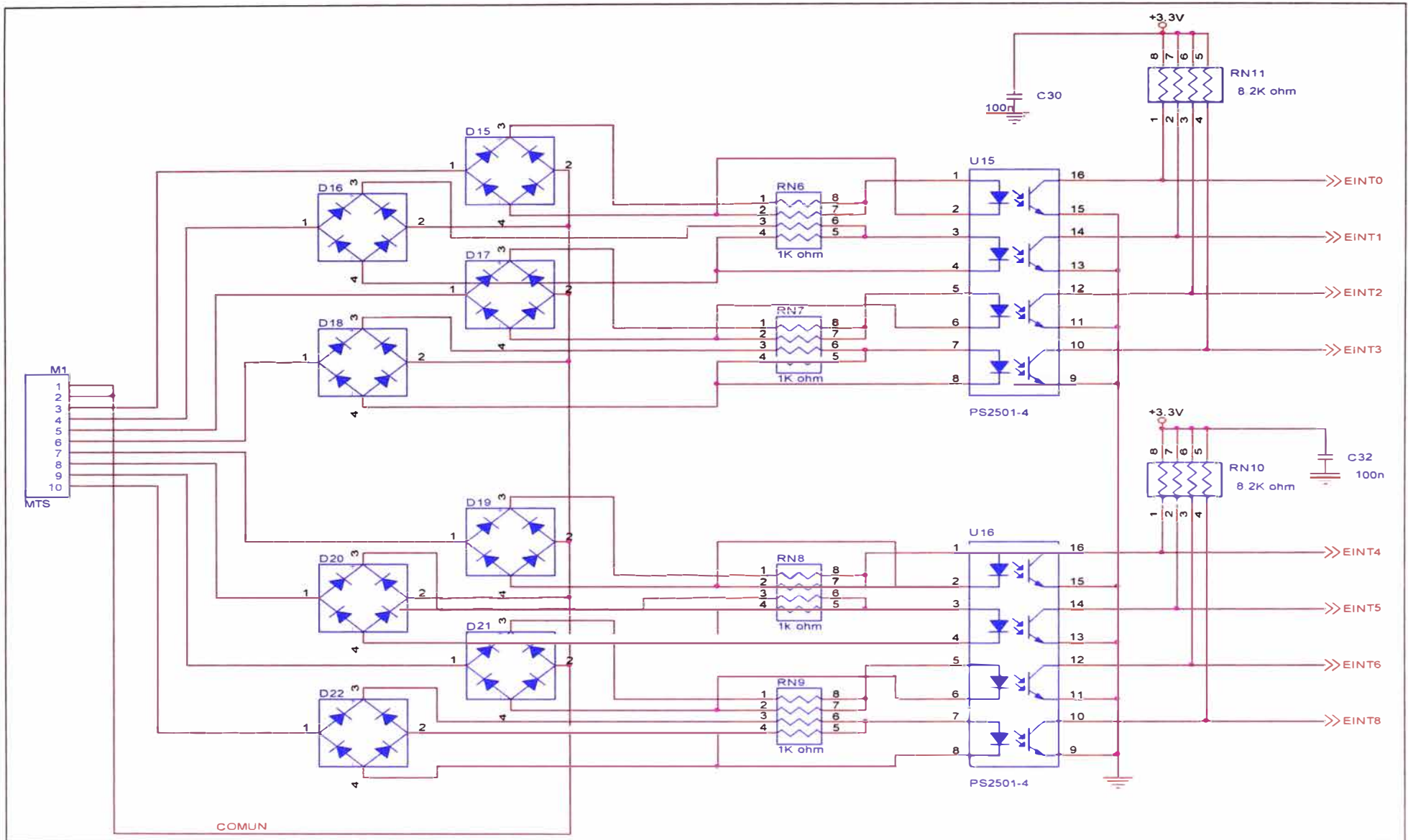


Figura 3.10 Módulo de lectura de pulsos de los contadores electromecánicos. (Fuente: Elaboración propia.)

Explicando el esquema circuital de la Figura 3.10, los puentes de diodos D15, D16, D17, D18, D19, D20, D21 y D22 se utilizan para rectificar la corriente, ya que algunas máquinas tragamonedas, las más antiguas, no cuentan con un protocolo de comunicación con el cual pueda reportar sus contadores. Además, en estas máquinas, mayormente estos contadores electromecánicos funcionan con corriente alterna y es por ello la utilización de puentes de diodos.

La corriente ya rectificada pasa por los arreglos de resistencias (RN6, RN7, RN8 y RN9) para polarizar los opto acopladores contenidos en los integrados U15 y U16.

El arreglo de resistencias RN10 y RN11 (8.2k ohm) son pull-up para dar el nivel lógico alto en las entradas EINT0, EINT1, EINT2, EINT3, EINT4, EINT5, EINT6, EINT8, las cuales son entradas de interrupciones del microcontrolador principal contenido en la tarjeta hija.

Los condensadores C30 y C32 (100nF) se utilizan para estabilizar el voltaje de los pull-up.

El Conector M1 se utiliza como entrada de las señales provenientes de los contadores electromecánicos. Ello se muestra en la figura 3.11.

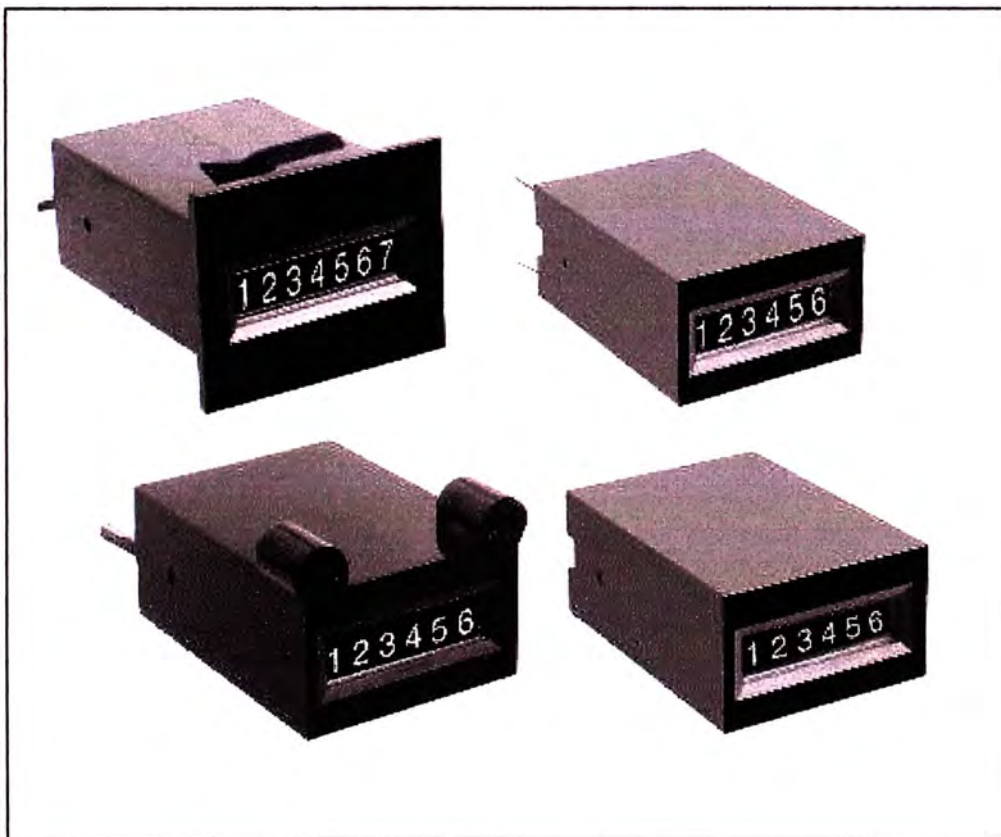


Figura 3.11 Contadores electromecánicos.

3.3.5 Módulo de memoria

Este módulo se diseñó debido a que se requería un respaldo para que la información contable y técnica no se pierda. Su esquema se muestra en la Figura 3.12.

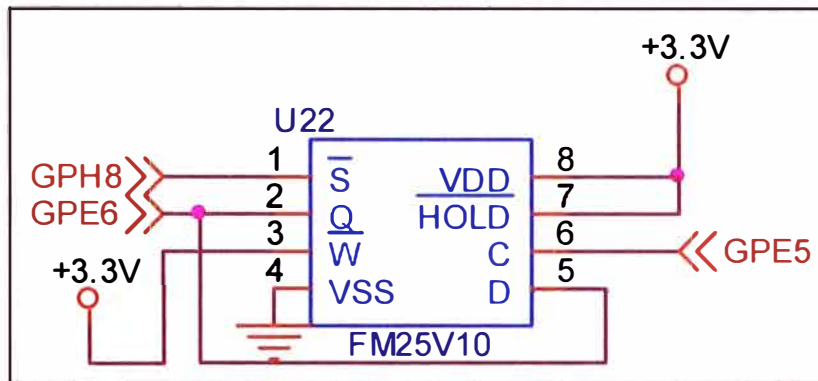


Figura 3.12 Esquema del módulo de memoria. (Fuente: Elaboración propia).

El integrado U22 (FM25V10-G ver anexo G) es una memoria no volátil de 1 megabit que emplea un proceso ferroeléctrico avanzado en su construcción.

Para comunicarse con el microcontrolador utiliza una interfaz SPI (Serial Peripheral Interface). Este está especificado para trabajar hasta una velocidad de 40 Mhz.

Soporta hasta 100 billones de ciclos de lectura y escritura, y retiene la data hasta 10 años.

3.3.6 Construcción de tarjeta

Como se indicó, el diseño de la placa impresa se realizó con el Programa Orcad. Layout. Una vez construido el prototipo, mostrado en la figura 3.13, y con las pruebas correspondientes, se ordenó la fabricación de un millar de unidades en Taiwan.

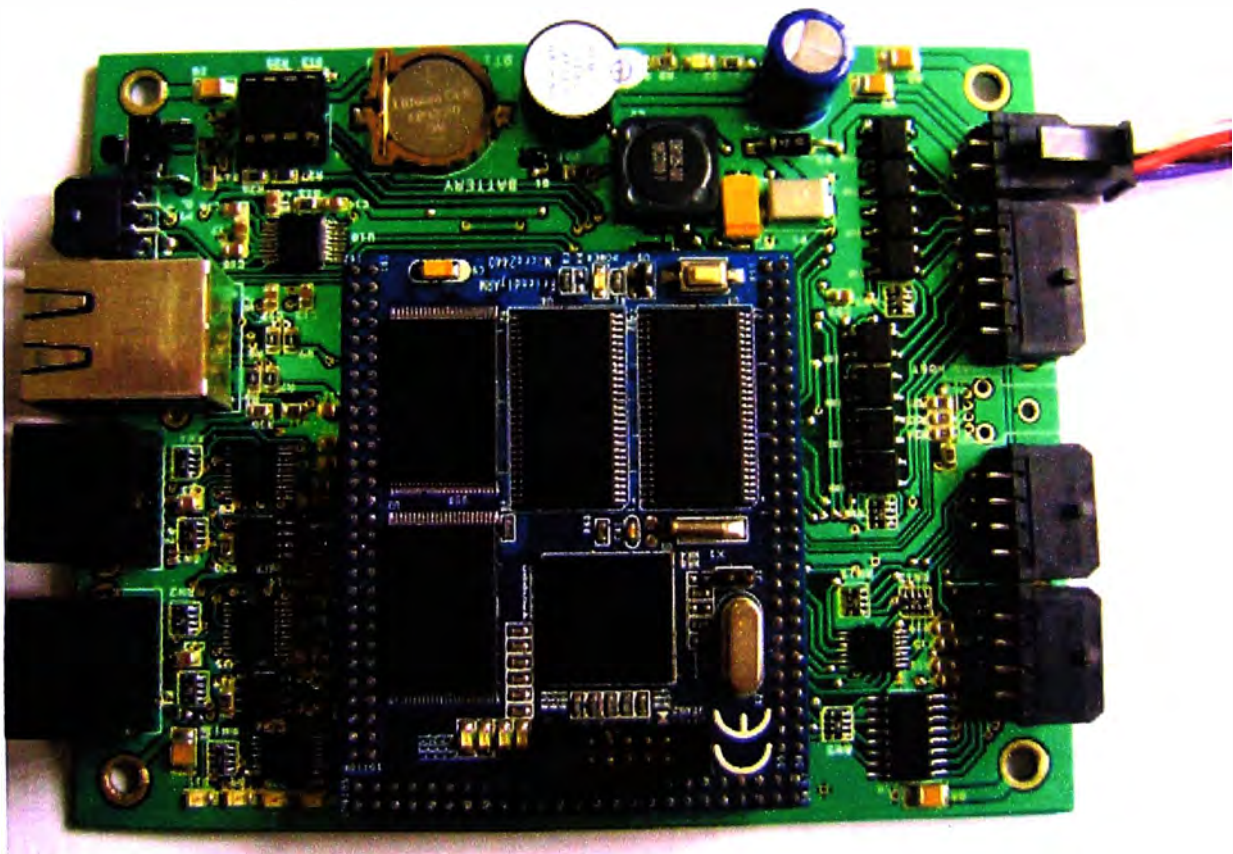


Figura 3.13 Prototipo de Tarjeta de Captura o colector. (Fuente: Elab. propia).

La Figura 3.14 muestra la placa sola antes de incorporar los componentes, mientras que la Figura 3.15 la placa con los componentes pero sin la tarjeta hija.

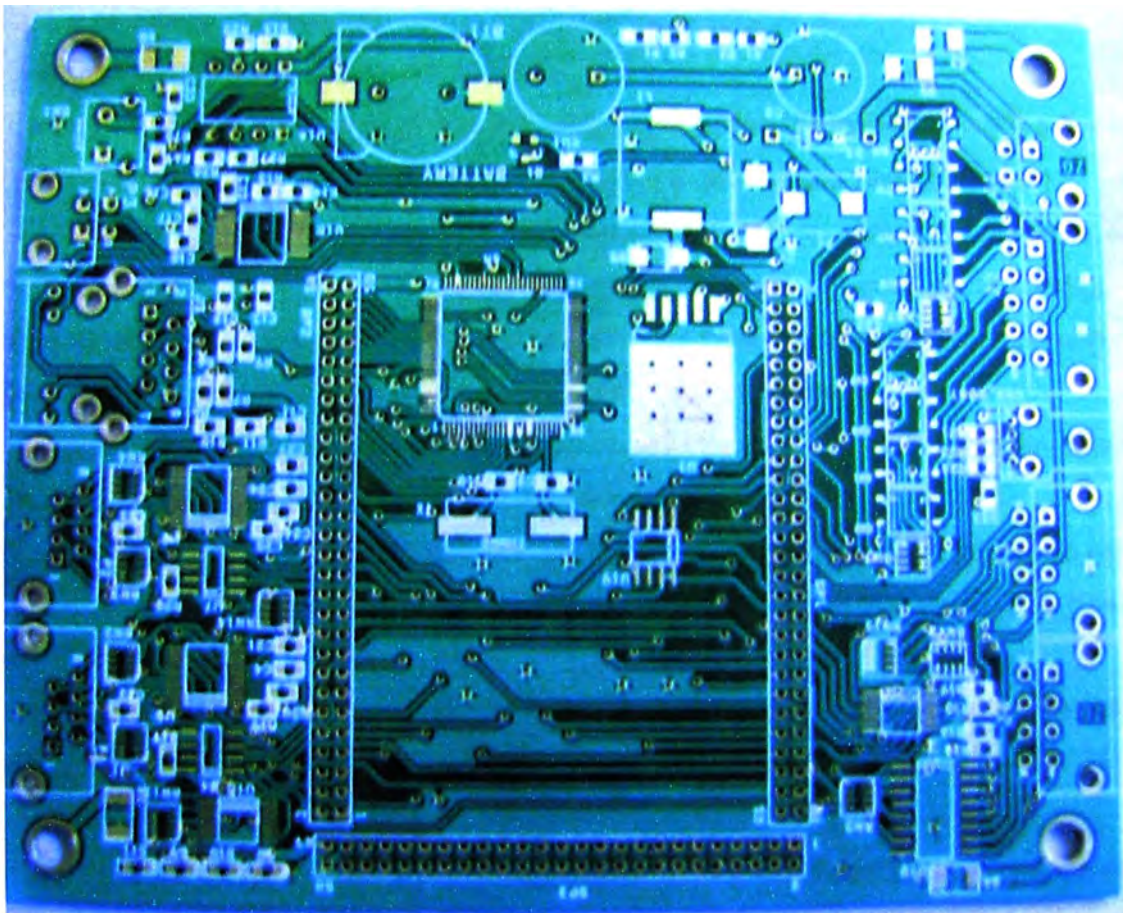


Figura 3.14 Placa circuital sin componentes. (Fuente: Elab. propia).

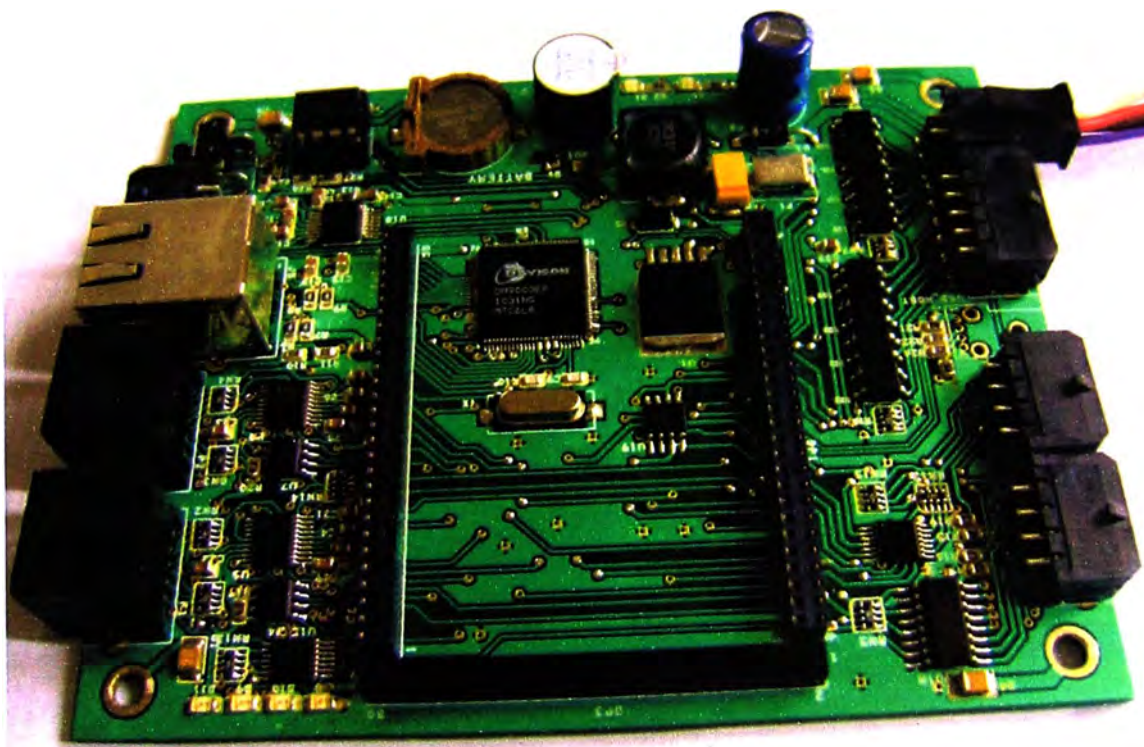


Figura 3.15 Placa circuital sin componentes. (Fuente: Elab. propia).

A la empresa de Taiwan se le envió el archivo layout del ORCAD y los archivos Gerber, y el listado correspondiente de componentes específicos.

3.4 Soporte lógico del módulo de captura

La tarjeta debía contar con el soporte lógico respectivo. Esto se realizó a través de programas unos que corren en bajo nivel (firmware) y otro en alto nivel (software):

- El Firmware.- En este caso como se trata de un sistema operativo Linux, se le llama módulos de Kernel (O Drivers según el enfoque Windows). El cual es un código que permite el uso de los elementos de hardware, en este caso para el hardware de conexión serial, y el de lectura de pulsos de los contadores electromecánicos.

- El software.- En este Proyecto se realizaron dos programas uno que corría en la tarjeta del módulo de captura (colector) y otra que corría en el server.

- o El programa que corría dentro del módulo de captura realiza toda la lógica de control para la adquisición de datos desde la máquina TGM y su posterior envío a la base de datos.

- o Y el otro Programa se encargaba de enviar la data recolectada hacia los servidores MINCETUR. (Ambos programas fueron desarrollados por otro equipo de trabajo).

3.4.1 Firmware

Se desarrolló un firmware (módulo de kernel) para la etapa de hardware del módulo de comunicación serial. En este caso se desarrolla el módulo de Kernel para el sistema operativo Linux que es que utiliza.

Se desarrolló este módulo para poder controlar todas las características del hardware diseñado ya que es este circuito es multiprotocolo, el control se realiza mediante los pines RS422P0, RS485P0 y RS232P0 que se muestran en la figura 3.7

Para esto se modifica el código fuente del módulo de kernel (samsung.ko) referente al puerto UART del microprocesador (samsung.c), para que en este puerto sea configurable el modo de operación.

Este módulo necesita de otros dos módulos para su funcionamiento, los cuales son el módulo s3c2440.ko y el módulo serial_core.ko, todos ellos disponibles con licencia GPL de GNU [21]. Estos módulos se incluyeron en la imagen de kernel que utiliza la tarjeta hija. Solo se modificó el código samsung.c [22].

A continuación, dentro del siguiente recuadro, se muestra partes del código que se adiciono o modificó, comentándolo dentro del código.

```
/** Nombre del UART, Se le asigna el nombre ttyZG al puerto Serial*/
#define S3C24XX_SERIAL_NAME    "ttyZG"

/**
```

```

* Aquí se declaran Variables Globales para el control de los puertos
* RS422 y RS485-2w
*/

static unsigned int mode=0; ///< Variable para configurar el modo de operación.
static unsigned int controlrs485_2w; ///< Variable para el modo de operación rs485.
static unsigned int controlrs422; ///< Variable para el modo de operación rs422

/**
* Esta estructura se utiliza para mapear los pines del microcontrolador para
* controlar los modos de operación de los dos puertos.
*/

struct pincontrol {
    unsigned int pinrs232; ///< Representa el estado del pin de control RS232
    unsigned int pinrs422; ///< Representa el estado del pin de control RS422
    unsigned int pinrs485; ///< Representa el estado del pin de control RS485
};

/**
* Se crea la estructura estática port del tipo struct pincontrol en donde se
* Designa los pines de control respectivos para el control de modos de cada
* Puerto ya que son dos.
* Las Direcciones físicas de los puertos de control se detallan en el archivo
* llamado Linux/arch/arm/mach-s3c2410/include/mach/gpio-nrs.h que se encuentra * en
* las fuentes del kernel linux arm bajo licencia GPL.
*/

static struct pincontrol port[2]={

    /**Pines de control para el Puerto 0.*/

    [0]={.pinrs232=S3C2410_GPG(3), //Pin que controla el modo rs232 (RS232P0)
        .pinrs422=S3C2410_GPG(0), //Pin que controla el modo rs422 (RS422P0)
        .pinrs485=S3C2410_GPF(5), //Pin que controla el modo rs485 (RS485P0)
    },
    /**Pines de control para el Puerto 1.*/
    [1]={.pinrs232=S3C2410_GPG(1), //Pin que controla el modo rs232 (RS232P1)
        .pinrs422=S3C2410_GPF(6), // Pin que controla el modo rs422 (RS422P1)
        .pinrs485=S3C2410_GPF(4), // Pin que controla el modo rs485 (RS485P1)
    }
};
//////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////

/**
* Esta función configura como salidas los pines de control y además inicializa los
* estados iniciales de estos pines.
*/

static void inicializa_control_usart(void)
{
    unsigned int i; ///< Variable entera para el control del bucle for.
    for(i=0;i<2;i++)
    {

```

```

s3c2410_gpio_cfgpin(port[i].pinrs232,S3C2410_GPIO_OUTPUT);
s3c2410_gpio_cfgpin(port[i].pinrs422,S3C2410_GPIO_OUTPUT);
s3c2410_gpio_cfgpin(port[i].pinrs485,S3C2410_GPIO_OUTPUT);
s3c2410_gpio_setpin(port[i].pinrs232,0);
s3c2410_gpio_setpin(port[i].pinrs422,1);
s3c2410_gpio_setpin(port[i].pinrs485,0);
}
}
/////////////////////////////////////////////////////////////////

/**
 * Esta función se utiliza para seleccionar entre los distintos modos que funciona
 * este puerto serial.
 * El parámetro lineport es el número de puerto a seleccionar, puede ser 0 o 1.
 * El parámetro modos es el modo seleccionado que puede ser :
 * 0 es para el modo RS232, 1 para el modo RS485 de dos cables y 2 o 3 para
 * RS422 o RS485 cuatro cables.
 */

static void
usart_mode(int lineport,int modos)
{
    if((lineport>=0)&&(lineport<2))
    {

/** La variable global control422 toma el valor del pin que se asigna al pin rs422.*/
        controlrs422=port[lineport].pinrs422;

/** La variable global control422 toma el valor del pin que se asigna al pin rs485
        De dos cables.*/

        controlrs485_2w=port[lineport].pinrs485;

        switch (modos)
        {
        case 0://< En este caso se configure como RS232
            s3c2410_gpio_setpin(port[lineport].pinrs232,0);
            s3c2410_gpio_setpin(port[lineport].pinrs422, 1);
            s3c2410_gpio_setpin(port[lineport].pinrs485,0);
            break;
        case 1://< En este caso se configura como RS485-2w
            s3c2410_gpio_setpin(port[lineport].pinrs232, 1);
            s3c2410_gpio_setpin(port[lineport].pinrs422,0);///cambia
            s3c2410_gpio_setpin(port[lineport].pinrs485,0);///cambia
            break;
        case 2://< En estos casos se configura como RS422 y RS485-4w
        case 3:
            s3c2410_gpio_setpin(port[lineport].pinrs232, 1);
            s3c2410_gpio_setpin(port[lineport].pinrs422,0);
            s3c2410_gpio_setpin(port[lineport].pinrs485,0);
            break;
        default:
            break;
        }
    }
}

```

```

}else{
    printk(KERN_ERR "%s :error de num de puerto \n",__func__);
}
}
}
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////

/**
 * Esta función se utiliza cuando se detiene la transmisión por el uart
 * Controlando los gpio correspondientes según el modo de operación.
 * El parámetro port , se refiere al puerto uart a utilizar.
 */

static void s3c24xx_serial_stop_tx(struct uart_port *port)
{
    struct s3c24xx_uart_port *ourport = to_ourport(port);

    if (tx_enabled(port)) {
        disable_irq_nosync(ourport->tx_irq);
        tx_enabled(port) = 0;
        if (port->flags & UPF_CONS_FLOW)
            s3c24xx_serial_rx_enable(port);
    }
    if(mode==1)
    {
        s3c2410_gpio_setpin(controlrs485_2w,0);
        s3c2410_gpio_setpin(controlrs422,0);
    }
}

/**
 * Esta función se utiliza cuando se empieza la transmisión por el uart
 * Controlando los gpio correspondientes según el modo de operación.
 * El parámetro port , se refiere al puerto uart a utilizar.
 */

static void s3c24xx_serial_start_tx(struct uart_port *port)
{
    struct s3c24xx_uart_port *ourport = to_ourport(port);

    if (!tx_enabled(port)) {
        if (port->flags & UPF_CONS_FLOW)
            s3c24xx_serial_rx_disable(port);

        enable_irq(ourport->tx_irq);
        tx_enabled(port) = 1;
    }
    if(mode==1)
    {
        s3c2410_gpio_setpin(controlrs485_2w,1);
        s3c2410_gpio_setpin(controlrs422,1);
    }
}

```

```

/////////////////////////////////////////////////////////////////
/**
 * Esta función se encarga de controlar los modos mediante la función ioctl del Sistema
 * Linux, si se pasa como comando el número 0x22 se controla los modos de
 * comunicación .
 * donde :
 * El parámetro port : se refiere al puerto serial que puede ser ttyZG0 o ttyZG1
 * El parámetro cmd: viene hacer el comando.
 * El parámetro arg : es el modo serial que pueden ser rs232, rs485-2w ,rs422 y rs485-
 * 4w.
 */

static int
s3c24xx_serial_ioctl(struct uart_port *port, unsigned int cmd, unsigned long arg)
{
if(cmd==0x22)
{
switch (arg) ///< Según el valor de arg se elige entre los distintos modos seriales.
{
case 0: ///< Se configura el modo serial rs232
{
mode=0;
usart_mode(port->line,mode);
break;
}
case 1: ///< Se configure el modo serial rs485-2w
{
mode=1;
usart_mode(port->line,mode);
break;

}
case 2: /// Se configure el modo serial rs422
case 3: ///< Se configurará el modo serial rs485-4w
{
mode=2;
usart_mode(port->line,mode);
break;
}

default:
{
printf(KERN_ERR "%s:no existe modo \n",__func__);
break;
}
}
}
}
return -ENOIOCTLCMD;
}

```

3.4.2 Software

La parte del software estuvo a cargo de otro equipo, pero se muestra en la figura

3.16 el flujo del programa que corre en el módulo de captura de datos.

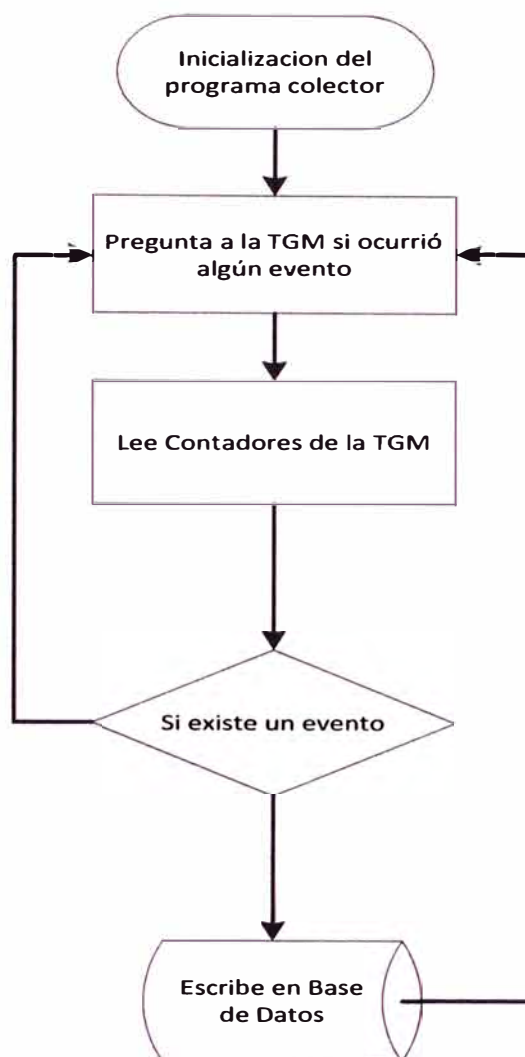


Figura 3.16 Flujo de programa para el módulo de captura de datos (Fuente: Elab. propia).

La parte de Inicialización del programa comprende en la inicialización de la comunicación con la máquina tragamonedas mediante el puerto serial y también de establecer la comunicación por Ethernet con la base de datos.

El bucle principal consiste en la constante monitorización de los estados y de los contadores mediante un protocolo de serial propietario que usan las máquinas tragamonedas.

Cada medio segundo se le pregunta a la maquina tragamonedas si ocurrió un evento y también se le pide sus contadores actuales y si existe un evento esta data se envía a la base de datos que está en un servidor interno que está dentro de la sala tragamonedas para su posterior procesado y luego se envía a los servidores de MINCETUR.

CAPÍTULO IV PRUEBAS, CRONOGRAMA Y COSTOS

En el presente capítulo se tocan los temas involucrados a las pruebas realizadas, al presupuesto y al cronograma del proyecto de ingeniería.

4.1 Pruebas realizadas

Las pruebas se realizaron en un pequeño laboratorio de la empresa en la que se diseñó la solución. Primero se realizaron las pruebas de cada uno de los módulos de hardware que componen el circuito del módulo colector. Estos módulos se ensamblaron en la placa universal para realizar pruebas (comúnmente llamada galleta) antes del diseño del circuito impreso total mostrado en la figura 3.13. Los circuitos de prueba fueron ensamblados con integrados de tipo DIP (Encapsulado in doble línea) y el diseño de producción fue realizado con dispositivos superficiales SMD (Dispositivos de montaje superficial).

La figura 4.1 muestra las primeras pruebas de funcionamiento de la tarjeta recién ensamblada la cual se le alimentó con una fuente externa de 12 Voltios DC y se conectó a la RED LAN local del laboratorio para hacer pruebas de comunicación Ethernet y pruebas del sistema operativo.

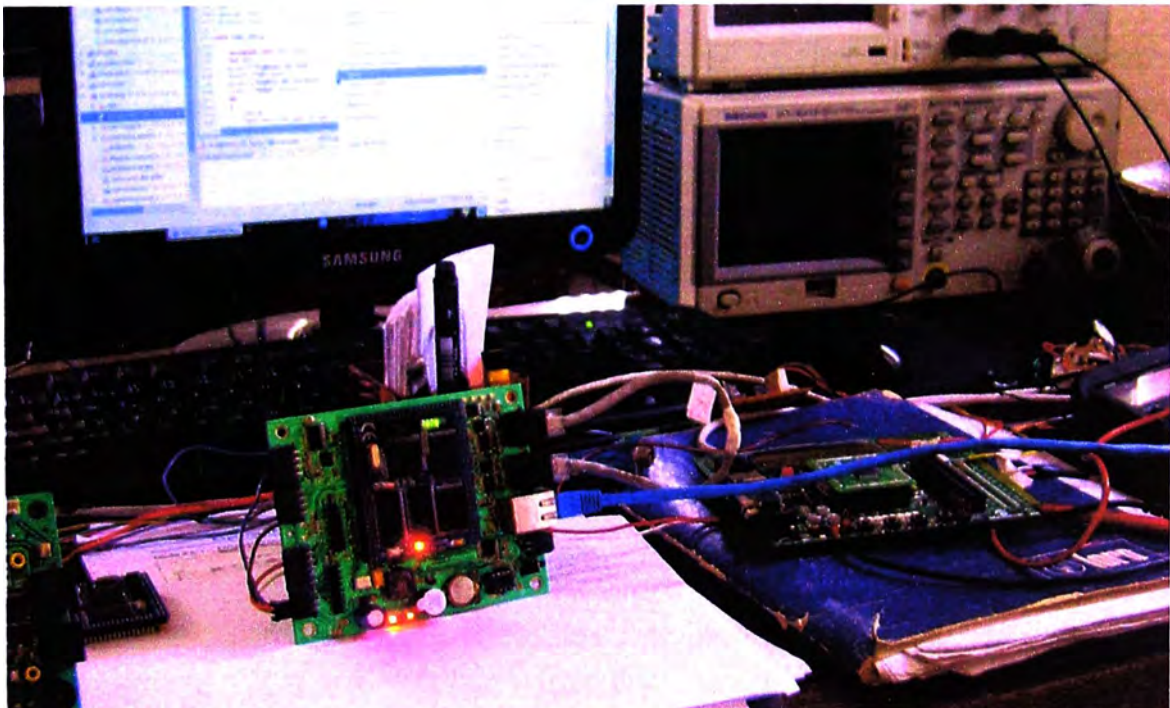


Figura 4.1 Pruebas iniciales del módulo de captura. (Fuente: Elab. propia).

Se conecta el módulo de captura mediante SSH (Secure Shell) por terminal, por el cual se realiza el control de las aplicaciones de prueba grabadas en el módulo de captura. Esta aplicación utiliza el driver serial explicado en el capítulo 3, para realizar la comunicación serial y coleccionar los datos de las máquinas tragamonedas y enviarlas a base de datos.

Nota:

SSH es un protocolo que facilita las comunicaciones seguras entre dos sistemas usando una arquitectura cliente/servidor y que permite a los usuarios conectarse a un host remotamente.

Luego se realizaron las pruebas con la máquina tragamonedas. En estas pruebas se generaron eventos en la máquina tragamonedas, orientadas a la fiscalización del acceso a cada máquina. Entre ellas se tienen las siguientes:

- Detección de apertura y cierre de la puerta principal de la máquina tragamonedas.
- Detección de apertura y cierre de la puerta lógica (la que da acceso a la mainboard de la máquina).
- Detección de apertura y cierre de la puerta de billeteo (donde se acumula el dinero).
- Detección de giro de la llave de auditoria (usada solo por personal autorizado).
- Detección de giro de la llave de reset (usada para realizar pago manual).
- Así como detectar los eventos de entrada al menú estadístico, al menú de test de hardware, hacer jugadas, etc.

Luego se realizó la depuración del código del software de monitoreo, el cual fue realizado por el equipo de programadores de la empresa, los cuales probaron el módulo de captura entregado para optimizar el desarrollo del código.

La figura 4.2 muestra una captura de pantalla del sistema de monitoreo el cual se ejecuta en cualquier navegador de internet. El programa fue desarrollado para que su interfaz de usuario pueda ser utilizado en dos idiomas (español e inglés). Se pueden observar los íconos con las banderas de España e Inglaterra, respectivamente.

En la primera línea se indica la sala de juegos o Gaming Hall. Debido a la confidencialidad exigida se ha colocado un nombre ficticio, en este caso Plaza Norte.. Se indica también quien es el usuario que ha ingresado al programa (user) así como la opción para cerrar la sesión (logout).

En la línea siguiente se muestra el rótulo "Máquinas en línea" y seguidamente el nombre, el total de máquinas, el día y hora de la sesión actual. Posteriormente hay una opción para establecer el tiempo de refresco de la información de la pantalla. Para este caso fue de un minuto, aunque se posibilita al usuario realizar el refresco de esta información de manera manual mediante el botón "Actualizar" (refresh). Complementariamente se tiene la opción de imprimir o exportar a excel.



Figura 4.2 Interface de usuario de pantalla de monitoreo. (Fuente: Elab. propia).

Las columnas de la tabla de la pantalla muestran, además de otros datos de interés para el cliente, lo siguiente:

- IEGM.. El número de identificación de la máquina tragamonedas. IEGM significa Identity Electronic Game Machine.
- System Id.- Es el identificador propia de cada tarjeta de captura.
- Mincetur Id. Es el identificador asignado por MINCETUR a una máquina tragamonedas.
- Brand (marca).- La marca de la máquina tragamonedas.
- Model (modelo).- El modelo de la máquina tragamonedas.
- Turnover.- Contador de facturación.
- Total wins.= Contador del total ganado.

Este circuito y todo el sistema fueron llevados a Estados Unidos para su certificación en los laboratorios de GLI (Gaming Laboratories International) [23], la cual es una empresa de gran prestigio internacionalmente cuyos certificados son reconocidos a nivel mundial. Hasta la fecha son 455 entidades reguladoras de juegos de azar que han recurrido a GLI, de esa manera esta empresa ha asegurado la integridad de cualquier sistema de la industria del juego por más de 25 años

Luego de obtenida la certificación este producto se vendió a varias salas de tragamonedas del Perú.

4.3 Cronograma de trabajos

El cronograma de trabajo simplificado se muestra en la tabla 4.1. En total fueron cinco meses.

Tabla 4.1 Cronograma de trabajos

Tiempo de desarrollo	Descripción de los trabajos realizados
Primer Mes	Diseño de los circuitos electrónicos de cada uno de los módulos de hardware incluidos en el circuito total del módulo de captura.
Segundo Mes	Ensamblaje del circuito del prototipo módulo de captura y Pruebas de comunicación con la maquina tragamonedas.
Tercer Mes	Fabricación en Taiwán del circuito del módulo de captura para producción. Grabación del sistema Operativo y Control de calidad
Cuarto Mes	Certificación internacional
Quinto Mes	Puesta en marcha del sistema Online (SUCTR) para la supervisión y monitoreo de las salas tragamonedas.

4.4 Estructura de costos

La estructura de costos presentada en la tabla 4.2 solo considera el costo de los dispositivos electrónicos y tarjetas utilizadas, pero no así los costos por recursos humanos y otros relacionados a la empresa (por ejemplo las horas hombre, la

certificación, etc.), ello debido a que esa información es manejada exclusivamente por el área de logística de la empresa.

Tabla 4.2 Estructura de costos

Descripción	Precio
Fabricación del prototipo del circuito impreso del hardware del módulo de captura en Lima más componentes y soldado de piezas.	200 dólares
Fabricación del hardware de módulo de captura en Taiwán para producción	40 dólares
Tarjeta mini2440 (tarjeta hija)	30 dólares
Total	270 dólares

CONCLUSIONES Y RECOMENDACIONES

Conclusiones

1. Se concluye que el objetivo propuesto de diseñar e implementar un módulo de captura de datos para el Sistema Unificado de Control (SUCTR), que sea certificado por parte de las entidades designadas por MINCETUR y que sea un producto de calidad y economía que pueda ser comercializado entre las Salas de Juego, fue logrado.
2. El producto es óptimo y compite en el mercado con las soluciones presentadas por otras empresas.
3. El producto garantiza técnicamente la inviolabilidad de los datos que generen todas y cada una de las máquinas tragamonedas que se explotan en una sala de juegos, posibilitando una auditoria permanente en las salas de juegos y/o el domicilio fiscal del Titular (in situ) por parte del MINCETUR y/o la SUNAT.
4. El producto garantiza la integridad, confidencialidad, disponibilidad, certeza, transparencia y eficacia de los resultados generados por cada una de las máquinas tragamonedas que operan en la sala de juegos.
5. El producto proporciona al MINCETUR y/o a la SUNAT la información necesaria para garantizar fehacientemente la información de los contadores así como los eventos significativos generados por cada una de las máquinas tragamonedas en explotación en la sala de juegos

Recomendaciones

1. Se recomienda que la fuente de alimentación sea independiente de la fuente de poder de la máquina tragamonedas, de tal manera que ante un corte de energía o falla en la fuente principal, la tarjeta de captura siga operando para detectar los eventos de energía.
2. Se recomienda brindar un mantenimiento preventivo a fin de asegurar la confiabilidad y disponibilidad del sistema.
3. Se recomienda que el módulo esté instalado en un lugar en el cual no corra riesgo de ser dañado física o eléctricamente.

ANEXO A
LM2576 - REGULADOR CONMUTADO AJUSTABLE 3A

LM2576

3.0 A, 15 V, Step-Down Switching Regulator

The LM2576 series of regulators are monolithic integrated circuits ideally suited for easy and convenient design of a step-down switching regulator (buck converter). All circuits of this series are capable of driving a 3.0 A load with excellent line and load regulation. These devices are available in fixed output voltages of 3.3 V, 5.0 V, 12 V, 15 V, and an adjustable output version.

These regulators were designed to minimize the number of external components to simplify the power supply design. Standard series of inductors optimized for use with the LM2576 are offered by several different inductor manufacturers.

Since the LM2576 converter is a switch-mode power supply, its efficiency is significantly higher in comparison with popular three-terminal linear regulators, especially with higher input voltages. In many cases, the power dissipated is so low that no heatsink is required or its size could be reduced dramatically.

A standard series of inductors optimized for use with the LM2576 are available from several different manufacturers. This feature greatly simplifies the design of switch-mode power supplies.

The LM2576 features include a guaranteed $\pm 4\%$ tolerance on output voltage within specified input voltages and output load conditions, and $\pm 10\%$ on the oscillator frequency ($\pm 2\%$ over 0°C to 125°C). External shutdown is included, featuring $80\ \mu\text{A}$ (typical) standby current. The output switch includes cycle-by-cycle current limiting, as well as thermal shutdown for full protection under fault conditions.

Features

- 3.3 V, 5.0 V, 12 V, 15 V, and Adjustable Output Versions
- Adjustable Version Output Voltage Range, 1.23 to 37 V $\pm 4\%$ Maximum Over Line and Load Conditions
- Guaranteed 3.0 A Output Current
- Wide Input Voltage Range
- Requires Only 4 External Components
- 52 kHz Fixed Frequency Internal Oscillator
- TTL Shutdown Capability, Low Power Standby Mode
- High Efficiency
- Uses Readily Available Standard Inductors
- Thermal Shutdown and Current Limit Protection
- Moisture Sensitivity Level (MSL) Equals 1
- Pb-free Packages are Available

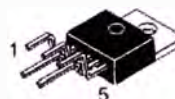
Applications

- Simple High-Efficiency Step-Down (Buck) Regulator
- Efficient Pre-Regulator for Linear Regulators
- On-Card Switching Regulators
- Positive to Negative Converter (Buck-Boost)
- Negative Step-Up Converters
- Power Supply for Battery Chargers



ON Semiconductor[®]

<http://onsemi.com>



**TO-220
TV SUFFIX
CASE 314B**

Heatsink surface connected to Pin 3



**TO-220
T SUFFIX
CASE 314D**

Pin 1. V_{in}
2. Output
3. Ground
4. Feedback
5. ON/OFF



**D²PAK
D2T SUFFIX
CASE 936A**

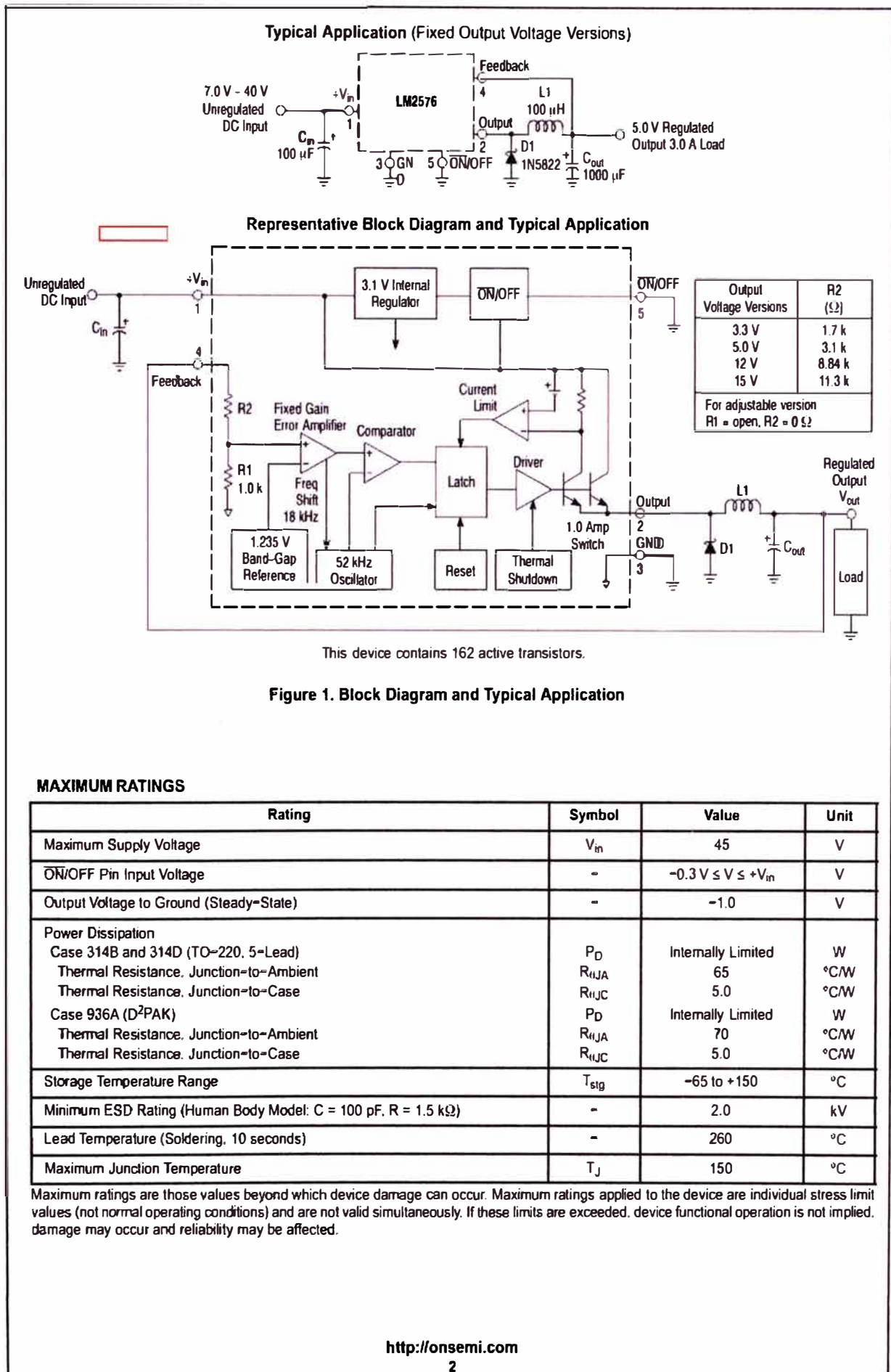
Heatsink surface (shown as terminal 6 in case outline drawing) is connected to Pin 3

ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 24 of this data sheet.

DEVICE MARKING INFORMATION

See general marking information in the device marking section on page 25 of this data sheet.



OPERATING RATINGS (Operating Ratings indicate conditions for which the device is intended to be functional, but do not guarantee specific performance limits. For guaranteed specifications and test conditions, see the Electrical Characteristics.)

Rating	Symbol	Value	Unit
Operating Junction Temperature Range	T_J	-40 to +125	°C
Supply Voltage	V_{in}	40	V

SYSTEM PARAMETERS (Note 1 Test Circuit Figure 15)

ELECTRICAL CHARACTERISTICS (Unless otherwise specified, $V_{in} = 12$ V for the 3.3 V, 5.0 V, and Adjustable version, $V_{in} = 25$ V for the 12 V version, and $V_{in} = 30$ V for the 15 V version. $I_{Load} = 500$ mA. For typical values $T_J = 25^\circ\text{C}$, for min/max values T_J is the operating junction temperature range that applies Note 2, unless otherwise noted.)

Characteristics	Symbol	Min	Typ	Max	Unit
-----------------	--------	-----	-----	-----	------

LM2576-3.3 (Note 1 Test Circuit Figure 15)

Output Voltage ($V_{in} = 12$ V, $I_{Load} = 0.5$ A, $T_J = 25^\circ\text{C}$)	V_{out}	3.234	3.3	3.366	V
Output Voltage (6.0 V $\leq V_{in} \leq 40$ V, 0.5 A $\leq I_{Load} \leq 3.0$ A) $T_J = 25^\circ\text{C}$ $T_J = -40$ to $+125^\circ\text{C}$	V_{out}	3.168 3.135	3.3 -	3.432 3.465	V
Efficiency ($V_{in} = 12$ V, $I_{Load} = 3.0$ A)	η	-	75	-	%

LM2576-5 (Note 1 Test Circuit Figure 15)

Output Voltage ($V_{in} = 12$ V, $I_{Load} = 0.5$ A, $T_J = 25^\circ\text{C}$)	V_{out}	4.9	5.0	5.1	V
Output Voltage (8.0 V $\leq V_{in} \leq 40$ V, 0.5 A $\leq I_{Load} \leq 3.0$ A) $T_J = 25^\circ\text{C}$ $T_J = -40$ to $+125^\circ\text{C}$	V_{out}	4.8 4.75	5.0 -	5.2 5.25	V
Efficiency ($V_{in} = 12$ V, $I_{Load} = 3.0$ A)	η	-	77	-	%

LM2576-12 (Note 1 Test Circuit Figure 15)

Output Voltage ($V_{in} = 25$ V, $I_{Load} = 0.5$ A, $T_J = 25^\circ\text{C}$)	V_{out}	11.76	12	12.24	V
Output Voltage (15 V $\leq V_{in} \leq 40$ V, 0.5 A $\leq I_{Load} \leq 3.0$ A) $T_J = 25^\circ\text{C}$ $T_J = -40$ to $+125^\circ\text{C}$	V_{out}	11.52 11.4	12 -	12.48 12.6	V
Efficiency ($V_{in} = 15$ V, $I_{Load} = 3.0$ A)	η	-	88	-	%

LM2576-15 (Note 1 Test Circuit Figure 15)

Output Voltage ($V_{in} = 30$ V, $I_{Load} = 0.5$ A, $T_J = 25^\circ\text{C}$)	V_{out}	14.7	15	15.3	V
Output Voltage (18 V $\leq V_{in} \leq 40$ V, 0.5 A $\leq I_{Load} \leq 3.0$ A) $T_J = 25^\circ\text{C}$ $T_J = -40$ to $+125^\circ\text{C}$	V_{out}	14.4 14.25	15 -	15.6 15.75	V
Efficiency ($V_{in} = 18$ V, $I_{Load} = 3.0$ A)	η	-	88	-	%

LM2576 ADJUSTABLE VERSION (Note 1 Test Circuit Figure 15)

Feedback Voltage ($V_{in} = 12$ V, $I_{Load} = 0.5$ A, $V_{out} = 5.0$ V, $T_J = 25^\circ\text{C}$)	V_{out}	1.217	1.23	1.243	V
Feedback Voltage (8.0 V $\leq V_{in} \leq 40$ V, 0.5 A $\leq I_{Load} \leq 3.0$ A, $V_{out} = 5.0$ V) $T_J = 25^\circ\text{C}$ $T_J = -40$ to $+125^\circ\text{C}$	V_{out}	1.193 1.18	1.23 -	1.267 1.28	V
Efficiency ($V_{in} = 12$ V, $I_{Load} = 3.0$ A, $V_{out} = 5.0$ V)	η	-	77	-	%

- External components such as the catch diode, inductor, input and output capacitors can affect switching regulator system performance. When the LM2576 is used as shown in the Figure 15 test circuit, system performance will be as shown in system parameters section.
- Tested junction temperature range for the LM2576: $T_{low} = -40^\circ\text{C}$ $T_{high} = +125^\circ\text{C}$

DEVICE PARAMETERS

ELECTRICAL CHARACTERISTICS (Unless otherwise specified, $V_{in} = 12$ V for the 3.3 V, 5.0 V, and Adjustable version, $V_{in} = 25$ V for the 12 V version, and $V_{in} = 30$ V for the 15 V version. $I_{Load} = 500$ mA. For typical values $T_J = 25^\circ\text{C}$, for min/max values T_J is the operating junction temperature range that applies [Note 2], unless otherwise noted.)

Characteristics	Symbol	Min	Typ	Max	Unit
ALL OUTPUT VOLTAGE VERSIONS					
Feedback Bias Current ($V_{out} = 5.0$ V Adjustable Version Only) $T_J = 25^\circ\text{C}$ $T_J = -40$ to $+125^\circ\text{C}$	I_b	-	25	100	nA
Oscillator Frequency Note 3 $T_J = 25^\circ\text{C}$ $T_J = 0$ to $+125^\circ\text{C}$ $T_J = -40$ to $+125^\circ\text{C}$	f_{osc}	-	52	-	kHz
Saturation Voltage ($I_{out} = 3.0$ A Note 4) $T_J = 25^\circ\text{C}$ $T_J = -40$ to $+125^\circ\text{C}$	V_{sat}	-	1.5	1.8	V
Max Duty Cycle ("on") Note 5	DC	94	98	-	%
Current Limit (Peak Current Notes 3 and 4) $T_J = 25^\circ\text{C}$ $T_J = -40$ to $+125^\circ\text{C}$	I_{CL}	4.2	5.8	6.9	A
Output Leakage Current Notes 6 and 7, $T_J = 25^\circ\text{C}$ Output = 0 V Output = -1.0 V	I_L	-	0.8	2.0	mA
Quiescent Current Note 6 $T_J = 25^\circ\text{C}$ $T_J = -40$ to $+125^\circ\text{C}$	I_Q	-	5.0	9.0	mA
Standby Quiescent Current (\overline{ON}/OFF Pin = 5.0 V ("off")) $T_J = 25^\circ\text{C}$ $T_J = -40$ to $+125^\circ\text{C}$	I_{siby}	-	80	200	μA
\overline{ON}/OFF Pin Logic Input Level (Test Circuit Figure 15) $V_{out} = 0$ V $T_J = 25^\circ\text{C}$ $T_J = -40$ to $+125^\circ\text{C}$ $V_{out} = \text{Nominal Output Voltage}$ $T_J = 25^\circ\text{C}$ $T_J = -40$ to $+125^\circ\text{C}$	V_{IH}	2.2	1.4	-	V
	V_{IL}	2.4	-	-	V
\overline{ON}/OFF Pin Input Current (Test Circuit Figure 15) \overline{ON}/OFF Pin = 5.0 V ("off"), $T_J = 25^\circ\text{C}$ \overline{ON}/OFF Pin = 0 V ("on"), $T_J = 25^\circ\text{C}$	I_{IH}	-	15	30	μA
	I_{IL}	-	0	5.0	μA

- The oscillator frequency reduces to approximately 18 kHz in the event of an output short or an overload which causes the regulated output voltage to drop approximately 40% from the nominal output voltage. This self protection feature lowers the average dissipation of the IC by lowering the minimum duty cycle from 5% down to approximately 2%.
- Output (Pin 2) sourcing current. No diode, inductor or capacitor connected to output pin.
- Feedback (Pin 4) removed from output and connected to 0 V.
- Feedback (Pin 4) removed from output and connected to +12 V for the Adjustable, 3.3 V, and 5.0 V versions, and +25 V for the 12 V and 15 V versions, to force the output transistor "off".
- $V_{in} = 40$ V.

TYPICAL PERFORMANCE CHARACTERISTICS (Circuit of Figure 15)

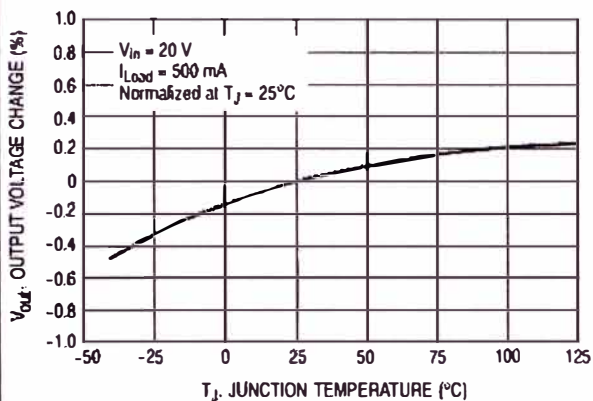


Figure 2. Normalized Output Voltage

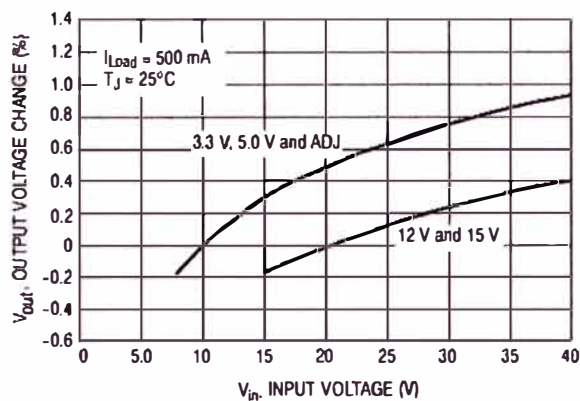


Figure 3. Line Regulation

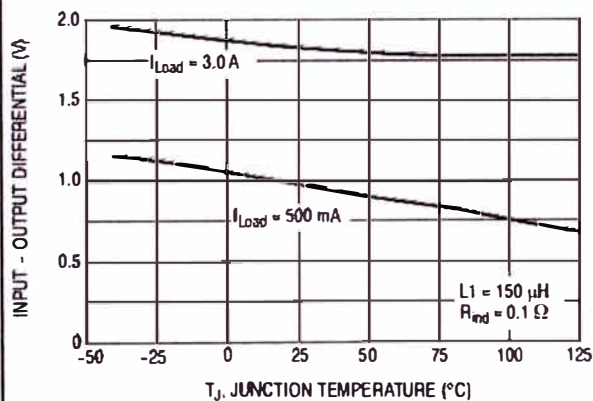


Figure 4. Dropout Voltage

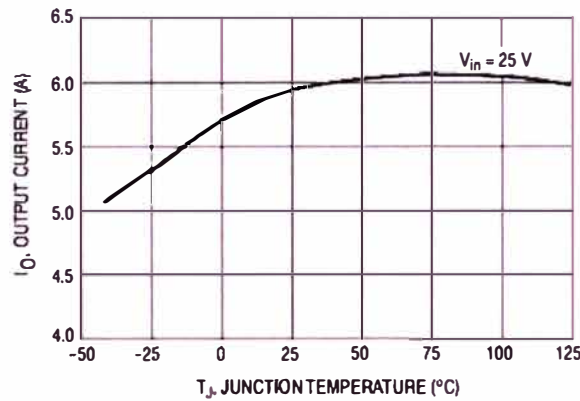


Figure 5. Current Limit

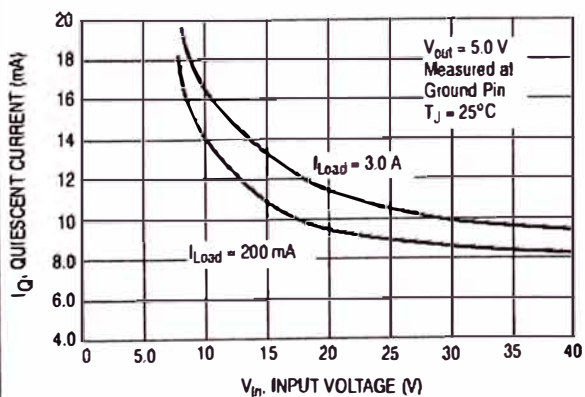


Figure 6. Quiescent Current

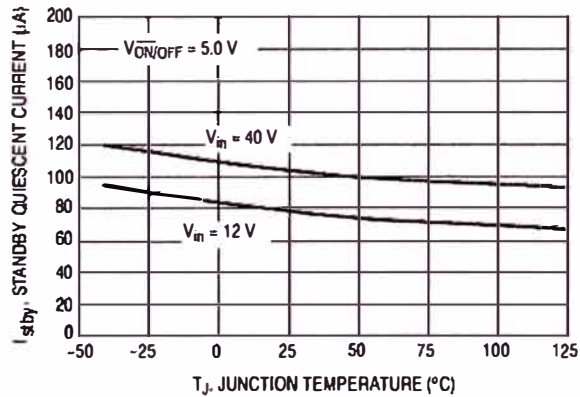


Figure 7. Standby Quiescent Current

ANEXO B
SMD075F- FUSIBLE AUTORESETEABLE

Tyco / Electronics
Raychem Circuit Protection
 308 Constitution Drive
 Menlo Park, CA 94025
 Phone: 800-227-4856
 Fax: 800-227-4866

PolySwitch®
PTC Devices
 Overcurrent Protection Device

PRODUCT: SMD075F

DOCUMENT: SCD 25099
 PCN: E60846
 REV LETTER: C
 REV DATE: MARCH 29, 2005
 PAGE NO.: 1 OF 1

Specification Status: Released

Maximum Electrical Ratings




Operating Voltage / Interrupt Current

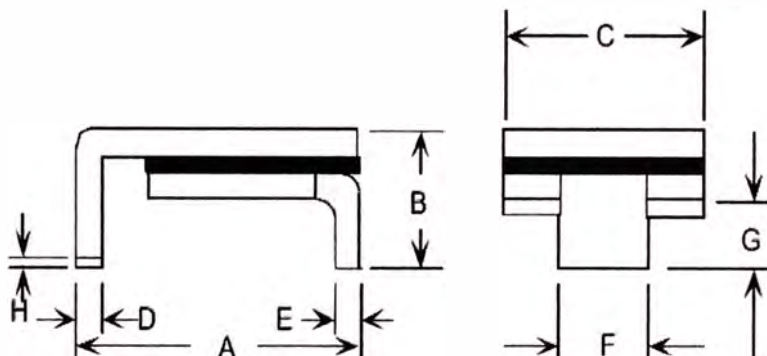
30V / 40A

12V / 60A

5V / 125A

Marking:

 **075F** – Part Identification
 – Manufacturer's Mark
 – Lot Identification



Notes:

1. All metal surfaces are tin plated.
2. Devices cannot be wave soldered.
3. Drawing not to scale.

TABLE I. DIMENSIONS:

	A		B		C		D		E		F		G		H
	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	MIN
mm:	6.73	7.98	--	3.18	4.8	5.44	0.56	0.71	0.56	0.71	2.16	2.41	0.66	1.37	0.43
in*:	(0.265)	(0.314)	--	(0.125)	(0.19)	(0.214)	(0.022)	(0.028)	(0.022)	(0.028)	(0.085)	(0.095)	(0.026)	(0.054)	(0.017)

TABLE II. PERFORMANCE RATINGS:

CURRENT RATINGS**						TIME TO TRIP**	RESISTANCE VALUES		TRIPPED-STATE POWER DISSIPATION**
AMPS AT 0°C		AMPS AT 20°C		AMPS AT 60°C		SECONDS AT 20°C, 8.0A MAX	OHMS AT 20°C		WATTS AT 20°C
HOLD	TRIP	HOLD	TRIP	HOLD	TRIP		MIN	MAX*	MAX
0.84	1.68	0.75	1.50	0.49	0.98	0.3	0.35	1.0	1.7

* Maximum resistance is measured 1 hour after reflow.

** Values specified were determined using PCB's with 0.070"X1.5 ounce copper traces.

Agency Recognition:
 Reference Documents:
 Precedence:
 Effectivity:
 CAUTION:

UL, CSA and TÜV
 PS300, E.N. SMD 1.0x
 This specification takes precedence over documents referenced herein.
 Reference documents shall be the issue in effect on the date of invitation for bid.
 Operation beyond the rated voltage or current may result in rupture, electrical arcing or flame.

Materials Information

ROHS Compliant

Directive 2002/95/EC
 Compliant

ELV Compliant

Directive 2000/53/EC
 Compliant

Pb-Free



© 2005 Tyco Electronics Corporation. All rights reserved.

ANEXO C
AP1117 - REGULADOR DE TENSIÓN DE BAJAS PÉRDIDAS



AP1117

1A LOW DROPOUT POSITIVE ADJUSTABLE OR FIXED-MODE REGULATOR

Features

- 1.4V Maximum Dropout at Full Load Current
- Fast Transient Response
- Output Current Limiting
- Built-in Thermal Shutdown
- Good Noise Rejection
- 3-Terminal Adjustable or Fixed 1.5V, 1.8V, 2.5V, 3.3V, 5.0V
- Lead Free Packages: SOT223-3L, TO252-3L, SOT89-3L, TO263-3L and TO220-3L
- SOT223-3L, TO252-3L and SOT89-3L: Available in "Green" Molding Compound (No Br, Sb)
- Lead Free Finish/RoHS Compliant (Note 2)

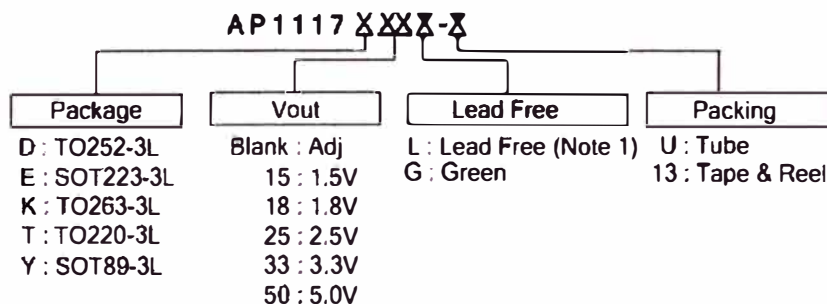
General Description

AP1117 is a low dropout positive adjustable or fixed-mode regulator with 1A output current capability. The product is voltage specifically designed to provide well-regulated supply for low IC applications such as high-speed bus termination and low current 3.3V logic supply. AP1117 is also well suited for other applications such as VGA cards. AP1117 is guaranteed to have lower than 1.4V dropout at full load current making it ideal to provide well-regulated outputs of 1.25 to 5.0 with 6.4V to 18V input supply. AP1117 is available in commercial temperature grade.

Applications

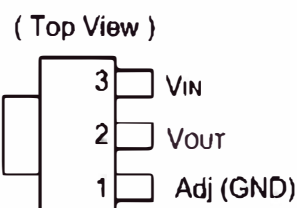
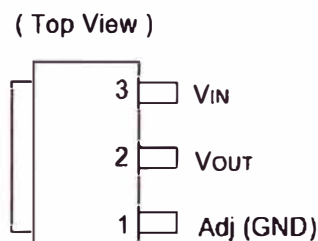
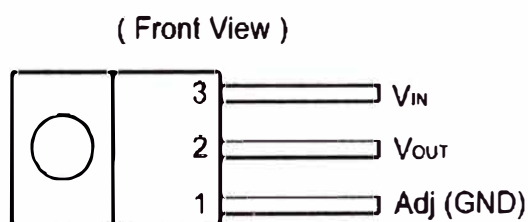
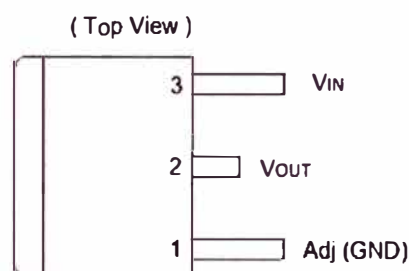
- PC Peripheral
- Communication

Ordering Information



Device	Package Code	Packaging (Note 3)	Tube		13" Tape and Reel	
			Quantity	Part Number Suffix	Quantity	Part Number Suffix
AP1117DXXL-U	D	TO252-3L	80	-U	NA	NA
AP1117DXXL-13	D	TO252-3L	NA	NA	2500/Tape & Reel	-13
AP1117DXXG-U	D	TO252-3L	80	-U	NA	NA
AP1117DXXG-13	D	TO252-3L	NA	NA	2500/Tape & Reel	-13
AP1117EXXL-U	E	SOT223-3L	75	-U	NA	NA
AP1117EXXL-13	E	SOT223-3L	NA	NA	2500/Tape & Reel	-13
AP1117EXXG-U	E	SOT223-3L	75	-U	NA	NA
AP1117EXXG-13	E	SOT223-3L	NA	NA	2500/Tape & Reel	-13
AP1117KXXL-U	K	TO263-3L	50	-U	NA	NA
AP1117KXXL-13	K	TO263-3L	NA	NA	800/Tape & Reel	-13
AP1117TXXL-U	T	TO220-3L	50	-U	NA	NA
AP1117YXXL-13	Y	SOT89-3L	NA	NA	2500/Tape & Reel	-13
AP1117YXXG-13	Y	SOT89-3L	NA	NA	2500/Tape & Reel	-13

- Notes:
1. TO263-3L and TO220-3L are available in "Lead Free" products only.
 2. EU Directive 2002/95/EC (RoHS). All applicable RoHS exemptions applied, see EU Directive 2002/95/EC Annex Notes.
 3. Pad layout as shown on Diodes Inc. suggested pad layout document AP02001, which can be found on our website at <http://www.diodes.com/datasheets/ap02001.pdf>.

Pin Assignments
(1) SOT89-3L

 Tab is V_{OUT}
(2) SOT223-3L

 Tab is V_{OUT}
(3) TO220-3L

 Tab is V_{OUT}
(4) TO252-3L and TO263-3L

 Tab is V_{OUT}
Pin Descriptions

NAME	I/O	PIN #	FUNCTION
Adj (GND)	I	1	A resistor divider from this pin to the V _{OUT} pin and ground sets the output voltage (Ground only for Fixed-Mode).
V _{OUT}	O	2	The output of the regulator. A minimum of 10uF capacitor (0.15Ω ≤ ESR ≤ 20Ω) must be connected from this pin to ground to insure stability.
V _{IN}	I	3	The input pin of regulator. Typically a large storage capacitor (0.15Ω ≤ ESR ≤ 20Ω) is connected from this pin to ground to insure that the input voltage does not sag below the minimum dropout voltage during the load transient response. This pin must always be 1.3V higher than V _{OUT} in order for the device to regulate properly.



AP1117

1A LOW DROPOUT POSITIVE ADJUSTABLE OR FIXED-MODE REGULATOR

Electrical Characteristics (Under Operating Conditions)

Parameter	Conditions	Min	Typ.	Max	Unit
Reference Voltage	AP1117-ADJ $T_A = 25^\circ\text{C}$, $(V_{IN-OUT}) = 1.5\text{V}$ $I_O = 10\text{mA}$	1.225	1.250	1.275	V
Output Voltage	AP1117-1.5 $I_{OUT} = 10\text{mA}$, $T_A = 25^\circ\text{C}$. $3\text{V} \leq V_{IN} \leq 12\text{V}$	1.470	1.500	1.530	V
	AP1117-1.8 $I_{OUT} = 10\text{mA}$, $T_A = 25^\circ\text{C}$. $3.3\text{V} \leq V_{IN} \leq 12\text{V}$	1.764	1.800	1.836	V
	AP1117-2.5 $I_{OUT} = 10\text{mA}$, $T_A = 25^\circ\text{C}$. $4\text{V} \leq V_{IN} \leq 12\text{V}$	2.450	2.500	2.550	V
	AP1117-3.3 $I_{OUT} = 10\text{mA}$, $T_A = 25^\circ\text{C}$. $4.8\text{V} \leq V_{IN} \leq 12\text{V}$	3.235	3.300	3.365	V
	AP1117-5.0 $I_{OUT} = 10\text{mA}$, $T_A = 25^\circ\text{C}$. $6.5\text{V} \leq V_{IN} \leq 12\text{V}$	4.900	5.000	5.100	V
Line Regulation	AP1117-XXX $I_O = 10\text{mA}$, $V_{OUT} + 1.5\text{V} < V_{IN} < 12\text{V}$. $T_A = 25^\circ\text{C}$			0.2	%
Load Regulation	AP1117-ADJ $V_{IN} = 3.3\text{V}$, $V_{adj} = 0.0\text{mA} < I_O < 1\text{A}$. $T_A = 25^\circ\text{C}$ (Note 5, 6)			1	%
	AP1117-1.5 $V_{IN} = 3\text{V}$, $0\text{mA} < I_O < 1\text{A}$. $T_A = 25^\circ\text{C}$ (Note 5, 6)		12	15	mV
	AP1117-1.8 $V_{IN} = 3.3\text{V}$, $0\text{mA} < I_O < 1\text{A}$. $T_A = 25^\circ\text{C}$ (Note 5, 6)		15	18	mV
	AP1117-2.5 $V_{IN} = 4\text{V}$, $0\text{mA} < I_O < 1\text{A}$. $T_A = 25^\circ\text{C}$ (Note 5, 6)		20	25	mV
	AP1117-3.3 $V_{IN} = 5\text{V}$, $0 \leq I_{OUT} \leq 1\text{A}$. $T_A = 25^\circ\text{C}$ (Note 5, 6)		26	33	mV
	AP1117-5.0 $V_{IN} = 8\text{V}$, $0 \leq I_{OUT} \leq 1\text{A}$. $T_A = 25^\circ\text{C}$ (Note 5, 6)		40	50	mV
Dropout Voltage ($V_{IN}-V_{OUT}$)	AP1117-ADJ/1.5/1.8 /2.5/3.3/5.0 $I_{OUT} = 1\text{A}$, $\Delta V_{OUT} = 1\%V_{OUT}$		1.3	1.4	V
Current Limit	AP1117-ADJ/1.5/1.8 /2.5/3.3/5.0 ($V_{IN}-V_{OUT}$) = 5V	1.1			A
Minimum Load Current (Note 7)	AP1117-XXX $0^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		5	10	mA
Thermal Regulation	$T_A = 25^\circ\text{C}$, 30ms pulse		0.008	0.04	%/W
Ripple Rejection	$F = 180\text{Hz}$, $C_{OUT} = 25\mu\text{F}$ Tantalum, $I_{OUT} = 1\text{A}$				
	AP1117-XXX $V_{IN} = V_{OUT} + 3\text{V}$		60	70	dB
Temperature Stability	$I_O = 10\text{mA}$		0.5		%
θ_{JA} Thermal Resistance Junction-to-Ambient	SOT89-3L: Control Circuitry/Power Transistor (Note 8)		182		$^\circ\text{C/W}$
	SOT223-3L: Control Circuitry/Power Transistor (Note 9)		107		
	TO252-3L: Control Circuitry/Power Transistor (Note 8)		73		
	TO220-3L: Control Circuitry/Power Transistor (Note 8)		78		
	TO263-3L: Control Circuitry/Power Transistor (Note 8)		60		
θ_{JC} Thermal Resistance Junction-to-Case	SOT89-3L: Control Circuitry/Power Transistor (Note 8)		42		$^\circ\text{C/W}$
	SOT223-3L: Control Circuitry/Power Transistor (Note 9)		16		
	TO252-3L: Control Circuitry/Power Transistor (Note 8)		12		
	TO220-3L: Control Circuitry/Power Transistor (Note 8)		3.5		
	TO263-3L: Control Circuitry/Power Transistor (Note 8)		3.5		

- Notes:
- See thermal regulation specifications for changes in output voltage due to heating effects. Line and load regulation are measured at a constant junction temperature by low duty cycle pulse testing. Load regulation is measured at the output lead = 1/18" from the package.
 - Line and load regulation are guaranteed up to the maximum power dissipation of 15W. Power dissipation is determined by the difference between input and output differential and the output current. Guaranteed maximum power dissipation will not be available over the full input/output range.
 - Quiescent current is defined as the minimum output current required in maintaining regulation. At 12V input/output differential the device is guaranteed to regulate if the output current is greater than 10mA.
 - Test conditions for SOT89-3L, TO220-3L, TO252-3L, and TO263-3L: Devices mounted on FR-4 substrate, single sided PC board, 2oz copper, with minimum recommended pad layout, no air flow.
 - Test conditions for SOT223-3L: Devices mounted on FR-4 substrate, single sided PC board, 2oz copper, with 5mmx5mm thermal pad layout, no air flow.

ANEXO D
65HVD08 - TRANSEPTOR RS485



WIDE SUPPLY RANGE RS-485 TRANSCEIVER

FEATURES

- Operates With a 3-V to 5.5-V Supply
- Consumes Less Than 90 mW Quiescent Power
- Open-Circuit, Short Circuit, and Idle-Bus Failsafe Receiver
- 1/8th Unit-Load (up to 256 nodes on the bus)
- Bus-Pin ESD Protection Exceeds 16 kV HBM
- Driver Output Voltage Slew-Rate Limited for Optimum Signal Quality at 10 Mbps
- Electrically Compatible With ANSI TIA/EIA-485 Standard

APPLICATIONS

- Data Transmission With Remote Stations Powered From the Host
- Isolated Multipoint Data Buses
- Industrial Process Control Networks
- Point-of-Sale Networks
- Electric Utility Metering

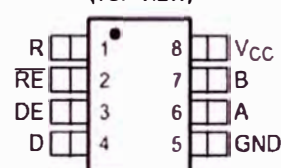
DESCRIPTION

The SN65HVD08 combines a 3-state differential line driver and differential line receiver designed for balanced data transmission and interoperability with ANSI TIA/EIA-485-A and ISO-8482E standard-compliant devices.

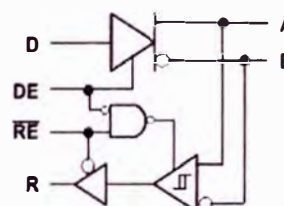
The wide supply voltage range and low quiescent current requirements allow the SN65HVD08s to operate from a 5-V power bus in the cable with as much as a 2-V line voltage drop. Busing power in the cable can alleviate the need for isolated power to be generated at each connection of a ground-isolated bus.

The driver differential outputs and receiver differential inputs connect internally to form a differential input/output (I/O) bus port that is designed to offer minimum loading to the bus whenever the driver is disabled or not powered. The drivers and receivers have active-high and active-low enables respectively, which can be externally connected together to function as a direction control.

D or P PACKAGE
(TOP VIEW)



LOGIC DIAGRAM (Positive Logic)

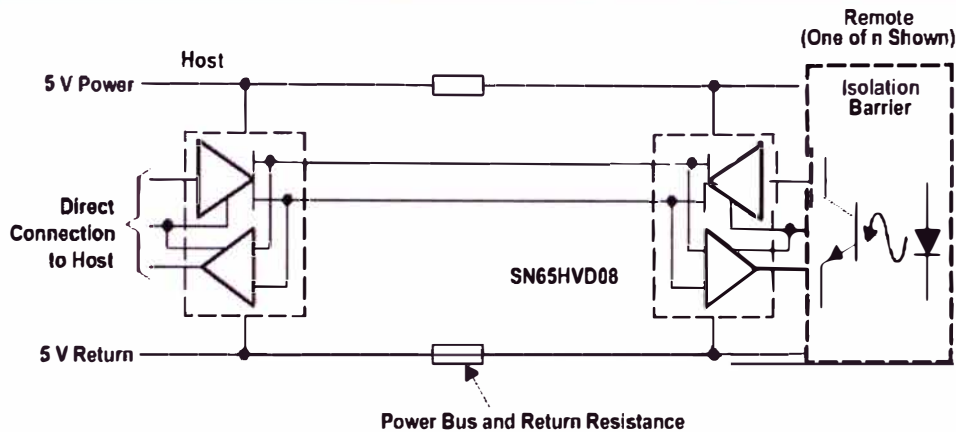


Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

SN75HVD08, SN65HVD08



SLLS590C – NOVEMBER 2002 – REVISED JULY 2006



These devices have limited built-in ESD protection. The leads should be shorted together or the device placed in conductive foam during storage or handling to prevent electrostatic damage to the MOS gates.

ORDERING INFORMATION

PART NUMBER	SPECIFIED TEMPERATURE RANGE	PACKAGE	PACKAGE MARKING
SN65HVD08D	-40°C to 85°C	SOIC	VP08
SN65HVD08P	-40°C to 85°C	PDIP	65HVD08
SN75HVD08D	0°C to 70°C	SOIC	VN08
SN75HVD08P	0°C to 70°C	PDIP	75HVD08

PACKAGE DISSIPATION RATINGS

PACKAGE	$T_A \leq 25^\circ\text{C}$ POWER RATING	DERATING FACTOR ABOVE $T_A = 25^\circ\text{C}$	$T_A = 85^\circ\text{C}$ POWER RATING
SOIC (D)	710 mW	5.7 mW/°C	369 mW
PDIP (P)	1000 mW	8 mW/°C	520 mW

ABSOLUTE MAXIMUM RATINGS

over operating free-air temperature range unless otherwise noted⁽¹⁾⁽²⁾

		UNIT	
Supply voltage, V_{CC}		-0.3 V to 6 V	
Voltage range at A or B		-9 V to 14 V	
Input voltage range at D, DE, R or RE		-0.5 V to $V_{CC} + 0.5$ V	
Voltage input range, transient pulse, A and B, through 100 Ω		-25 V to 25 V	
Receiver output current, I_O		-11 mA to 11 mA	
Electrostatic discharge	Human Body Model ⁽³⁾	A, B, and GND	16 kV
		All pins	4 kV
	Charged-Device Model ⁽⁴⁾	All pins	1 kV
Continuous total power dissipation		See Dissipation Rating Table	

(1) Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

(2) All voltage values, except differential I/O bus voltages, are with respect to network ground terminal.

(3) Tested in accordance with JEDEC Standard 22, Test Method A114-A.

(4) Tested in accordance with JEDEC Standard 22, Test Method C101.

RECOMMENDED OPERATING CONDITIONS

		MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		3		5.5	V
Input voltage at any bus terminal (separately or common mode), $V_i^{(1)}$		-7		12	V
High-level input voltage, V_{IH}	Driver, driver enable, and receiver enable inputs	2.25		V_{CC}	V
Low-level input voltage, V_{IL}		0		0.8	
Differential input voltage, V_{ID}		-12		12	
High-level output current, I_{OH}	Driver	-60			mA
	Receiver	-8			
Low-level output current, I_{OL}	Driver			60	mA
	Receiver			8	
Operating free-air temperature, T_A	SN75HVD08	0		70	°C
	SN65HVD08	-40		85	

(1) The algebraic convention, in which the least positive (most negative) limit is designated as minimum is used in this data sheet.

ELECTRICAL CHARACTERISTICS

over recommended operating conditions unless otherwise noted

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$ V_{OD} $	Driver differential output voltage magnitude $R_L = 60 \Omega$, 375Ω on each output to -7 V to 12 V. See Figure 1	1.5		V_{CC}	V
$\Delta V_{OD} $	Change in magnitude of driver differential output voltage $R_L = 54 \Omega$	-0.2		0.2	V
$V_{OC(PP)}$	Peak-to-peak driver common-mode output voltage Center of two $27\text{-}\Omega$ load resistors. See Figure 2		0.5		V
V_{IT+}	Positive-going receiver differential input voltage threshold			-10	mV
V_{IT-}	Negative-going receiver differential input voltage threshold	-200			mV
V_{hys}	Receiver differential input voltage threshold hysteresis ($V_{IT+} - V_{IT-}$)		35		mV
V_{OH}	Receiver high-level output voltage $I_{OH} = -8$ mA	2.4			V
V_{OL}	Receiver low-level output voltage $I_{OL} = 8$ mA			0.4	V
I_{IH}	Driver input, driver enable, and receiver enable high-level input current	-100		100	μ A
I_{IL}	Driver input, driver enable, and receiver enable low-level input current	-100		100	μ A
I_{OS}	Driver short-circuit output current $7\text{ V} < V_O < 12\text{ V}$	-265		265	mA
I_i	Bus input current (disabled driver)	$V_i = 12\text{ V}$		130	μ A
		$V_i = -7\text{ V}$	-100		
		$V_i = 12\text{ V}$, $V_{CC} = 0\text{ V}$		130	
		$V_i = -7\text{ V}$, $V_{CC} = 0\text{ V}$	-100		
I_{CC}	Supply current	Receiver enabled, driver disabled, no load		10	mA
		Driver enabled, receiver disabled, no load		16	
		Both disabled		5	μ A
		Both enabled, no load		16	mA

ANEXO E
SP3222EBEY - TRANSEPTOR RS232

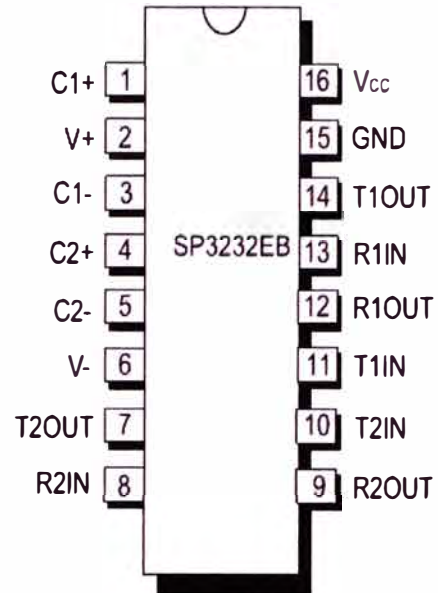


SP3222EB/SP3232EB

True +3.0V to +5.5V RS-232 Transceivers

FEATURES

- Meets true EIA/TIA-232-F Standards from a +3.0V to +5.5V power supply
- 250kbps Transmission Rate Under Load
- 1 μ A Low Power Shutdown with Receivers active (**SP3222EB**)
- Interoperable with RS-232 down to a +2.7V power source
- Enhanced ESD Specifications:
 - +15kV Human Body Model
 - +15kV IEC61000-4-2 Air Discharge
 - +8kV IEC61000-4-2 Contact Discharge



Now Available in Lead Free Packaging

DESCRIPTION

The SP3222EB/SP3232EB series is an RS-232 transceiver solution intended for portable or hand-held applications such as notebook or laptop computers. The SP3222EB/SP3232EB series has a high-efficiency, charge-pump power supply that requires only 0.1 μ F capacitors in 3.3V operation. This charge pump allows the SP3222EB/SP3232EB series to deliver true RS-232 performance from a single power supply ranging from +3.0V to +5.5V. The SP3222EB/SP3232EB are 2-driver/2-receiver devices. The ESD tolerance of the SP3222EB/SP3232EB devices is over +/-15kV for both Human Body Model and IEC61000-4-2 Air discharge test methods. The SP3222EB device has a low-power shutdown mode where the devices' driver outputs and charge pumps are disabled. During shutdown, the supply current falls to less than 1 μ A.

SELECTION TABLE

Device	Power Supplies	RS-232 Drivers	RS-232 Receivers	External Components	Shutdown	TTL 3-State	# of Pins
SP3222EB	+3.0V to +5.5V	2	2	4 Capacitors	Yes	Yes	18, 20
SP3232EB	+3.0V to +5.5V	2	2	4 Capacitors	No	No	16

ABSOLUTE MAXIMUM RATINGS

These are stress ratings only and functional operation of the device at these ratings or any other above those indicated in the operation sections of the specifications below is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability and cause permanent damage to the device.

V_{CC}	-0.3V to +6.0V
$V+$ (NOTE 1).....	-0.3V to +7.0V
$V-$ (NOTE 1).....	+0.3V to -7.0V
$V+ + V- $ (NOTE 1).....	+13V
I_{CC} (DC V_{CC} or GND current).....	± 100 mA

Input Voltages

$TxIN, \overline{EN}$	-0.3V to +6.0V
$RxIN$	± 25 V

Output Voltages

$TxOUT$	± 13.2 V
$RxOUT$	-0.3V to ($V_{CC} + 0.3$ V)

Short-Circuit Duration

$TxOUT$	Continuous
Storage Temperature.....	-65°C to +150°C

Power Dissipation per package

20-pin SSOP (derate 9.25mW/°C above +70°C).....	750mW
18-pin SOIC (derate 15.7mW/°C above +70°C).....	1260mW
20-pin TSSOP (derate 11.1mW/°C above +70°C).....	890mW
16-pin SSOP (derate 9.69mW/°C above +70°C).....	775mW
16-pin Wide SOIC (derate 11.2mW/°C above +70°C).....	900mW
16-pin TSSOP (derate 10.5mW/°C above +70°C).....	850mW
16-pin nSOIC (derate 13.57mW/°C above +70°C).....	1086mW

NOTE 1: $V+$ and $V-$ can have maximum magnitudes of 7V, but their absolute difference cannot exceed 13V.

NOTE 2: Driver Input hysteresis is typically 250mV.

ELECTRICAL CHARACTERISTICS

Unless otherwise noted, the following specifications apply for $V_{CC} = +3.0$ V to +5.5V with $T_{AMB} = T_{MIN}$ to T_{MAX} , $C1 - C4 = 0.1\mu$ F.

PARAMETER	MIN.	TYP.	MAX.	UNITS	CONDITIONS
DC CHARACTERISTICS					
Supply Current		0.3	1.0	mA	no load, $V_{CC} = 3.3$ V, $T_{AMB} = 25^\circ$ C, $TxIN = GND$ or V_{CC}
Shutdown Supply Current		1.0	10	μ A	$\overline{SHDN} = GND$, $V_{CC} = 3.3$ V, $T_{AMB} = 25^\circ$ C, $TxIN = V_{CC}$ or GND
LOGIC INPUTS AND RECEIVER OUTPUTS					
Input Logic Threshold LOW	GND		0.8	V	$TxIN, \overline{EN}, \overline{SHDN}$, Note 2
Input Logic Threshold HIGH	2.0		V_{CC}	V	$V_{CC} = 3.3$ V, Note 2
Input Logic Threshold HIGH	2.4		V_{CC}	V	$V_{CC} = 5.0$ V, Note 2
Input Leakage Current		± 0.01	± 1.0	μ A	$TxIN, \overline{EN}, \overline{SHDN}$, $T_{AMB} = +25^\circ$ C, $V_{IN} = 0$ V to V_{CC}
Output Leakage Current		± 0.05	± 10	μ A	Receivers disabled, $V_{OUT} = 0$ V to V_{CC}
Output Voltage LOW			0.4	V	$I_{OUT} = 1.6$ mA
Output Voltage HIGH	$V_{CC} - 0.6$	$V_{CC} - 0.1$		V	$I_{OUT} = -1.0$ mA
DRIVER OUTPUTS					
Output Voltage Swing	± 5.0	± 5.4		V	All driver outputs loaded with 3K Ω to GND, $T_{AMB} = +25^\circ$ C

ELECTRICAL CHARACTERISTICS

Unless otherwise noted, the following specifications apply for $V_{CC} = +3.0V$ to $+5.5V$ with $T_{AMB} = T_{MIN}$ to T_{MAX} .
 $C1 - C4 = 0.1\mu F$. Typical values apply at $V_{CC} = +3.3V$ or $+5.0V$ and $T_{AMB} = 25^{\circ}C$.

PARAMETER	MIN.	TYP.	MAX.	UNITS	CONDITIONS
DRIVER OUTPUTS (continued)					
Output Resistance	300			Ω	$V_{CC} = V+ = V- = 0V, V_{OUT} = \pm 2V$
Output Short-Circuit Current		± 35	± 60	mA	$V_{OUT} = 0V$
Output Leakage Current			± 25	μA	$V_{CC} = 0V$ or $3.0V$ to $5.5V, V_{OUT} = \pm 12V$, Drivers disabled
RECEIVER INPUTS					
Input Voltage Range	-25		25	V	
Input Threshold LOW	0.6	1.2		V	$V_{CC} = 3.3V$
Input Threshold LOW	0.8	1.5		V	$V_{CC} = 5.0V$
Input Threshold HIGH		1.5	2.4	V	$V_{CC} = 3.3V$
Input Threshold HIGH		1.8	2.4	V	$V_{CC} = 5.0V$
Input Hysteresis		0.3		V	
Input Resistance	3	5	7	k Ω	
TIMING CHARACTERISTICS					
Maximum Data Rate	250			Kbps	$R_L = 3K\Omega, C_L = 1000pF$, one driver active
Receiver Propagation Delay, t_{PHL}		0.15		μs	Receiver input to Receiver output, $C_L = 150pF$
Receiver Propagation Delay, t_{PLH}		0.15		μs	Receiver input to Receiver output, $C_L = 150pF$
Receiver Output Enable Time		200		ns	
Receiver Output Disable Time		200		ns	
Driver Skew		100		ns	$ t_{PHL} - t_{PLH} , T_{AMB} = 25^{\circ}C$
Receiver Skew		50		ns	$ t_{PHL} - t_{PLH} $
Transition-Region Slew Rate			30	V/ μs	$V_{CC} = 3.3V, R_L = 3k\Omega, T_{AMB} = 25^{\circ}C$, measurements taken from $-3.0V$ to $+3.0V$ or $+3.0V$ to $-3.0V$

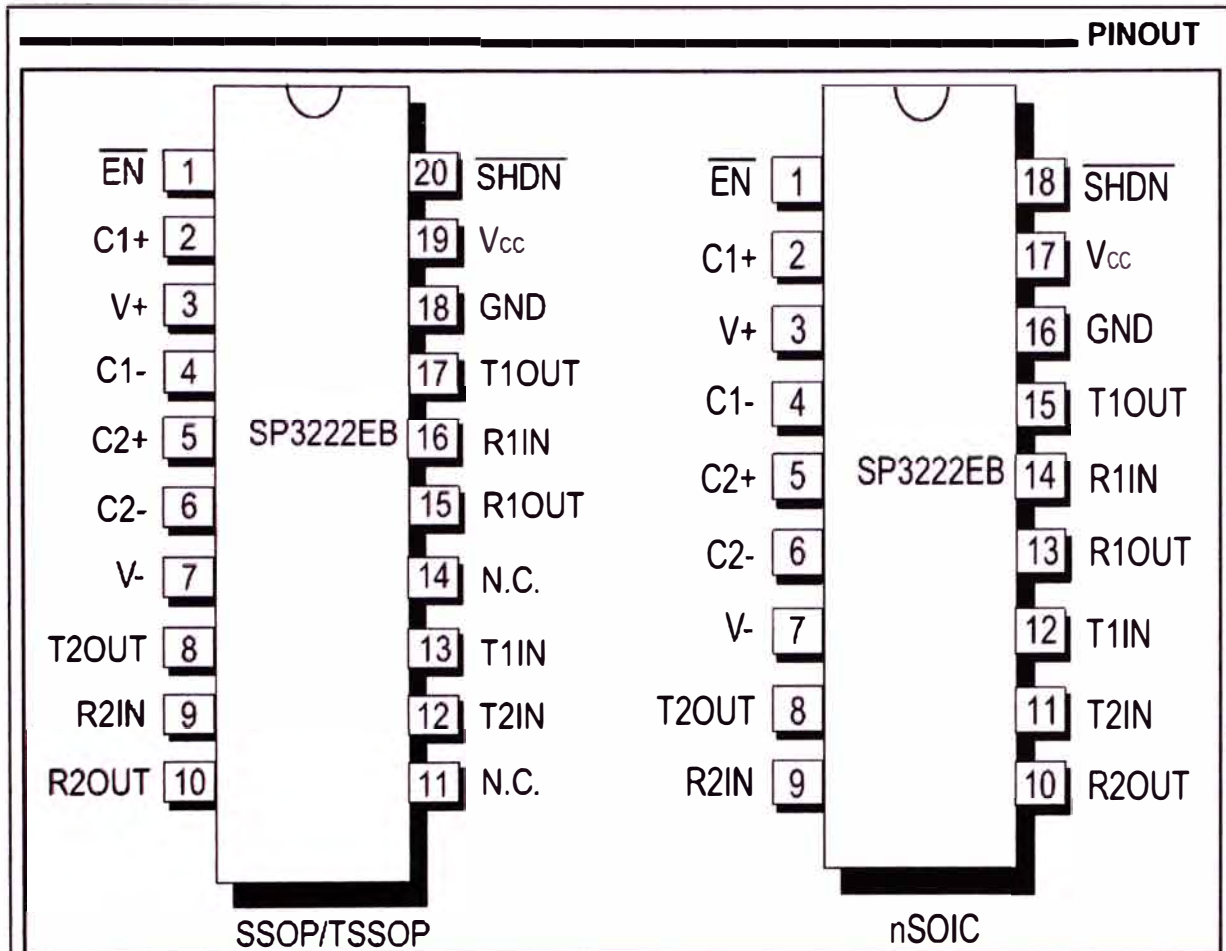


Figure 6. Pinout Configurations for the SP3222EB

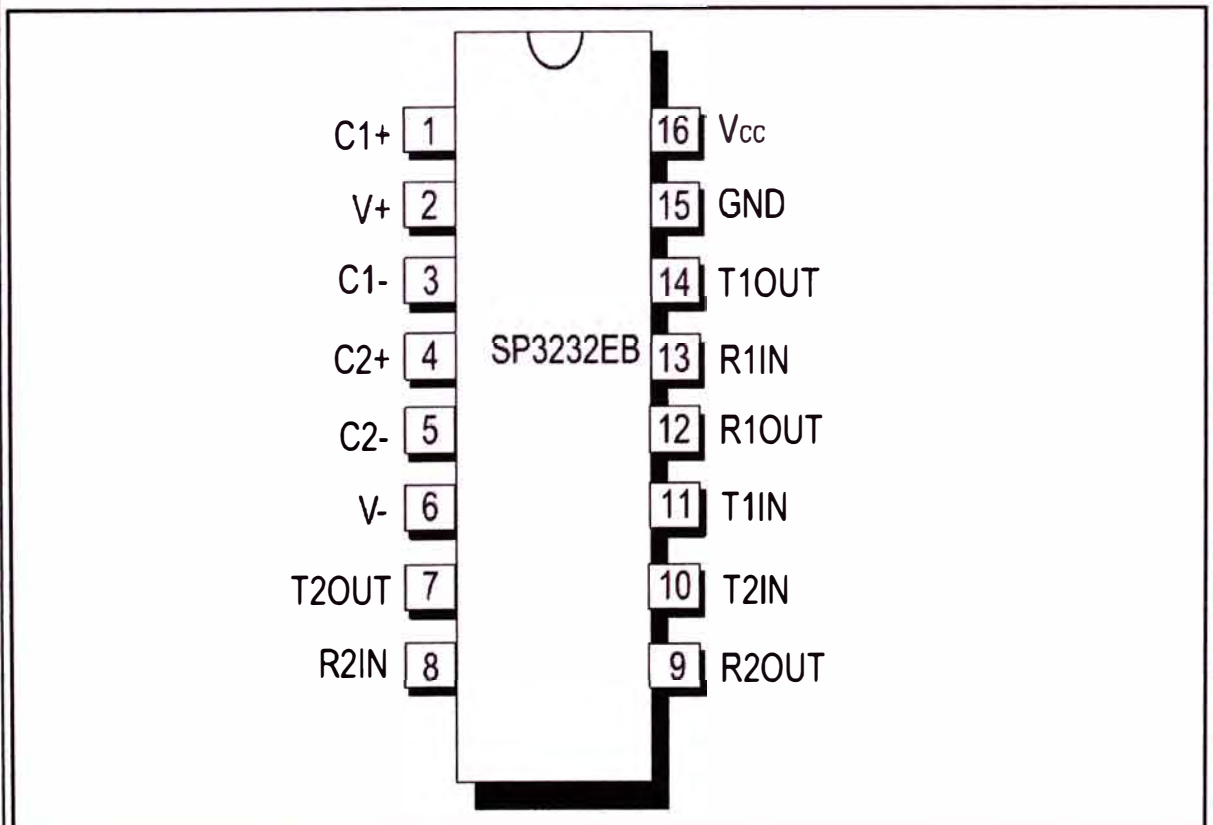


Figure 7. Pinout Configuration for the SP3232EB

ANEXO F
DM9000EP - CONTROLADOR FAST ETHERNET MAC



DM9000EP Product Brief

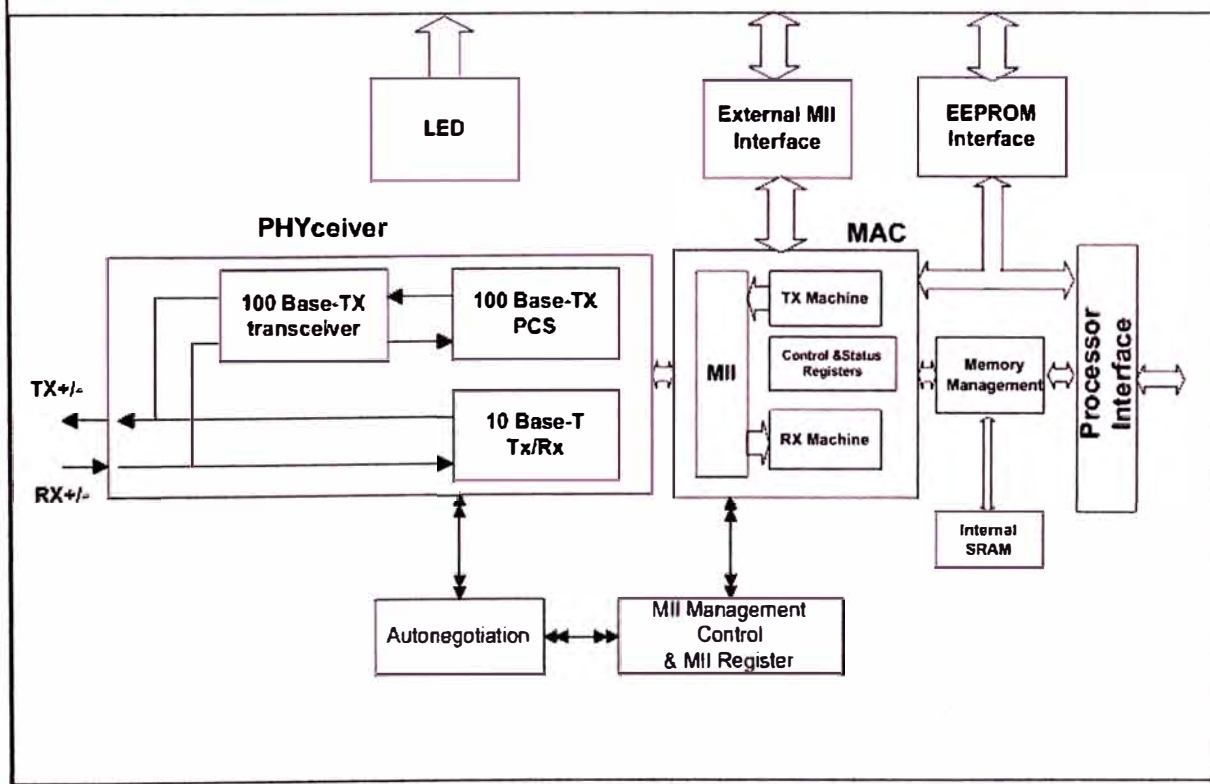
Ethernet Controller with General Processor Interface

May 2008 Rev.1.0

The DM9000 is a fully integrated and cost-effective single chip Fast Ethernet MAC controller with a general processor interface, a 10/100M PHY and 4K Dword SRAM. It is designed with low power and high performance process that support 3.3V with 5V tolerance.

The DM9000 also provides a MII interface to connect HPNA device or other transceivers that support MII interface. The DM9000 supports 8-bit, 16-bit and 32-bit uP interfaces to internal memory accesses for different processors. The PHY of the DM9000 can interface to the UTP3, 4, 5 in 10Base-T and UTP5 in 100Base-TX. It is fully compliant with the IEEE 802.3u Spec. Its auto-negotiation function will automatically configure the DM9000 to take the maximum advantage of its abilities. The DM9000 also supports IEEE 802.3x full- duplex flow control. This programming of the DM9000 is very simple, so user can port the software drivers to any system easily.

Block Diagram



Specifications

- Supports processor interface: byte/word/dword of I/O command to internal memory data operation
 - Integrated 10/100M transceiver
 - Supports MII and reverses MII interface
 - Supports back pressure mode for half-duplex mode flow control
 - IEEE802.3x flow control for full-duplex mode
 - Supports wakeup frame, link status change and magic packet events for remote wake up
 - Integrated 4K dword SRAM
-
- Supports automatically load vendor ID and product ID from EEPROM
 - Supports 4 GPIO pins
 - Optional EEPROM configuration
 - Very low power consumption mode:
 - Power reduced mode (cable detection)
 - Power down mode
 - Selectable TX drivers for 1:1 or 1.25:1 transformers for additional power reduction.
 - Compatible with 3.3V and 5.0V tolerant I/O
 - 100-pin LQFP with CMOS process

Application

VoIP CPE (ATA, IP Phone, Video Phone)
IP STB, IPC, Internet Radio

Ordering Information

Part Number	Pin Count	Package
DM9000E	100	LQFP
DM9000EP	100	LQFP (Pb-Free)

DAVICOM Semiconductor, Inc.

No.6, Li-Hsin Rd.VI, Science Park, Hsin-Chu, Taiwan, R.O.C.

TEL: 886-3-5798797

FAX: 886-3-5646929

E-mail: sales@davicom.com.tw

ANEXO G
FM25V10-G - MEMORIA NO VOLÁTIL DE 1 MEGABIT

FM25V10

1Mb Serial 3V F-RAM Memory

RAMTRON

Features

1M bit Ferroelectric Nonvolatile RAM

- Organized as 131,072 x 8 bits
- High Endurance 100 Trillion (10^{14}) Read/Writes
- 10 Year Data Retention
- NoDelay™ Writes
- Advanced High-Reliability Ferroelectric Process

Very Fast Serial Peripheral Interface - SPI

- Up to 40 MHz Frequency
- Direct Hardware Replacement for Serial Flash
- SPI Mode 0 & 3 (CPOL, CPHA=0,0 & 1,1)

Write Protection Scheme

- Hardware Protection
- Software Protection

Device ID and Serial Number

- Device ID reads out Manufacturer ID & Part ID
- Unique Serial Number (FM25VN10)

Low Voltage, Low Power

- Low Voltage Operation 2.0V – 3.6V
- 90 μ A Standby Current (typ.)
- 5 μ A Sleep Mode Current (typ.)

Industry Standard Configurations

- Industrial Temperature -40°C to +85°C
- 8-pin "Green"/RoHS SOIC Package

Description

The FM25V10 is a 1-megabit nonvolatile memory employing an advanced ferroelectric process. A ferroelectric random access memory or F-RAM is nonvolatile and performs reads and writes like a RAM. It provides reliable data retention for 10 years while eliminating the complexities, overhead, and system level reliability problems caused by Serial Flash and other nonvolatile memories.

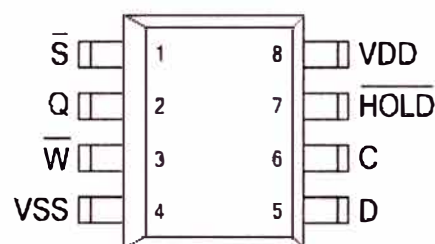
Unlike Serial Flash, the FM25V10 performs write operations at bus speed. No write delays are incurred. Data is written to the memory array immediately after it has been transferred to the device. The next bus cycle may commence without the need for data polling. The product offers very high write endurance, orders of magnitude more endurance than Serial Flash. Also, F-RAM exhibits lower power consumption than Serial Flash.

These capabilities make the FM25V10 ideal for nonvolatile memory applications requiring frequent or rapid writes or low power operation. Examples range from data collection, where the number of write cycles may be critical, to demanding industrial controls where the long write time of Serial Flash can cause data loss.

The FM25V10 provides substantial benefits to users of Serial Flash as a hardware drop-in replacement. The devices use the high-speed SPI bus, which enhances the high-speed write capability of F-RAM

technology. The FM25VN10 is offered with a unique serial number that is read-only and can be used to identify a board or system. Both devices incorporate a read-only Device ID that allows the host to determine the manufacturer, product density, and product revision. The devices are guaranteed over an industrial temperature range of -40°C to +85°C.

Pin Configuration



Pin Name	Function
/S	Chip Select
/W	Write Protect
/HOLD	Hold
C	Serial Clock
D	Serial Data Input
Q	Serial Data Output
VDD	Supply Voltage
VSS	Ground

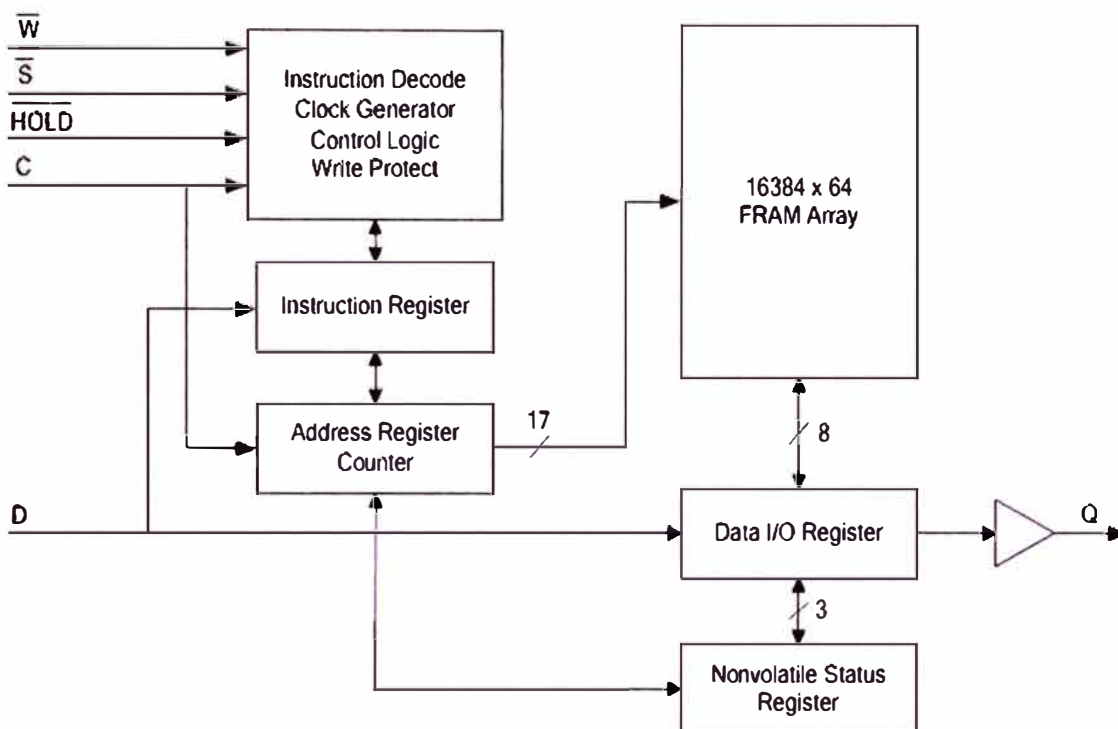


Figure 1. Block Diagram

Pin Descriptions

Pin Name	I/O	Description
/S	Input	Chip Select: This active-low input activates the device. When high, the device enters low-power standby mode, ignores other inputs, and all outputs are tri-stated. When low, the device internally activates the C signal. A falling edge on /S must occur prior to every op-code.
C	Input	Serial Clock: All I/O activity is synchronized to the serial clock. Inputs are latched on the rising edge and outputs occur on the falling edge. Since the device is static, the clock frequency may be any value between 0 and 40 MHz and may be interrupted at any time.
/HOLD	Input	Hold: The /HOLD pin is used when the host CPU must interrupt a memory operation for another task. When /HOLD is low, the current operation is suspended. The device ignores any transition on C or /S. All transitions on /HOLD must occur while C is low. This pin has a weak internal pull-up (see R _{IN} spec, pg 11). However, if it is not used, the /HOLD pin should be tied to V _{DD} .
/W	Input	Write Protect: This active-low pin prevents write operations to the Status Register only. A complete explanation of write protection is provided on pages 6 and 7. If it is not used, the /W pin should be tied to V _{DD} .
D	Input	Serial Input: All data is input to the device on this pin. The pin is sampled on the rising edge of C and is ignored at other times. It should always be driven to a valid logic level to meet I _{DD} specifications. * D may be connected to Q for a single pin data interface.
Q	Output	Serial Output: This is the data output pin. It is driven during a read and remains tri-stated at all other times including when /HOLD is low. Data transitions are driven on the falling edge of the serial clock. * Q may be connected to D for a single pin data interface.
VDD	Supply	Power Supply
VSS	Supply	Ground

Overview

The FM25V10 is a serial F-RAM memory. The memory array is logically organized as 131,072 x 8 and is accessed using an industry standard Serial Peripheral Interface or SPI bus. Functional operation of the F-RAM is similar to Serial Flash. The major differences between the FM25V10 and a Serial Flash with the same pinout are the F-RAM's superior write performance, very high endurance, and lower power consumption.

Memory Architecture

When accessing the FM25V10, the user addresses 128K locations of 8 data bits each. These data bits are shifted serially. The addresses are accessed using the SPI protocol, which includes a chip select (to permit multiple devices on the bus), an op-code, and a three-byte address. The complete address of 17-bits specifies each byte address uniquely.

Most functions of the FM25V10 either are controlled by the SPI interface or are handled automatically by on-board circuitry. The access time for memory operation is essentially zero, beyond the time needed for the serial protocol. That is, the memory is read or written at the speed of the SPI bus. Unlike Serial Flash, it is not necessary to poll the device for a ready condition since writes occur at bus speed. So, by the time a new bus transaction can be shifted into the device, a write operation will be complete. This is explained in more detail in the interface section.

Users expect several obvious system benefits from the FM25V10 due to its fast write cycle and high endurance as compared to Serial Flash. In addition there are less obvious benefits as well. For example in a high noise environment, the fast-write operation is less susceptible to corruption than Serial Flash since it is completed quickly. By contrast, Serial Flash requiring milliseconds to write is vulnerable to noise during much of the cycle.

Serial Peripheral Interface – SPI Bus

The FM25V10 employs a Serial Peripheral Interface (SPI) bus. It is specified to operate at speeds up to 40MHz. This high-speed serial bus provides high performance serial communication to a host microcontroller. Many common microcontrollers have hardware SPI ports allowing a direct interface. It is quite simple to emulate the port using ordinary port pins for microcontrollers that do not. The FM25V10 operates in SPI Mode 0 and 3.

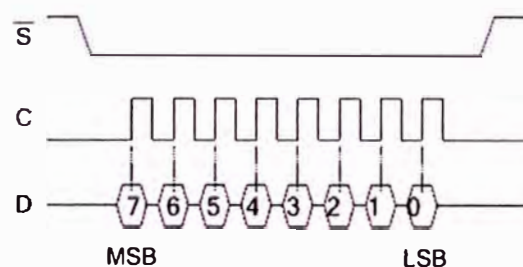
Protocol Overview

The SPI interface is a synchronous serial interface using clock and data pins. It is intended to support multiple devices on the bus. Each device is activated using a chip select. Once chip select is activated by the bus master, the FM25V10 will begin monitoring the clock and data lines. The relationship between the falling edge of /S, the clock and data is dictated by the SPI mode. The device will make a determination of the SPI mode on the falling edge of each chip select. While there are four such modes, the FM25V10 supports only modes 0 and 3. Figure 2 shows the required signal relationships for modes 0 and 3. For both modes, data is clocked into the FM25V10 on the rising edge of C and data is expected on the first rising edge after /S goes active. If the clock starts from a high state, it will fall prior to the first data transfer in order to create the first rising edge.

The SPI protocol is controlled by op-codes. These op-codes specify the commands to the device. After /S is activated the first byte transferred from the bus master is the op-code. Following the op-code, any addresses and data are then transferred.

Certain op-codes are commands with no subsequent data transfer. The /S must go inactive after an operation is complete and before a new op-code can be issued. There is one valid op-code only per active chip select.

SPI Mode 0: CPOL=0, CPHA=0



SPI Mode 3: CPOL=1, CPHA=1

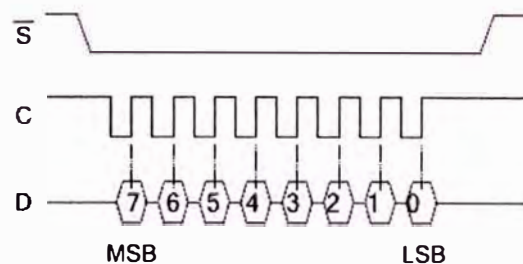


Figure 2. SPI Modes 0 & 3

System Hookup

The SPI interface uses a total of four pins: clock, data-in, data-out, and chip select. A typical system configuration uses one or more FM25V10 devices with a microcontroller that has a dedicated SPI port, as Figure 3 illustrates. Note that the clock, data-in, and data-out pins are common among all devices. The Chip Select and Hold pins must be driven separately for each FM25V10 device.

For a microcontroller that has no dedicated SPI bus, a general purpose port may be used. To reduce hardware resources on the controller, it is possible to connect the two data pins together and tie off the Hold pin. Figure 4 shows a configuration that uses only three pins.

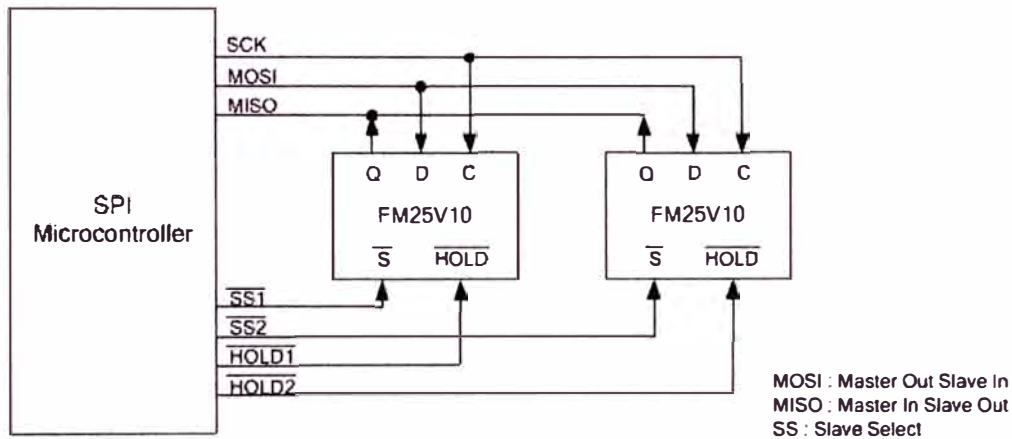


Figure 3. 2Mbit (256KB) System Configuration with SPI port

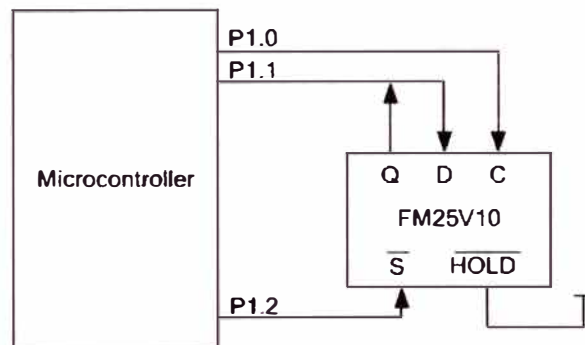


Figure 4. System Configuration without SPI port

BIBLIOGRAFÍA

- [1] El Peruano, Normas Legales, Ley N° 27153, "Ley que regula la explotación de los juegos de casino y máquinas tragamonedas", 18 de junio de 1999.
- [2] El Peruano, Normas Legales, Ley N° 27796, "Ley que modifica artículos de la Ley N° 27153, que regula la explotación de los juegos de casino y máquinas tragamonedas 227134", 24 de julio de 2002
- [3] MINCETUR, Decreto Supremo N° 009-2002-MINCETUR, "Reglamento para la explotación de los juegos de casino y máquinas tragamonedas" <http://www.mincetur.gob.pe/turismo/dgjcmt/leyes/d.s.009-2002-mincetur.htm>.
- [4] SUNAT, Resolución de Superintendencia N° 145-2003-SUNAT, "Establecen disposiciones relativas al Sistema Unificado de Control en Tiempo Real". 25 de julio de 2003.
- [5] El Peruano, Normas Legales, Ley N° 28945, "Ley de reordenamiento y formalización de la actividad de explotación de juegos de casino y máquinas tragamonedas", 22 de diciembre de 2006.
- [6] MINCETUR, Decreto Supremo N°015-2010-MINCETUR, "Normas Técnicas Complementarias para la implementación del Sistema Unificado de Control en Tiempo Real SUCTR", 1 de setiembre de 2010. http://www.mincetur.gob.pe/turismo/DGJCMT/pdfs/DS_015-2010.pdf.
- [7] MINCETUR, Decreto Supremo N° 012-2011-MINCETUR, "Modifica el Reglamento de Normas Técnicas Complementarias para la Implementación del Sistema Unificado de Control en Tiempo Real - SUCTR"., 14 julio 2011. http://www.mincetur.gob.pe/turismo/DGJCMT/leyes/DS_012-2011.pdf.
- [8] El Peruano, Normas Legales, Ley N° 29829, "Ley que modifica la 1ra disposición final de la Ley N° 27796, Ley que modifica artículos de la Ley N° 27153, que regula la explotación de los Juegos de Casino y Máquinas Tragamonedas", 15 diciembre de 2011, publicado el 7 de enero de 2012. http://www.mincetur.gob.pe/turismo/DGJCMT/leyes/Ley_29829.pdf.
- [9] Intercard, "Protocolo SAS" <http://www.intercardinc.com/es/productos/casinos/sas-protocol.htm>
- [10] IGT "SAS Protocol" <http://www.igt.com/support/sas-protocol.aspx>
- [11] OLGR de New South Wales, "Gaming Machine Communications Protocol Technical Standard" [http://www.olgr.nsw.gov.au/pdfs/NSW Comms Protocol Ver 2-3.pdf](http://www.olgr.nsw.gov.au/pdfs/NSW%20Comms%20Protocol%20Ver%202-3.pdf)
- [12] Ronald Mijail Dueñas D, El estándar RS-232 y V24. <http://interface-serial-rs232.blogspot.com/>

- [13] IUT-T V.24 "Lista de definiciones para los circuitos de enlace entre el equipo terminal de datos y el equipo de terminación del circuito de datos".
<http://www.itu.int/rec/T-REC-V.24-200002-I/es>
- [14] IUT-T V.11 "Características eléctricas de los circuitos de enlace simétricos de doble corriente que funcionan con velocidades binarias de hasta 10 Mbit/s",
<http://www.itu.int/rec/T-REC-V.11/es>
- [15] Control Network, "Understanding EIA-485 Networks",
<http://www.ccontrols.com/pdf/ExtV1N1.pdf>
- [16] Francisco Javier Marín Martín, "Comunicaciones asíncronas (UART's)",
http://www.el.uma.es/marin/Practica4_UART.pdf
- [17] Patricia Borensztejn, "Diseño de Sistemas con FPGA",
<http://www.dc.uba.ar/materias/disfpga/2012/c1/descargas/UART.pdf>
- [18] Eduardo Interiano, Faustino Montes, "Ethernet-Redes de computadoras",
<http://www.ie.itcr.ac.cr/faustino/Redes/Clase8/4.2Ethernet.pdf>
- [19] José Martín Llamas, "Curso de Redes de Área Local",
<http://thales.cica.es/rd/Recursos/rd99/ed99-0432-01/seccion/topolog.html>
- [20] Friendly ARM, "Micro2440 Manual and Schematics"
<http://www.friendlyarm.net/products/micro2440>,
http://www.friendlyarm.net/dl.php?file=micro2440_manual_20100609.pdf
- [21] GNU, "El sistema operativo GNU-Licencias"
<https://www.gnu.org/licenses/licenses.es.html>
- [22] Samsung, "samsung.c source code", <http://lxr.free-electrons.com/source/drivers/tty/serial/samsung.c>
- [23] GLI, "Gaming Laboratories International". <http://www.gaminglabs.com/>.
- [24] ON Semiconductor, "LM2756-- Regulador conmutado ajustable 3A"
http://www.electronicaembajadores.com/datos/pdf1/sm/smci/lm2576_on.pdf
- [25] Tyco Electronics, "SMD075F- Fusible autoresetable".
<http://media.digikey.com/pdf/Data%20Sheets/Tyco%20Electronics%20Raychem%20PDFs/SMD075F,60.pdf>
- [26] Diodes Incorporated, "AP1117 - Regulador de tensión de bajas pérdidas"
<http://www.diodes.com/datasheets/AP1117.pdf>
- [27] Texas Instrument, "65HVD08 - Transceptor RS485"
<http://www.ti.com/lit/ds/symlink/sn65hvd08.pdf>
- [28] Exar, "SP3222EBEY - transceptor RS232".
<http://www.exar.com/common/content/document.ashx?id=632>
- [29] Davicom, DM9000EP – "Controlador Fast Ethernet MAC",
http://www.davicom.com.tw/userfile/24247/DM9000EPPProductBrief_v1.0.pdf
- [30] Ramtron, "FM25V10-G - memoria no volátil de 1 megabit", <http://goo.gl/ZT0kBn>